

**YILDIZ TEKNİK ÜNİVERSİTESİ  
FEN BİLİMLERİ ENSTİTÜSÜ**

**KISA KANALLI CMOS DEVRELERİN YAPAY SİNİR  
AĞLARI İLE ÜRETİM TEKNOLOJİ  
PARAMETRELERİNDEN BAĞIMSIZ TASARIMI**

Elektronik ve Haberleşme Yük. Müh. Nihan KAHRAMAN

**FBE Elektronik ve Haberleşme Anabilim Dalı Elektronik Programında  
Hazırlanan**

**DOKTORA TEZİ**

**Tez Savunma Tarihi:** 24.07.2008

**Tez Danışmanı** : Prof. Dr. Tülay YILDIRIM (YTÜ)

**Jüri Üyeleri** : Prof. Dr. Atilla ATAMAN (YTÜ)

: Prof. Dr. Oruç BİLGİÇ (YTÜ)

: Prof.Dr. Uğur ÇİLİNGİROĞLU (Yeditepe Üniv.)

: Doç.Dr.Serdar ÖZOĞUZ (İTÜ)

**İSTANBUL, 2008**

# İÇİNDEKİLER

	Sayfa
SİMGE LİSTESİ .....	v
KISALTMA LİSTESİ .....	vi
ŞEKİL LİSTESİ .....	vii
ÇİZELGE LİSTESİ .....	x
ÖNSÖZ .....	xi
1. GİRİŞ .....	1
2. ANALOG VE SAYISAL TUMDEVRE TASARIMINDA TEMEL YAPILAR ...	6
2.1 Temel Akım Aynası Yapıları .....	6
2.2 Farksal Kuvvetlendirici .....	9
2.3 CMOS İşlemsel Kuvvetlendirici Tasarımı .....	11
2.4 Temel Sayısal Kapılar .....	14
2.4.1 NOR Kapısı .....	15
2.4.2 NAND Kapısı .....	15
2.4.3 XOR Kapısı .....	16
2.4.4 INV Kapısı .....	17
3. YAPAY SİNİR AĞLARI VE TEMEL YAPAY SİNİR AĞI YAPILARI .....	18
3.1 Yapay Sinir Ağlarının Temel Özellikleri .....	18
3.1.1 Doğrusal Olmama .....	18
3.1.2 Öğrenme .....	18
3.1.3 Genelleştirme .....	19
3.1.4 Uyarlanabilirlik .....	20
3.1.5 Hata Toleransı .....	20
3.1.6 Donanım ve Hız .....	20
3.1.7 Analiz ve Tasarım Kolaylığı .....	20
3.2 Çok Katmanlı Algılayıcı, ÇKA (Multilayer Perceptron, MLP) .....	20
3.3 Radyal Temelli Fonksiyon Ağları, RTFA (Radial Basis Function Neural Network, RBFNN) .....	23
3.3.1 RTFA'ların Eğitilmesi .....	24
3.3.1.1 RTFA Birim Merkezlerinin Belirlenmesi .....	24
3.3.1.2 Yayılma Parametresinin Belirlenmesi .....	24
3.3.2 RTFA Öğrenme Algoritmaları .....	25
3.3.2.1 Sabit Merkezlerde En Küçük Kareler Yöntemi .....	25
3.3.2.2 Ortogonal En Küçük Kareler Yöntemi .....	25
3.3.2.3 İteratif Kümeleme ve En Küçük Kareler Yöntemi .....	25
3.3.2.4 Dinamik Komplekslik Öğrenme Algoritması .....	25
3.4 Genelleştirilmiş Regresyon Sinir Ağları, GRSA (General Regression Neural Network, GRNN) .....	25

4.	TEMEL ANALOG VE SAYISAL DEVRELERİN YSA İLE MODELLENMESİ	27
4.1	Dört Terminalli NMOS Transistör için Veritabanının Oluşturulması	28
4.1.1	Dört Terminalli NMOS Transistörün Yapay Sinir Ağları ile Modellenmesi	30
4.2	Dört Terminalli PMOS Transistör için Veritabanının Oluşturulması	31
4.2.1	Dört Terminalli PMOS Transistörün Yapay Sinir Ağları ile Modellenmesi	32
4.3	Kısa Kanal TSMC Parametreleri ile MOS Transistör Eşik Geriliminin Modellenmesi	32
4.3.1	MOS Transistörün Eşik Geriliminin BSIM Parametrelerinden Bağımsız Yapay Sinir Ağları ile Modellenmesi	33
4.4	Akım Aynası Yapıları için Veritabanının Oluşturulması	34
4.4.1	Yapay Sinir Ağları ile Akım Aynası Modelleme	39
4.5	Farksal Kuvvetlendirici Veritabanının Oluşturulması	43
4.5.1	Yapay Sinir Ağları ile Farksal Kuvvetlendirici Modellemesi	43
4.6	İşlemsel Kuvvetlendirici Devresi Veritabanının Oluşturulması	46
4.6.1	Ortak Mod Giriş Aralığı Oranı	47
4.6.2	Giriş İşaret Değişim Aralığı	47
4.6.3	Açık Çevrim Kazancı ve Band Genişliği	48
4.6.4	Güç Kaynağı Bastırma Oranı	48
4.6.5	Yükselme Eğimi	49
4.6.6	Transistör Kanal Boyu Değişimine Göre Simülasyonlar	49
4.7	Yapay Sinir Ağları ile İşlemsel Kuvvetlendirici Transistör Geometrilerinin Belirlenmesi	53
4.8	CMOS İşlemsel Kuvvetlendirici Devresi için YSA'nın Verdiği Test Sonuçları	55
4.9	Temel Sayısal Kapıların Gecikmelerinin Yapay Sinir Ağları ile Modellenmesi	59
5.	YAPAY SİNİR AĞLARI İLE MOS ÜRETİM FİRMALARININ SPICE MODEL PARAMETRELERİNDEN BAĞIMSIZ İŞLEMSEL KUVVETLENDİRİCİ TASARIMI	62
6.	SONUÇLAR	67
	KAYNAKLAR	70
	EKLER	76
	Ek 1 MOSIS-AMIS 1.5µm Proses ve Model Parametreleri	77
	Ek 2 MOSIS-AMIS 0.5µm Proses ve Model Parametreleri	81
	Ek 3 MOSIS-AMIS 0.35µm Proses ve Model Parametreleri	84
	Ek 4 MOSIS-TSMC 0.35µm Proses ve Model Parametreleri	87
	Ek 5 MOSIS-TSMC 0.25µm Proses ve Model Parametreleri	90
	Ek 6 MOSIS-TSMC 0.18µm Proses ve Model Parametreleri	93

Ek 7 MOSIS-IBM 0.35 $\mu$ m Proses ve Model Parametreleri .....	96
ÖZGEÇMİŞ.....	100

## SİMGE LİSTESİ

$w$	Ağırlık değeri
$c$	Merkez değeri
$\omega$	Açı değeri
$x$	Ağın giriş vektörü
$f(\cdot)$	Aktivasyon fonksiyonu
$f'(\cdot)$	Aktivasyon fonksiyonun türevi
$C_{ox}$	Birim alan başına düşen oksit kapasitesi
$W$	Transistör kanal genişliği
$L$	Transistör kanal uzunluğu
$\delta$	Yerel eğim hesabı
$\gamma$	Öğrenme oranı
$\alpha$	Momentum sabiti
$V_T$	Transistörün eşik gerilimi
$e$	Koninin dış merkezliği
$R$	Direnç
$C$	Kapasitör
$V_{fg}$	Yüzen geçit transistördeki saklanan yükün oluşturduğu eşik kayma gerilimi
$I/O$	Giriş/Çıkış
$V_{dd}$	Besleme Gerilimi
$GND$	Toprak
$\lambda$	Kanal boyu modülasyon parametresi
$V_{GS}$	Geçit-Kaynak gerilimi
$V_{DS}$	Kaynak-Savak gerilimi
$K'$	Geçiş iletkenliği parametresi
$R_0$	Çıkış direnci
$V_{IC}$	Ortak mod giriş gerilimi
$V_{ID}$	Fark modu giriş gerilimi
$A_{VD}$	Fark modu gerilim kazancı
$A_{VC}$	Ortak mod gerilim kazancı
$P_{diss}$	Güç harcaması
$C_c$	Kompanzasyon kapasitesi
$GBW$	Kazanç-Band genişliği
$C_L$	Yük kapasitesi
$t_p$	Propagasyon gecikmesi
$t_{pHL}$	Yüksek seviyeden düşük seviyeye gecikme
$t_{pLH}$	Düşük seviyeden yüksek seviyeye gecikme
$V_{OH}$	Yüksek seviye çıkış gerilimi
$V_{IH}$	Yüksek seviye giriş gerilimi
$V_{IL}$	Düşük seviye giriş gerilimi
$V_{OL}$	Düşük seviye çıkış gerilimi
$\omega$	YSA ağırlıkları
$\beta$	Momentum terimi
$c$	RTFA merkez değerleri
$\sigma$	RTFA yayılma parametresi

## KISALTIMA LİSTESİ

AA	Akım Aynası
CAD	Computer Aided Design (Bilgisayar Destekli Tasarım)
CMOS	Complementary Metal Oxide Semiconductor (Eşlenik Metal Oksit Yarıiletken)
CMRR	Common Mode Rejection Ratio (Ortak Mod Bastırma Oranı)
ÇKA	Çok Katmanlı Algılayıcı
DC	Direct Current
GRNN	Generalized Regression Neural Network
HEMT	High Electron Mobility Transistör (Yüksek Elektron Hızlı Transistör)
ICMR	Input Common Mode Range (Ortak Mod Giriş Aralığı)
INV	Inverter (Evirici)
MESFET	Metal Semiconductor Field-Effect Transistors (Metal Alan Etkili Yarıiletken Transistör)
MLP	Multilayer Perceptron
MOSFET	Metal Oxide Semiconductor Field Effect Transistor (Metal Oksit Alan Etkili Yarıiletken Transistör)
NAND	Ve-değil işlemi
NMOS	N-kanal MOSFET
NOR	Veya-değil işlemi
OR	Veya işlemi
PMOS	P-kanal MOSFET
PSRR	Power Supply Rejection Ratio (Güç Kaynağı Bastırma Oranı)
RBF	Radial Basis Function
RTFA	Radyal Temelli Fonksiyon Ağları
SOI	Silicon on Insulator (Yarıiletken Üzerinde Silisyum)
SPICE	Simulation Program with Integrated Circuit Emphasis (Tümleşik Devre Simülasyon Programı)
SR	Slew Rate (Yükselme Eğimi)
VLSI	Very Large Scale Integrated Circuit (Çok Büyük Ölçekli Tümleşik Devre)
XOR	Ayrıcalı Veya
YSA	Yapay Sinir Ağları

## ŞEKİL LİSTESİ

	Sayfa
Şekil 2.1 Basit akım aynası .....	6
Şekil 2.2 Kaskod akım aynası.....	8
Şekil 2.3 Wilson akım aynası .....	8
Şekil 2.4 İyileştirilmiş Akım Aynası .....	9
Şekil 2.5 CMOS Farksal Kuvvetlendirici.....	10
Şekil 2.6 İşlemsel kuvvetlendirici oluşturma hiyerarşisi.....	12
Şekil 2.7 İki katlı CMOS işlemsel kuvvetlendirici devresi .....	13
Şekil 2.8 CMOS NOR devresi.....	15
Şekil 2.9 CMOS NAND devresi .....	16
Şekil 2.10 CMOS XOR devresi.....	16
Şekil 2.11 CMOS INV devresi .....	17
Şekil 3.1 İleri beslemeli üç katmanlı YSA sinyal akış şeması (Özyılmaz, 2000).....	21
Şekil 3.2 Çok katmanlı algılayıcı yapısına ait örnek ağ yapısı.....	22
Şekil 3.3 RTFA ağ yapısı .....	23
Şekil 3.4 GRSA ağ yapısı .....	26
Şekil 4.1 Dört terminalli NMOS transistör.....	29
Şekil 4.2 Dört terminalli PMOS transistör .....	31
Şekil 4.3 Basit akım aynasında (0.18µm) kanal genişliği taraması yapılarak elde edilen Iref-Iout grafiği.....	35
Şekil 4.4 Basit akım aynasında (1.5µm) kanal genişliği taraması yapılarak elde edilen Iref -Iout grafiği.....	35
Şekil 4.5 Kaskod akım aynasında (0.18µm) kanal genişliği taraması yapılarak elde edilen Iref -Iout grafiği.....	36
Şekil 4.6 Kaskod akım aynasında (1.5µm) kanal genişliği taraması yapılarak elde edilen Iref -Iout grafiği.....	36
Şekil4.7 Wilson akım aynasında (0.18µm) kanal genişliği taraması yapılarak elde edilen Iref -Iout grafiği.....	37
Şekil 4.8 Wilson akım aynasında (1.5µm) kanal genişliği taraması yapılarak elde edilen.....	37
Iref -Iout grafiği.....	37
Şekil 4.9 İyileştirilmiş akım aynasında (0.18µm) kanal genişliği taraması yapılarak elde edilen Iref -Iout grafiği.....	38
Şekil 4.10 İyileştirilmiş akım aynasında (1.5µm) kanal genişliği taraması yapılarak elde edilen	

Iref -Iout grafiđi.....	38
Şekil 4.11 Akım aynası devreleri için YSA yapısı.....	40
Şekil 4.12 Birinci test verisi için YSA çıkışında verilen W/L sonucuna göre DC simülasyon	41
Şekil 4.13 İkinci test verisi için YSA çıkışında verilen W/L sonucuna göre DC simülasyon	42
Şekil 4.14 Beşinci test verisi için YSA çıkışında verilen W/L sonucuna göre DC simülasyon	42
Şekil 4.15 CADENCE optimizasyon arayüzü simülasyon sonucu .....	44
Şekil 4.16 CADENCE optimizasyon arayüzünün verdiği $W_{N0}$ ve $W_{N1}$ değerleri ile farksal kuvvetlendirici AC simülasyonu .....	44
Şekil 4.17 Kanal boyu taraması yapılarak elde edilen kazanç band genişliđi deđişimi .....	45
Şekil 4.18 Farksal kuvvetlendirici devresi için YSA yapısı.....	46
Şekil 4.19 CMRR ölçümü için işlemsel kuvvetlendirici devresi.....	47
Şekil 4.20 ICMR deđerinin simülasyonla ölçülebilmesi için kurulması gereken devre düzeni ve örnek ölçüm sonucu.....	48
Şekil 4.21 PSRR ölçümü için işlemsel kuvvetlendirici devresi .....	49
Şekil 4.22 $N_0$ ve $N_1$ transistörlerinin kanal boyu deđişimine bađlı ( $W_{N0}=W_{N1}=6\mu$ ) CMRR simülasyonu .....	50
Şekil 4.23 $N_0$ ve $N_1$ transistörlerinin kanal genişliđi deđişimine bađlı ( $L_{N0}=L_{N1}=2.8\mu$ ) ICMR simülasyonu.....	50
Şekil 4.24 $N_0$ ve $N_1$ transistörlerinin kanal genişliđi deđişimine bađlı ( $L_{N0}=L_{N1}=2.8\mu$ ) PSRR simülasyonu .....	51
Şekil 4.25 $N_0$ ve $N_1$ transistörlerinin kanal genişliđi deđişimine bađlı ( $L_{N0}=L_{N1}=2.8\mu$ ) SR simülasyonu (1) .....	51
Şekil 4.26 $N_0$ ve $N_1$ transistörlerinin kanal genişliđi deđişimine bađlı ( $L_{N0}=L_{N1}=2.8\mu$ ) kazanç ve kazanç-band genişliđi simülasyonu.....	52
Şekil 4.27 $N_0$ ve $N_1$ transistörlerinin kanal genişliđi deđişimine bađlı ( $L_{N0}=L_{N1}=2.8\mu$ ) offset gerilimi simülasyonu .....	52
Şekil 4.28 İşlemsel kuvvetlendirici devresi için YSA yapısı .....	53
Şekil 4.29 Kullanıcıya MATLAB’da kolaylık sađlayan menüler .....	55
Şekil 4.30 Test girişı için YSA çıkışında verilen transistörlerin büyüklükleri.....	55
Şekil 4.31 TSMC 0.18um birinci test örneđi için Kazanç-Band Genişliđi Ölçümü .....	56
Şekil 4.32 TSMC 0.18um birinci test örneđi için CMRR Ölçümü .....	57
Şekil 4.33 TSMC 0.18um birinci test örneđi için ICMR Ölçümü.....	57
Şekil 4.34 TSMC 0.18um birinci test örneđi için Offset Gerilimi Ölçümü .....	58
Şekil 4.35 TSMC 0.18um birinci test örneđi için PSRR Ölçümü .....	58
Şekil 4.36 ÇKA ađına ait eđitme grafiđi. ....	60



Şekil 5.1 Farklı üretim firmalarının model parametrelerine göre işlemsel kuvvetlendirici devresi modellemesi için kullanılan YSA yapısı.....	63
Şekil 5.3 Üçüncü test örneği için Av-GBW ölçüm sonuçları .....	64
Şekil 5.4 Üçüncü test örneği için CMRR ölçüm sonuçları.....	64
Şekil 5.5 Üçüncü test örneği için offset gerilimi ölçüm sonuçları .....	65
Şekil 5.6 Üçüncü test örneği için güç harcaması ölçüm sonuçları .....	65
Şekil 5.7 Üçüncü test örneği için PSRR ölçüm sonuçları .....	66
Şekil 5.8 Üçüncü test örneği için SR ölçüm sonuçları .....	66

## ÇİZELGE LİSTESİ

	Sayfa
Çizelge 2.1 NOR kapısının doğruluk tablosu.....	15
Çizelge 2.2 NAND kapısının doğruluk tablosu.....	16
Çizelge 2.3 XOR kapısının doğruluk tablosu.....	17
Çizelge 2.4 INV kapısının doğruluk tablosu .....	17
Çizelge 4.1 NMOS transistör simülasyonu için gerilim, akım ve kanal boyu değişken aralıkları .....	29
Çizelge 4.2 NMOS transistörün kanal genişliğinin kestirilmesinde yapay sinir ağlarının başarımları.....	30
Çizelge 4.3 PMOS transistörün kanal genişliğinin kestirilmesinde yapay sinir ağlarının başarımları.....	31
Çizelge 4.4 PMOS transistörün kanal genişliğinin kestirilmesinde yapay sinir ağlarının başarımları.....	32
Çizelge 4.5 Eşik gerilimi kestiriminde genel sınıflama için YSA başarımları.....	34
Çizelge 4.6 Eşik gerilimi kestiriminde bilinmeyen teknolojiye göre sınıflama için YSA başarımları.....	34
Çizelge 4.7 Yapay sinir ağına uygulanan akım aynası veri tabanından birkaç örnek.....	39
Çizelge 4.8 YSA'ya uygulanan test verilerinden birkaç örnek ve YSA'nın verdiği W/L bilgileriyle yapılan test simülasyon sonuçları.....	41
Çizelge 4.9 Farksal kuvvetlendirici için elde edilen veri kümesine ait örnekler.....	45
Çizelge 4.10 İşlemsel kuvvetlendiricinin çıkış kriterlerini gösteren ve YSA için giriş olarak verilen 11 özellik.....	47
Çizelge 4.11 YSA için çıkış değerlerini gösteren 16 özellik.....	47
Çizelge 4.12 CMOS İşlemsel kuvvetlendirici için TSMC 0.18µm test veri kümesine YSA'nın verdiği transistör boyutları.....	56
Çizelge 5.1 İşlemsel kuvvetlendiricinin çıkış kriterlerini gösteren ve YSA için giriş olarak verilen 8 özellik.....	62
Çizelge 5.2 YSA için çıkış değerlerini gösteren 16 özellik.....	62

## ÖNSÖZ

Elektronik devre tasarımında, devre tasarımcıları büyük ölçekli devreleri sentezlemede veya doğrulamada çeşitli bilgisayar tabanlı tasarım (Computer Aided Design, CAD) sistemlerinin yardımına ihtiyaç duyarlar. Bilgisayar destekli tasarımın temel amacı, hali hazırda kullanılan mikroelektronik devrelere sürekli yeni fonksiyonlar ekleyebilme isteğiyle, tasarımcıları, mümkün olan teknolojiyi tam anlamıyla kullanmaya yöneltebilmektir. Yarıiletken devreler ve elemanları ile ilgilenen bir tasarımcı muhakkak sürekli ama yüksek derecede lineer olmayan (nonlineer) ve çok boyutlu dinamik sistemlerle de ilgilenmek durumundadır. Geliştirilen onlarca tasarım yaklaşımı ve yazılımlarının yanında, analog devre simülatörleri, günümüzde bile bilgisayar destekli tasarımın en büyük araştırma konularından biridir. Sayısal devre tasarımında ise, eleman seviyesinde bir devrenin simülasyonu lojik seviyede bir simülasyona göre oldukça yavaş çalışmaktadır. Bu durum da hem analog hem de sayısal devre tasarımı ve simülasyonları üzerinde yapılan araştırmaların daha da geliştirilmesini zorunlu kılar.

Bu tezde, yeni nesil teknolojiler için mikroelektronik devrelerin yapıtaşlarını oluşturan temel analog ve sayısal devrelere ait transistör boyutlarının simülasyon yapmaksızın tahmin edilebilmesi hedeflenmiştir.

Çalışmalarım sırasında ve tezi hazırlama sürecinde sahip olduğu bilgi birikimi ve tecrübesi ile beni doğru bir şekilde yönlendiren ve bana her koşulda manevi destek olan çok değerli hocam Prof. Dr. Tülay YILDIRIM'a, tez izleme sürecinde ve tezin şekillenmesinde öneri ve destekleri ile teze anlam katan değerli hocalarım Prof. Dr. Atilla ATAMAN'a ve Prof. Dr. Uğur ÇİLİNGİROĞLU'na, hayatımın her alanında yanımda olduğunu bildiğim, desteği ve sevgisi ile manevi olarak beni güçlü kılan çok değerli eşim Ahmet KAHRAMAN'a, bu tezin sürecini hızlandıran, varolan mutluluğumuza mutluluk katan, varlığını her an içimde hissettiğim sevgili yavrumuza, beni bugünlere getiren annem Nurcan COŞKUN ve babam Şenol COŞKUN'a ve canım kardeşim Didem COŞKUN'a, değerli arkadaşlarım, Tuba KIYAN, Burcu ERKMEN ve Revna ACAR VURAL'a ve eğitimim sırasında emeği geçen tüm hocalarıma teşekkürlerimi bir borç bilirim.

Ayrıca çalışmalarını hala devam etmekte olan 104E133 nolu TÜBİTAK projesi ve 26-04-03-01 no'lu YTÜ BAPK projesindeki finansal desteklerinden dolayı TÜBİTAK kurumuna ve Yıldız Teknik Üniversitesi Bilimsel Araştırmalar Proje Koordinatörlüğü'ne teşekkürlerimi sunarım.

Nihan KAHRAMAN

# KISA KANALLI CMOS DEVRELERİN YAPAY SİNİR AĞLARI İLE ÜRETİM TEKNOLOJİ PARAMETRELERİNDEN BAĞIMSIZ TASARIMI

## ÖZET

Mikroelektronik devrelerin boyutları, teknolojinin hızla ilerlemesi ile son yıllarda oldukça küçülmüştür. Bu durumda devrelerin istenen kıstasları sağlaması için tasarımcının devre parametrelerini çok dikkatli bir şekilde belirlemesi gerekmektedir. Teknoloji parametrelerinin değişmesiyle aynı devre, aynı transistör boyutlarıyla farklı sonuçlar üretebilmektedir. Bu yüzden her yeni teknoloji için transistör boyutlarının devrenin performansını olumsuz yönde etkilemeyecek şekilde yeniden seçilmesi gerekmektedir.

Çok büyük ölçekli tümdevre tasarımında, bir tasarımcının dikkat etmesi gereken birçok kıstas söz konusudur. Bunların başında; devrenin harcadığı güç, kapladığı alan, içerdiği transistör sayısı ve transistörlerin boyutları gelmektedir. Bu tezde amaç, analog ve sayısal devre tasarımlarında kullanılan temel blokların, teknoloji değişimine göre, simülasyon yapmaksızın yukarıda belirtilen kıstaslarının yapay sinir ağları ile tahmin edilebilirliğini göstermektir. Benzer şekilde bir diğer amaç da; temel analog ve sayısal devrelerde istenen çıkışları sağlayabilen transistör boyutlarını (kanal boyu ve kanal genişliği) yapay sinir ağları ile yine teknoloji parametrelerinden bağımsız olarak belirleyebilmektir.

Çok karmaşık, uzun ya da çok sayıda düzensiz bilgi taşıyan verilerin çözümlenebilmesinde, insan algısının ya da var olan bilgisayar tekniklerinin sonuca ulaşmada zorluklarla karşılaşabileceği benzer tüm işlemlerde, üstün yeteneklerinden dolayı yapay sinir ağları kullanılır. Eğitilmiş bir sinir ağı yeni ve tanımlanmamış durumlar, yani yeni özellikli girdiler için farklı çıkışlar sağlayabilir. Bu tezde, teknolojiden bağımsız devre tasarımı işlemi, yapay sinir ağlarının bahsedilen özelliklerinden yararlanarak daha az hesaplama ve daha kısa sürede yapılmaya çalışılacaktır. Böylece, tasarımcı daha önceden eski teknoloji ile tasarımını yaptığı temel blokları, küçülen teknoloji boyutları karşısında yeniden tasarlamak yerine, devreden istenen çıkışları yapay sinir ağına uygulayarak yeni teknoloji için devre boyutlarını yapay sinir ağı çıktılarından elde edebilecektir.

**Anahtar kelimeler:** Mikroelektronik devre modelleme, transistör boyutu kestirimi, yapay sinir ağları.

# TECHNOLOGY INDEPENDENT SHORT CHANNEL CMOS CIRCUIT DESIGN USING ARTIFICIAL NEURAL NETWORKS

## ABSTRACT

The area of microelectronic circuits get smaller by the technology development in recent years. In such a case, the designer should modify the circuit parameters very carefully in order to meet the design constraints. By the changes of technological parameters, the same circuit with the same transistor sizes can produce different results. Therefore, transistor sizes should be chosen properly not to affect the performance of the circuit for each new technology.

There are so many constraints for a designer in very large scale integrated circuit design. Power dissipation, the circuit area, included transistor number and transistor sizes come at the beginning of these constraints. The aim in this thesis is to prove that the design constraints of fundamental blocks used in analog and digital circuits mentioned above can be predicted using artificial neural networks according to the changes in technology without making simulation. Similarly, another aim of this thesis is to determine the transistor sizes of fundamental blocks used in analog and digital circuits that provides desired outputs using artificial neural networks.

Artificial neural networks are used in analyzing the data including complex, long or chaotic information or similar works that human perception or computer skills have complications to access to the results due to their excellent capabilities. The trained neural network can supply new results for new and undefined states, i.e. for the inputs of carrying new features. In this thesis, technology independent circuit design is completed with less calculations and time using artificial neural networks with their characteristics mentioned before. Hence, instead of redesigning fundamental blocks that designed with old technology before, the designer can reach to transistor sizes by applying the desired outputs to neural networks for new technology

**Keywords:** Microelectronic circuit modeling, transistor size estimation, neural networks

## 1. GİRİŞ

Elektronik devre tasarımında, devre tasarımcıları büyük ölçekli devreleri sentezlemede veya doğrulamada çeşitli bilgisayar tabanlı tasarım (Computer Aided Design, CAD) sistemlerinin yardımına ihtiyaç duyarlar. Bilgisayar destekli tasarımın temel amacı, hali hazırda kullanılan mikroelektronik devrelere sürekli yeni fonksiyonlar ekleyebilme isteğiyle, tasarımcıları, mümkün olan teknolojiyi tam anlamıyla kullanmaya yöneltebilmektir. Yarıiletken devreler ve elemanları ile ilgilenen bir tasarımcı muhakkak sürekli ama yüksek derecede lineer olmayan ve çok boyutlu dinamik sistemlerle ilgilenmek durumundadır. Geliştirilen onlarca tasarım yaklaşımları ve yazılımlarının yanında, analog devre simülatörleri, günümüzde bile bilgisayar destekli tasarımın en büyük araştırma konularından biridir. Sayısal devre tasarımında ise, eleman seviyesinde bir devrenin simülasyonu lojik seviyede bir simülasyona göre oldukça yavaş çalışmaktadır. Bu durum, hem analog hem de sayısal devre tasarımı ve simülasyonları üzerinde yapılan araştırmaların daha da geliştirilmesini zorunlu kılmaktadır.

Mikroelektronik devrelerin boyutları, teknolojinin hızla ilerlemesi ile son yıllarda oldukça küçülmüştür. Bu durumda gerek analog, gerekse sayısal devrelerin istenen kıstasları sağlaması için tasarımcının devre parametrelerini çok dikkatli bir şekilde belirlemesi gerekmektedir. Teknoloji parametrelerinin değişmesiyle aynı devre, aynı transistör boyutlarıyla farklı sonuçlar üretebilmektedir. Bu yüzden her yeni teknoloji için, devrenin çıkışlarını etkileyen tüm simülasyon parametrelerinin, devrenin performansını olumsuz yönde etkilemeyecek şekilde yeniden seçilmesi gerekmektedir.

Çok büyük ölçekli tümdevre tasarımında, bir tasarımcının dikkat etmesi gereken birçok kıstas söz konusudur. Bunların başında; devrenin harcadığı güç, parazitik etkileri, kapladığı alan, içerdiği transistör sayısı ve transistörlerin boyutları gelmektedir. Bu yüzden mikroelektronik veya yarıiletken devrelerin her seferinde yeniden bir çok simülasyon ile tasarımının yapılması yerine, bilgisayar destekli tasarım sistemleri ile devrelerin optimizasyonu yapılmaktadır.

Elektronik devreler ve elemanlarının modellenmesinde değişik gereksinimleri nedeniyle iki ana uygulamaya ihtiyaç vardır. İlk modelleme uygulaması, şu ana kadar modellenmemiş elemanlar için verim ve başarıyı arttıracak yeni modellerin geliştirilmesine yöneliktir. Yeni veya daha önceden modellenmemiş devre elemanları için bir model oluşturmak, hiç bir modelin olmamasından daha iyidir. Tasarımcı elinde böyle bir model olması durumunda, yeni elemanın devre performansını nasıl etkileyeceğini daha kısa zamanda öğrenebilir. Ancak, yeni bir elemanın fiziksel modelini oluşturmak da uzun zaman alabilir. Bu da araştırmacıları

sürekli alternatif yöntemlere yönlendirmektedir. İkinci uygulama, mevcutta bulunan alt devrelerin modellenmesi ve devre simülasyonlarını daha başarılı hale getirebilmek için bu alt devrelerin geliştirilen modellerle yer değiştirmesi ile yapılan modellemedir. Amaç, daha önceden oluşturulan basit modellere ilave yeni özellikler ekleyebilmek ve her seferinde modeli daha da geliştirebilmektir. Örneğin sadece kazancı için modellenmiş bir işlemsel kuvvetlendirici bir çok transistör içerirken, devre modelinde lineerliğin de ortaya çıkmasıyla devre yapısına bir çok direnç elemanı da eklenmiş olur.

Araştırmacıların devre modellemeleri üzerine yaptıkları çalışmalarda, 90'lı yıllardan itibaren Yapay Sinir Ağları (YSA) da oldukça yaygın olarak kullanılmıştır. Yapay sinir ağları, insan beyninin çalışma sisteminin yapay olarak benzetimi çalışmalarının bir sonucu olarak ortaya çıkmıştır. YSA, insan vücudundaki sinir sisteminin bazı fonksiyonlarını ve yeteneklerini yakalamak isteyen basit hesapsal birimlerin (nöronlar) yoğun bir paralel dizisidir; başka bir deyişle, teorik hale getirilmiş zeka ve beyin faaliyetlerinin matematiksel modelleridir. Beynin öğrenme, genelleme gibi fonksiyonları, benzetim yolu ile yapay sinir ağlarına kazandırılmıştır. Temel yapısı, beyne, sıradan bir bilgisayarinkinden daha çok benzemektedir. Ancak biyolojik sistemler o kadar karmaşıktır ki, yapay sinir ağı bu biyolojik sistemlerin fazlaca basite indirgenmiş modelleri şeklindedir. Biyolojik sistemle YSA arasında bir eşleştirme yapılacak olursa, temel sinir hücresi olan nöronu işlemci eleman, dendritleri toplama fonksiyonu, hücre gövdesinde yapılan işlemleri transfer fonksiyonu, sinapsları ağırlıklar ve aksonları nöron çıkışı temsil eder.

Yapay sinir ağları, genelleştirme ve öğrenebilme yeteneği sayesinde kesin kurallarla gösterimi zor olan ve formüle edilemeyen bilgileri yüksek başarımla işleyebilmektedir. Ayrıca yapay sinir ağlarının hataya karşı toleranslı yapısı sayesinde eksik veya bozulmuş bilgiler doğru şekilde işlenebilmektedir. Yapay sinir ağları bu özellikleri ile geleneksel yapay zeka algoritmaları ve istatistiksel modellere göre çok karmaşık problemleri çözebilme yeteneğine sahiptir. Bu nedenle araştırmacılar uzun yıllardır yapay sinir ağlarının mimarisini ve öğrenme algoritmalarını geliştirmeye yönelik çalışmalarda bulunmuşlar, geliştirdikleri modellerin yazılım ve donanım ortamında kullanımını sağlamışlardır.

Yapay sinir ağlarının bilgisayar ile simülasyonlarına ilk defa 1940'lı yıllarda başlanmıştır. 1943 yılında McCulloch ve Pitts (McCulloch ve Pitts, 1943) yapay nöronu tanımlamışlardır. Bunun paralelinde bilgisayar teknolojisinin gelişimiyle, nöral fonksiyonların hesaplanmasının kolaylaştığı ve basit nöron birleşimlerinin aktivitesinin arttığı gözlenmiştir. 1969 yılında Minsky ve Papert, tek katmanlı ağlarla ayrıcalı veya (XOR) işleminin yapılamayacağını

ortaya koymuştur (Minsky, Papert 1969). 1965'ten 1984'e kadar olan yıllar arasında birçok araştırmacı bu konuda çalışmalarda bulunmuştur. Ardından farklı mimari ve öğrenme yapısına sahip farklı ağlar geliştirilmiştir. Bu ağlardan Çok Katmanlı Algılayıcılar (ÇKA), (Werbos, 1974; Rumelhart vd., 1986) ve Radyal Temelli Fonksiyon Ağları (RTFA), (Broomhead ve Lowe, 1988; Moody ve Darken, 1989) sınıflandırma ve fonksiyon yaklaştırma gibi pratik uygulamalarda, literatürde oldukça yaygın olarak yer almaktadır. 90'lı yıllarda Donald Specht (Specht D.F. 1990 ve 1991) tarafından, Radyal Temelli Fonksiyon Ağları'nın genellikle fonksiyon yaklaştırma problemleri için kullanılan Genelleştirilmiş Regresyonlu Ağ yapısı ve Olasılıksal Sinir Ağları kuramı ortaya atılmıştır.

Yapay sinir ağlarının gelişmesiyle paralel olarak kullanım alanlarına literatürde en sık rastlanıldığı yerler; yorumlama, tahmin, teşhis, kontrol, örüntü tanıma, sınıflandırma, karakter veya el yazısı tanıma, imge işleme, optimizasyon...vb konulardır. YSA'nın yaygınca kullanıldığı optimizasyon problemlerinin başında da teknoloji ile sürekli gelişen büyük ölçekli mikroelektronik devre tasarımı gelmektedir.

Mikroelektronik devrelerde, MOS (Metal Oxide Semiconductor) transistör veya çeşitli CMOS (Complementary Metal-Oxide Semiconductor) devre yapılarının modellenmesinde klasik yöntemlere (Tsividis ve Suyama, 1994) alternatif olarak yapay sinir ağları kullanılarak da, gerek eleman gerekse devre bazında modelleme için bir çok çalışma yapılmıştır (Ojala vd., 1994; Kwan ve Tang, 1994; Zaabab vd., 1995; Ojala vd., 1995; Creech vd., 1996; Ng ve Lam, 1996; Wilk vd., 1996; Ilumoka, 1997; Santos vd., 1997; Zhang ve Whang, 1997; Wolfe ve Memuri, 2003; Cao vd., 2004; Roumbakis vd., 2005; Luongvinh ve Kwon, 2005; Raeisi, 2005; Isaksson vd., 2005; Chen vd., 2006 ).

Devrelerin modellenmesi aşamasından sonra seriminin ve önemli parametrelerinin optimizasyonu gibi sorunlar ortaya çıkmaktadır. YSA, tümleşik devre tasarımının seriminin veya güç harcaması gibi parametrelerinin optimizasyonunun mümkün olan en iyi şekilde belirlenmesinde çoğu bilim adamına (Hoppe vd., 1990; Yih ve Mazumder, 1990; Wu vd, 1994; Macii ve Poncino, 1995; Funabiki ve Nishikawa, 1996; Ilumoka vd., 2004; Hou vd., 2006 ) önemli ölçüde yardımcı olmuştur.

Tümleşik devrelerin üretiminden sonra meydana gelen hataların test aşamasında ortaya çıkarılması ise günümüzde nerdeyse ayrı bir dal haline gelmiştir. Böylece yapay sinir ağlarının uygulanabilir araştırmaları arasına tümleşik devrelerin üretim aşaması, fabrikasyonun çeşitli adımları (Mardiris vd., 1997; Tong vd., 1997), test işlemi ve



arabağlantılarının duyarlılığı (Zhang ve Nakhla, 1994; Veluswami vd., 1995; Kaderka vd., 1996; Yu vd., 1997; Junren vd., 1998; Ilumoka, 2000; Mičušík vd., 2002; Yang vd., 2000; Pratap vd., 2003; Chang vd., 2003; Schmid ve Leblebici, 2003; Zhongliang 2004, Pratap vd., 2005) gibi farklı alanlar da katılmıştır.

Sürdürülen çalışmalar sadece MOSFET (Metal Oxide Semiconductor Field Effect Transistor) teknolojisi ile sınırlı kalmamış; yalıtılmış kapılı çift kutuplu transistörler, IGBT (Insulated Gate Bipolar Transistor); Galyum Arsenid metal GaAs MESFET (MEtal Semiconductor Field-Effect Transistors), HEMT (High Electron Mobility Transistor) ve SOI (Silicon on Insulator) gibi farklı aktif elemanlar, hem çok katmanlı algılayıcılarda klasik geriye yayılma algoritması kullanılarak hem de radyal tabanlı ağlarla modellenmiştir. (Watson vd., 1998; Gulez vd, 2001; Lazaro vd, 2001; Silva vd., 2001; Hatami vd., 2004, Taher vd., 2005).

Elektronik devre modellemesinde yapay sinir ağları ile yapılan ve yukarıda bahsedilen çalışmalar, mikrodalga transistörlerinin küçük veya büyük eşdeğer modellerinin veya mikrodalga devrelerindeki çeşitli parametrelerin belirlenmesinde çalışan araştırmacıları YSA kullanmaya sevk etmiş ve yüksek frekans devrelerinde farklı ağ yapıları ile algoritmalar (Creech vd., 1995; Hole ve Haldar, 1995; Vai vd., 1997; Peik vd., 1998; Wang vd., 1998; Yıldırım vd., 1999; Markovic vd., 1999; Lazaro, Fernandez vd., 2000; Lazaro, Santamaria vd., 2000; Milovanovic vd., 2002; Devabhaktuni, 2003; Zhang ve Eng, 2003; Padmanava 2006; Kabir vd., 2007; Hwangbo vd., 2007) denenerek araştırmalar sürdürülmüştür.

Bu tezde, son yıllarda yapay sinir ağları kullanılarak yapılan transistör modelleme çalışmaları incelenmiş ve yeni nesil teknolojiler için temel analog ve sayısal devrelerde, SPICE model parametrelerini kullanmadan, transistör büyüklüklerinin YSA ile kestirilmesine çalışılmıştır. Böylece, teknolojiyen bağımsız devre tasarımı işlemi, yapay sinir ağlarının bahsedilen özelliklerinden yararlanarak daha az hesaplama ve daha kısa sürede yapılmaya çalışılacaktır. Tasarımcı daha önceden eski teknoloji ile tasarladığı temel blokları değişen teknoloji boyutları karşısında yeniden tasarlamak yerine, devreden istenen çıkışları yapay sinir ağına uygulayarak, yeni teknoloji için devre boyutlarını yapay sinir ağı çıktılarında elde edebilecektir.

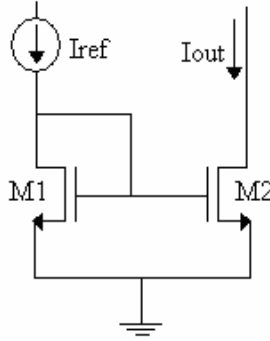
Bölüm 2’de gerek analog gerekse sayısal mikroelettronik tasarımda karşılaşılan zorluklar ve tasarımlara temel oluşturan yapılar kısaca açıklandıktan sonra, Bölüm 3’de YSA’nın devre modellemesinde kullanılmasını sağlayan belli başlı özellikleri ve bu tezde kullanılan YSA yapıları hakkında bilgi verilmiştir. 4. Bölüm’de ise modellenmesi hedeflenen analog ve sayısal devrelere ait veri tabanı oluşturmak üzere yapılan CADENCE Analog Environment

Simülasyonları ve daha sonra da yeni nesil teknolojiler için tasarımı hedeflenen devrelerin transistör boyutları kestiriminin YSA ile simülasyon sonuçları verilmektedir. 5. Bölümde, diğer bölümlerden farklı olarak, aynı teknolojik büyüklük için farklı üretim firmalarının SPICE model parametrelerinden bağımsız olarak modellenmesine ilişkin yapılan çalışmalar ve sonuçları verilmiştir. Son bölümde ise yeni nesil teknoloji için YSA'nın verdiği transistör boyutları ve CADENCE'da bu transistör boyutları kullanılarak yapılan simülasyonlarda hedefe ne kadar yaklaşıldığı tartışılmıştır.

## 2. ANALOG VE SAYISAL TMDEVRE TASARIMINDA TEMEL YAPILAR

### 2.1 Temel Akım Aynası Yapıları

Akım aynası yapıları, geit-kaynak gerilimleri eřit olan zdeř iki transistrn aynı akımları akıtması prensibine dayanır. Őekil 2.1’de iki transistrden oluřan basit akım aynası devresi grlmektedir.



Őekil 2.1 Basit akım aynası

Burada M1 transistr  $V_{DS1}=V_{GS1}$  olduėundan doyma blgesinde alıřmaktadır.  $V_{DS2} \geq V_{GS2} - V_{T2}$  olduėu dřnlrse, M2 transistr de doymada olacaktır.  $i_{ref}$  giriř akımı ile M2 transistrnn savak akımı,  $i_{out}$ , birbirine oranlanırsa Eřitlik (2.1) elde edilir.

$$\frac{i_{out}}{i_{ref}} = \left( \frac{L_1 W_2}{W_1 L_2} \right) \left( \frac{V_{GS} - V_{T2}}{V_{GS} - V_{T1}} \right)^2 \left[ \frac{1 + \lambda V_{DS2} \left( \frac{K_2'}{K_1'} \right)}{1 + \lambda V_{DS1} \left( \frac{K_1'}{K_1'} \right)} \right] \quad (2.1)$$

Akım aynasında kullanılan transistrler aynı tmleřik devre zerinde retileneėinden  $V_T$  ve  $K'$  gibi fiziksel parametrelerin aynı olması beklenir. Dolayısıyla (2.1) eřitliėi,

$$\frac{i_{out}}{i_{ref}} = \left( \frac{L_1 W_2}{W_1 L_2} \right) \left[ \frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right] \quad (2.2)$$

olarak kısaltılabilir.  $V_{DS}$  gerilimlerinin de aynı olması durumunda ise (2.2) eřitliėi,

$$\frac{i_{out}}{i_{ref}} = \left( \frac{L_1 W_2}{W_1 L_2} \right) \quad (2.3)$$

řeklinde kısalır. Dolayısıyla giriř ve ıkıř akımları oranı tamamıyla tasarımcıya baėlıdır. rneėin (W/L) oranlarının her iki transistr iin de aynı olması durumunda giriř ve ıkıř akımlarının aynı olması beklenir.

Basit akım aynasının çıkış direnci ise;

$$R_0 = \frac{1}{\lambda \cdot I_0} \quad (2.4)$$

olarak tanımlanır.

Akım aynasını ideal çalışma bağıntılarından saptıran 3 etki söz konusudur. Bu etkiler aşağıda açıklanmıştır.

### **Kanal Boyu Modülasyonu**

Her iki transistörün geometrilerinin aynı olduğu, fakat  $V_{DS}$  gerilimlerinin farklı olduğu durumda akım aynası birim kazancında değişim gözlenir.

$$\frac{i_{out}}{i_{ref}} = \left[ \frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right] \quad (2.5)$$

Burada  $\lambda$  küçüldükçe çıkış direnci büyür ve yinalanan akımın giriş akımına oranı da buna bağlı olarak büyür. Dolayısıyla ideal bir akım aynasının, özdeş  $V_{DS}$  gerilimlerine ve yüksek çıkış direncine sahip olması istenir.

### **Eşik Gerilimi Uyumsuzluğu**

CMOS prosesinde pul üzerinde eşik geriliminin yayılımı merkezden pulun çevresine doğru bir Gauss yayılım özelliği göstermektedir. Özdeş geometri ve  $V_{DS}$  gerilimlerine sahip iki transistör için eşik gerilimlerinin etkisi büyük akımlar için gözardı edilebilmektedir. Çünkü büyük akım büyük  $V_{GS}$  demektir, Eşitlik (2.6)'dan da görülebileceği üzere  $V_{GS}$  arttıkça  $\Delta V_T = V_{T1} - V_{T2}$ ,  $V_{GS}$  yanında ihmal edilebilir.

$$\frac{i_{out}}{i_{ref}} = \left( \frac{V_{GS} - V_{T2}}{V_{GS} - V_{T1}} \right)^2 \quad (2.6)$$

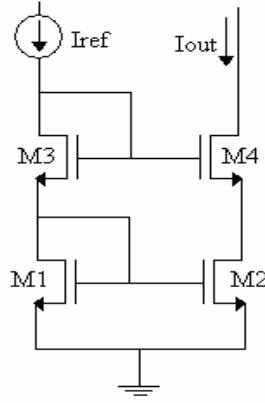
### **Geometrik Uyumsuzluk (Kanal Boyu ve Kanal Uzunluğunda)**

Her ne kadar simülasyonlarda özdeş transistörlerle ideal sonuçlar alınsa da üretim sırasında maskeleme, litografî, aşındırma ve difüzyon sırasında verilen serimdeki geometrilerden sapmalar olabilir. Bu etki uzun kanal transistörler için ( $>1\mu\text{m}$ ) gözardı edilebilir ancak kısa kanal transistörlerde büyük önem taşımaktadır.

Akım aynası yapıları çıkış direncini artırmak için kaskod olarak da tasarlanır. Bunun temel

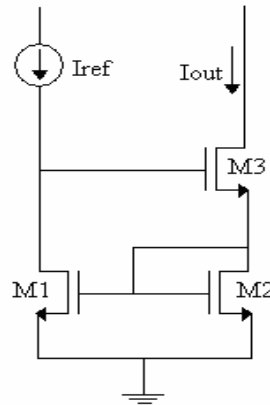
nedenlerinden biri, aktif yüklü kuvvetlendiricilerde yüksek değerli gerilim kazancı elde edilmesi yönündeki istektir. Bu amaçla, kaskod akım kaynağı gerçekleştirilir. Şekil 2.2'deki kaskod akım aynası yapısında, M4 transistörü, M2 transistörünü çıkış ucundaki gerilim değişimlerinden yalıtılmaktadır. M4 transistörünün kaynak ucu toprak potansiyelinde olmadığından çıkış direnci hesaplanırken gövde etkisi de dikkate alınır, çıkış direnci (2.7)'deki gibi bulunur.

$$R_0 = r_{o4} [1 + (g_{m4} + g_{mb4})r_{o2}] + r_{o2} \quad (2.7)$$

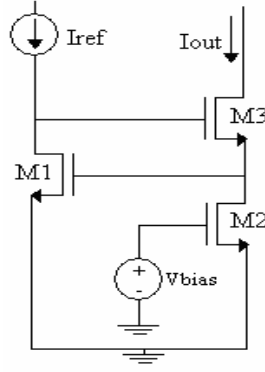


Şekil 2.2 Kaskod akım aynası

Yukarıda bahsedilen akım aynası yapıları dışında Wilson ve iyileştirilmiş akım aynaları da sırasıyla Şekil 2.3 ve Şekil 2.4'de gösterilmiştir.



Şekil 2.3 Wilson akım aynası



Şekil 2.4 İyileştirilmiş Akım Aynası

Wilson akım aynasında akımı aynalama oranı Eşitlik (2.8) ve çıkış direnci Eşitlik (2.9)'daki gibi hesaplanmaktadır.

$$\frac{I_{out}}{I_{ref}} = \frac{(W/L)_2}{(W/L)_1} \quad (2.8)$$

$$R_0 = r_{o3} g_{m1} r_{o1} \quad (2.9)$$

Yukarıdaki açıklamalar ve eşitliklerden de görülebileceği üzere basit bir akım aynası devresinin çıkışta sürebileceği maksimum gerilim, çıkış direnci ve akımı kaç kat aynaladığı tasarım kriterleri arasında yer almaktadır.

## 2.2 Farksal Kuvvetlendirici

Farksal kuvvetlendiriciler tümleşik devre teknolojisi ile oldukça uyumludur ve çoğu zaman işlemsel kuvvetlendiricilerin giriş katı olarak kullanılırlar. Farksal kuvvetlendiricilerde önemli tasarım parametreleri aşağıda açıklanmaktadır:

- Farksal mod giriş gerilimi: Giriş gerilimleri  $v_1$  ve  $v_2$  olmak üzere

$$V_{ID} = v_1 - v_2 \quad (2.10)$$

- Ortak mod giriş gerilimi: Giriş gerilimleri  $v_1$  ve  $v_2$  olmak üzere

$$V_{IC} = (v_1 + v_2) / 2 \quad (2.11)$$

- Çıkış gerilimi ve farksal kuvvetlendiricinin kazancı

$$v_1 = v_{IC} + \frac{v_{ID}}{2} \quad \text{ve} \quad v_2 = v_{IC} - \frac{v_{ID}}{2} \quad (2.12)$$

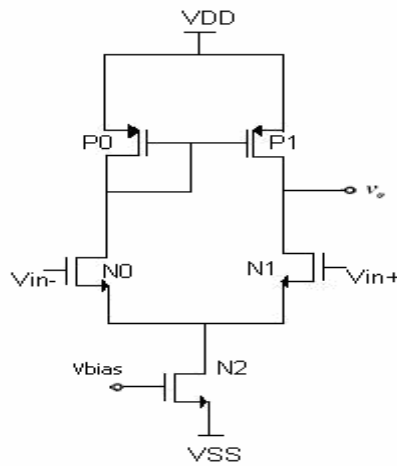
olmak üzere

$$v_{OUT} = A_{VD}v_{ID} \pm A_{VC}v_{IC} = A_{VD}(v_1 - v_2) \pm A_{VC}\left(\frac{v_1 + v_2}{2}\right) \quad (2.13)$$

$A_{VD}$  : Farksal mod gerilim kazancı;

$A_{VC}$  : Ortak mod gerilim kazancı

- CMRR : Farksal kazancın ortak mod kazancına oranı
- ICMR : Ortak mod giriş değişimi; farksal kuvvetlendiricinin hangi giriş gerilimleri arasında aynı kuvvetlendirme işlemini yapabildiğini belirtir.
- Offset gerilimi : Farksal kuvvetlendiricinin giriş terminalleri birbirine bağlandığında ideal çıkış gerilimi ile gerçek çıkış gerilimi arasındaki farktır. Bu değer farksal kazanç bölüdüğünde giriş offset gerilimi elde edilir. Genelde CMOS farksal kuvvetlendiricilerde giriş offset gerilimi 5-20 mV'dur.



Şekil 2.5 CMOS Farksal Kuvvetlendirici

Şekil 2.5'deki CMOS farksal kuvvetlendiricide  $V_{ID} = 0$  iken N1 ve N2 transistörleri üzerinden eşit büyüklükte akım akar ve bu akımların toplamı da N0 transistörünün üzerinden akan akımdır. N1 üzerindeki akım aynı zamanda P0 transistörünün üzerindeki akımı belirler ve buradaki akım aynası sayesinde bu akım P1 transistörü üzerine yansır. Eğer  $V_{GSN0} = V_{GSN1}$

ve bu transistörler özdeş ise P1 ve N1 üzerinden aynı akım akacağından çıkış akımı sıfır olur. Bu analizde bütün transistörler doymada çalışmaktadır.

Şekil 2.5'deki farksal kuvvetlendiricinin tasarımının yapılabilmesi için bazı devre özelliklerinin tasarımcıya verilmesi gereklidir. Bu özellikleri sağlayabilen devre için, tasarımcı, her bir transistörün uygun W/L oranını, giriş akımını sağlayan Vbias gerilimi gibi devre parametrelerini gerek matematiksel yöntemlerle gerekse simülasyonlarla belirlemelidir.

Bir farksal kuvvetlendirici devresinin sağlaması gereken özellikler genellikle aşağıdaki gibi sıralanabilir.

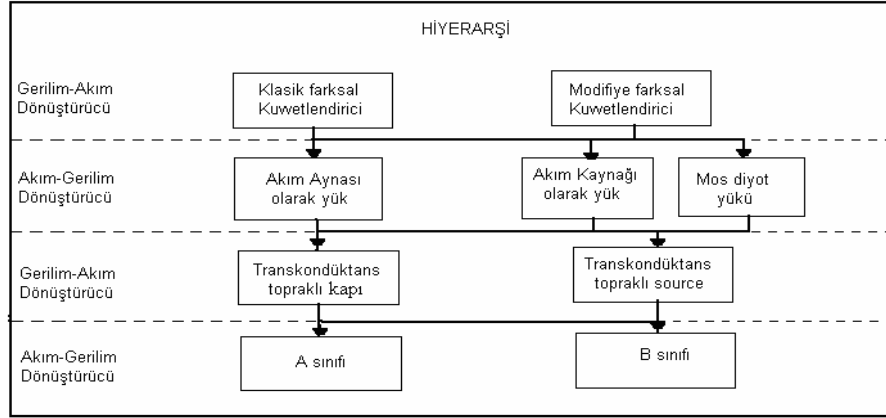
- Küçük İşaret Kazancı,  $A_v$
- Frekans cevabı,  $\omega_{-3dB}$
- ICMR [ $V_{IC(max)}$ ,  $V_{IC(min)}$ ], maksimum ve minimum giriş ortak mod gerilimi
- Belirli bir yük kapasitesi için maksimum çıkış eğimi (slew rate, SR)
- Güç harcaması,  $P_{diss}$

### 2.3 CMOS İşlemsel Kuvvetlendirici Tasarımı

Analog yapı bloklarının en önemlilerinden birisi olan işlemsel kuvvetlendiriciler, geniş bir kullanım alanına sahiptir. Bu nedenle işlemsel kuvvetlendirici tasarımı oldukça önemlidir. klasik işlemsel kuvvetlendiricilerin beraberinde getirdiği bazı kısıtlamalar elektronik düzenlerin başarımlarını düşürmektedir. Bu sebeple yüksek başarımlı işlemsel kuvvetlendiricilere ihtiyaç vardır. Yüksek başarımlı işlemsel kuvvetlendiriciler, yüksek kazanç, yüksek değerde kazanç band genişliği çarpımı, büyük yükselme eğimi elde etmek üzere gerçekleştirilen yapılardır. (Güngör vd., 2004 )

Temelde iki tür işlemsel kuvvetlendirici yapısı bulunmaktadır. Bu yapıların kat kat tasarım aşaması Şekil 2.6'da görülmektedir.





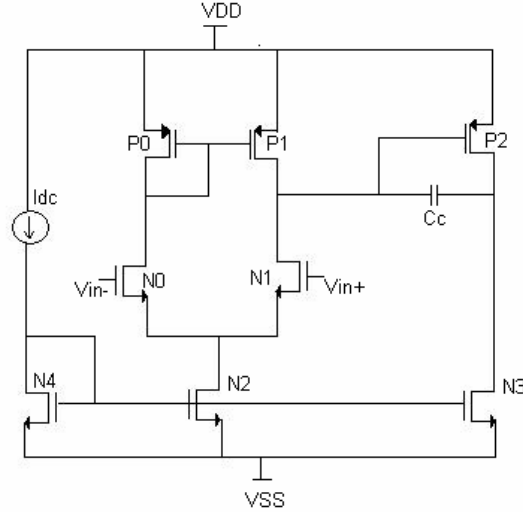
Şekil 2.6 İşlemsel kuvvetlendirici oluşturma hiyerarşisi

İşlemsel kuvvetlendirici yapılarından ilki iki katmanlı olan yapıdır. Kaskad olarak bağlanmış  $V \rightarrow I$  ve  $I \rightarrow V$  katlarından oluşmaktadır. İlk kat farksal gerilimi farksal akıma çevirir, bu akım bir akım aynası yüküne uygulanır ve böylece girişteki gerilim çıkışta kuvvetlendirilmiş olur. Diğer bir yapıda ise farksal transkondüktans katı kaskod akım aynası yükü takip eder. Burada amaç ortak mod giriş gerilim değişimini arttırmak ve güç tüketimini azaltmak yönündedir.

İşlemsel kuvvetlendirici tasarımlarında önemli olan kriterler aşağıda verilmektedir:

- Kazanç
- Band genişliği
- Yerleşme zamanı (Settling Time)
- Yükselme eğimi (Slew Rate)
- ICMR
- CMRR
- PSRR
- Çıkış gerilim dalgalanması
- Çıkış direnci
- Offset
- Gürültü

Bu çalışmada yukarıda bahsedilen işlemsel kuvvetlendirici yapılarından kaskad olarak bağlanmış  $V \rightarrow I$  ve  $I \rightarrow V$  katlarından oluşan CMOS işlemsel kuvvetlendirici yapısı kullanılmıştır. Şekil 2.7’de iki katlı CMOS işlemsel kuvvetlendirici devresi gösterilmektedir.



Şekil 2.7 İki katlı CMOS işlemsel kuvvetlendirici devresi

Klasik bir analog tasarımda, Şekil 2.7’deki CMOS işlemsel kuvvetlendirici devresinin istenen çıkış kriterlerini sağlayan transistör boyutlarının belirlenebilmesi için öncelikle hesap ile çözüm yöntemine gidilir. Daha sonra elde edilen sonuçlar SPICE yardımı ile simülasyonda gözlemlenir. İstenen kriterlerden simülasyon sonucunda elde edilemeyenler için, transistör boyutlarında küçük değişimlerde bulunularak tüm çıkış kriterlerinin sağlanmasına çalışılır. Normalde bu işlem kolay gibi görünmesine rağmen tüm parametrelerin birbirleriyle doğrusal olarak değişmediği dikkate alınca simülasyon sürecinin oldukça uzaması kaçınılmazdır. Kaldı ki simülasyon öncesinde yapılan hesapsal karmaşıklık da tasarım sürecini uzatan etkenlerden biridir.

İki katlı CMOS işlemsel kuvvetlendirici için transistör boyutları basitleştirilmiş halleriyle, aşağıdaki denklemlerle hesaplanabilir.  $S_N$ , NMOS transistörlerin (W/L) değeri,  $S_P$ , PMOS transistörlerin (W/L) değeri olmak üzere aşağıdaki ifadelerle verilir (Allen P.E., Holberg D.R.; 2002):

$$I_{N2} = SR * Cc \quad (2.14)$$

$$S_{P0} = \frac{2I_{P0}}{KP0'(VDD - Vin(\max) - |V_{TP0}|(\max) + VT1(\min))2} \geq 1 \quad (2.15)$$

$$g_{mN0}=BW*Cc \quad (2.16)$$

$$S_{N2} = \frac{2I_{N2}}{K_{N2}'[V_{DSN2}(\text{sat})]^2} \quad (2.17)$$

$$g_{mP2} = 2.2 * g_{m2} * (C_L / C_c) \quad (2.18)$$

$$V_{SGP1} = V_{SGP2} \quad (2.19)$$

$$S_{P2} = S_{P1}(g_{mP2}/g_{mP1}) \quad (2.20)$$

$$I_{P2} = g_{mP2}^2/2(K'_{P2}*S_{P2}) \quad (2.21)$$

$$SP2 = \frac{g_{mP2}}{K'_{P2} V_{DSP2}(\text{sat})} \quad (2.22)$$

$$S_{N3} = (I_{P2} / I_{N2}) S_{N2} \quad (2.23)$$

Görüldüğü gibi en basit çözüm bile hem analog tasarım bilgisi hem de teknolojik parametrelere ait bilgi gerektirmektedir. Bu tezin amaçlarından biri de, matematiksel çözüm yöntemleri ve simülasyonlar ile zaman kaybetmeksizin devre topolojisi ve çıkış kriterleri verildiğinde devredeki transistör boyutlarının kolay bir yöntem olan YSA ile kestirilebilmesidir.

## 2.4 Temel Sayısal Kapılar

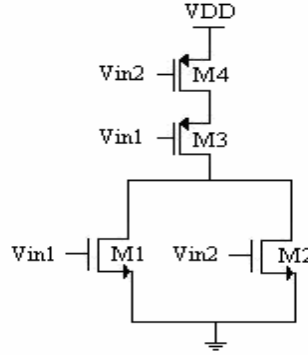
Sayısal tümdevrelerin temel karakteristikleri, tümdevrelere ait giriş/çıkış-düşük/yüksek seviye gerilim ve akım değerlerinin yanı sıra gürültü marjları, propagasyon gecikme süreleri, güç tüketimleri, giriş ve çıkış yelpaze sayısı olarak bilinir. Propagasyon gecikme süresi,  $t_P$ , bir elemanın girişindeki seviye değişimi ile elemanın çıkışında oluşacak seviye değişimi (yüksek seviyeden alçak seviyeye, H-L, alçak seviyeden yüksek seviyeye, L-H) için geçen süredir.  $t_{PHL}$ , giriş geriliminin  $V_{IH}$ 'ye veya  $V_{IL}$ 'ye göre %50 değiştiği andan itibaren çıkış geriliminin  $V_{OH}$ 'den  $V_{OL}$ 'ye %50 değişene kadar geçen süredir.  $t_{PLH}$  de benzer şekilde çıkışın  $V_{OL}$ 'den  $V_{OH}$ 'ye geçişi için tanımlanır.  $t_{PLH}$  ve  $t_{PHL}$  genellikle birbirine eşit değildir ve kapının ortalama gecikme süresi;

$$\tau_{ort} = \frac{t_{PLH} + t_{PHL}}{2} \quad (2.24)$$

şeklinde belirlenir. Propagasyon gecikme süresi, kapının çalışabileceği en büyük frekans değeri ile doğrudan ilgilidir. Genellikle sayısal devrenin çalışma frekansı, toplam en kötü gecikme süresi ile belirlenir. Yükselme süresi ( $t_r$ ); giriş geriliminin  $V_{IL}$  değerinin %10 fazlasından,  $V_{IL}$ 'nin %90 fazlasına kadar artımı sırasında geçen süredir. Düşme süresi ( $t_f$ ) ise  $V_{IH}$  değerinin %10 eksikinden,  $V_{IH}$ 'nin %90 eksikine kadar azalması sırasında geçen süre olarak tanımlanır.

#### 2.4.1 NOR Kapısı

Lojik NOR kapısında yapılan işlem OR (toplama) işleminin tersinden ibarettir. Girişlerden her ikisi de lojik 0 ise çıkış lojik 1, diğer durumlarda ise çıkış lojik 0'dır. Kapının CMOS gösterimi ve doğruluk tablosu Şekil 2.8 ve Çizelge 2.1'de görüldüğü gibidir.



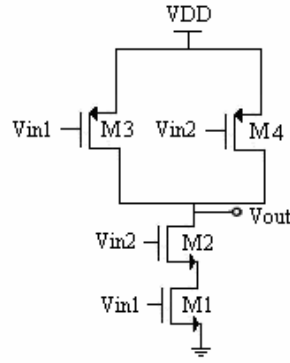
Şekil 2.8 CMOS NOR devresi

Çizelge 2.1 NOR kapısının doğruluk tablosu

Girişler		Çıkış
in1	in2	out
0	0	1
0	1	0
1	0	0
1	1	0

#### 2.4.2 NAND Kapısı

Lojik NAND kapısında yapılan işlem AND (çarpma) işleminin tersinden ibarettir. Girişlerden her ikisi de lojik 1 ise çıkış lojik 0, diğer durumlarda ise çıkış lojik 1'dir. Kapının CMOS gösterimi ve doğruluk tablosu Şekil 2.9 ve Çizelge 2.2'de görüldüğü gibidir.



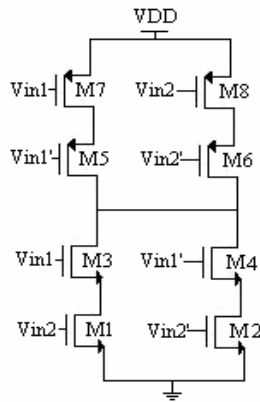
Şekil 2.9 CMOS NAND devresi

Çizelge 2.2 NAND kapısının doğruluk tablosu

Girişler		Çıkış
in1	in2	out
0	0	1
0	1	0
1	0	0
1	1	0

### 2.4.3 XOR Kapısı

Lojik XOR kapısında yapılan işlem ayrıcalı veya işlemidir. Girişlerden her ikisi de birbirinin aynı iken çıkış lojik 0, ikisi de birbirinden farklı iken çıkış lojik 1'dir. Başka bir deyişle, çıkışın 1 olabilmesi için girişlerin birbirinin zıttı olması gerekmektedir. Kapının CMOS gösterimi ve doğruluk tablosu Şekil 2.10 ve Çizelge 2.3'de görüldüğü gibidir.



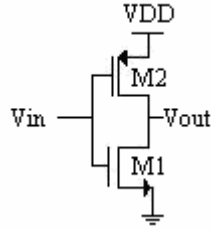
Şekil 2.10 CMOS XOR devresi

Çizelge 2.3 XOR kapısının doğruluk tablosu

Girişler		Çıkış
in1	in2	out
0	0	0
0	1	1
1	0	1
1	1	0

#### 2.4.4 INV Kapısı

Lojik INV kapısında yapılan işlem evirme işleminden ibarettir. Giriş lojik 1 iken çıkış lojik 0, giriş lojik 0 iken çıkış lojik 1'dir. Kapının CMOS gösterimi ve doğruluk tablosu Şekil 2.11 ve Çizelge 2.4'de görüldüğü gibidir.



Şekil 2.11 CMOS INV devresi

Çizelge 2.4 INV kapısının doğruluk tablosu

Giriş	Çıkış
0	1
1	0

### 3. YAPAY SİNİR AĞLARI VE TEMEL YAPAY SİNİR AĞI YAPILARI

Yapay Sinir Ağları (YSA), insan vücudundaki sinir sisteminin bazı fonksiyonlarını modelleyen ve bazı yeteneklerini yakalamak isteyen basit hesapsal birimlerin (nöronlar) yoğun bir paralel dizisidir. Başka bir deyişle, teorik hale getirilmiş zeka ve beyin faaliyetlerinin matematiksel modelleridir. Kesin kurallarla gösterimi zor olan, daha çok algılamaya yönelik bilgileri işlemekte kullanılırlar. Olayları genelleştirme yetenekleri ve eksik, belirsiz, bozulmuş bilgileri işleyebilme ve esnek olarak çalıştırabilmeleri önemli özelliklerindedir. Bu ağlarda kullanılan basit işleme elemanları insan beyninin işleme elemanı olan nöronların modelidir. İnsan sinir sisteminin problemleri çözebilmek için öğrenme özelliği olduğu gibi yapay sinir ağlarının da bu özelliği mevcut bulunmaktadır. (Erkmen, 2007)

YSA hesaplama ve bilgi işleme gücünü, paralel dağılmış yapısından, öğrenebilme ve genelleme yeteneğinden alır. Genelleme, eğitim ya da öğrenme sürecinde karşılaşılmayan girişler için de YSA'nın uygun tepkileri üretmesi olarak tanımlanır. Bu üstün özellikleri, YSA'nın karmaşık problemleri çözebilme yeteneğini gösterir.

#### 3.1 Yapay Sinir Ağlarının Temel Özellikleri

##### 3.1.1 Doğrusal Olmama

YSA'nın temel işlem elemanı olan hücre, doğrusal değildir. Dolayısıyla hücrelerin birleşmesinden meydana gelen sinir ağları da doğrusal değildir ve bu özellik bütün ağa yayılmış durumdadır. Bu özelliği ile YSA, doğrusal olmayan karmaşık problemlerin çözümünde önemli bir araç olmuştur.

##### 3.1.2 Öğrenme

YSA'nın arzu edilen davranışı gösterebilmesi için amaca uygun olarak ayarlanması gerekir. Bu ayarlama, hücreler arasında doğru bağlantıların yapılmasını ve bağlantıların uygun ağırlıklara sahip olması gerektiğini ifade eder. Yapay sinir ağları, programlama yerine örneklerle eğitilir. Programlayıcılar, sinir ağlarına tanınacak cisimlerin nicel tanımları veya söz konusu cisimleri benzer cisimlerden ayırmak için lojik kriter kümeleri sağlamak zorunda değillerdir. Bunun yerine bir sinir ağına bazen tanımları ile beraber, cisim örnekleri de girilir. Ağ, ağırlık matrisindeki değerleri değiştirerek bunları öğrenir ve ağa bir giriş uygulandığı zaman o girişe uygun çıkış cevabı üretir.

Yapay sinir ağıları eğiticili ve eğiticisiz olmak üzere iki şekilde eğitilmektedirler. Eğiticili öğrenmede ağı hem giriş hem de istenen çıkış bilgisi (hedef vektörü) girilir. Her denemeden sonra ağ kendi çıkışını doğru cevaplarla karşılaştırır ve çıkış hatası kabul edilebilecek seviyeye ininceye kadar ağırlıklarını değiştirerek tekrarlama yapar. Eğiticisiz öğrenmede hiçbir hedef vektörü yoktur. Giriş vektörü sisteme uygulanır ve sistem, girişin benzer veya ayrılan özelliklerinden yararlanarak uyumlu bir çıkış üretecek şekilde kendisini organize eder. Böyle sistemler daha çok sınıflama ve kümeleme problemleri için kullanılmışlar ve özellikle Kohonen ile Grossberg tarafından geliştirilmişlerdir (Lippman, 1987; Hinton, 1989; Özyılmaz, 2000).

### 3.1.3 Genelleştirme

YSA, ilgilendiği problemi öğrendikten sonra, eğitim sırasında karşılaşmadığı test örnekleri için de arzu edilen tepkiyi üretebilir. Örneğin, karakter tanıma amacıyla eğitilmiş bir YSA, bozuk karakter girişlerinde de doğru karakterleri verebilir ya da bir sistemin eğitilmiş YSA modeli, eğitim sürecinde verilmeyen giriş sinyalleri için de sistemle aynı davranışı gösterebilir.

Bir yapay sinir ağının geliştirilmesindeki en kritik parametrelerden biri genelleştirme, yani ağın gelecekteki performansdır: Ağın, eğitim kümesinde mevcut olmayan durumlar için ne kadar iyi tahminlerde bulunabildiğinin belirlenmesidir. Öğrenme süresince, eğiticili bir sinir ağının çıkışları eğitime kümesindeki girişleri verilen hedef değerlere yaklaştırır. Bu yetenek tek başına yararlı olabilir; fakat, bir sinir ağının kullanmanın esas amaçlarından biri genelleştirme yapmaktır. Yani, ağın çıkışlarını, eğitime kümesinde verilmeyen girişler için de hedef değerlere yaklaştırmaktır. Genelleştirme her zaman mümkün olmayabilir. Tipik olarak iyi bir genelleştirme için üç koşul gereklidir:

- Ağı uygulanan girişlerin hedefe ait yeterli bilgiyi içermesi.
- Girişleri doğru çıkışlara bağlayan yani öğrenmeyi sağlayan fonksiyonun yumuşak geçişli olması. Başka bir deyişle girişlerdeki küçük bir değişiklik çıkışlarda da küçük bir değişiklik üretmelidir.
- Eğitime durumlarının yeterince geniş ve kullanılan alt kümelerin (istatistiksel terminolojide "örnekler") genelleştirilmesi istenen (istatistiksel terminolojide "populasyon") bütün durumları temsil etmesi (Özyılmaz 2000).



### 3.1.4 Uyarlanabilirlik

YSA, ilgilendiği problemdeki değişikliklere göre ağırlıklarını ayarlar. Yani, belirli bir problemi çözmek amacıyla eğitilen YSA, problemdeki değişimlere göre tekrar eğitilebilir, değişimler devamlı ise gerçek zamanda da eğitime devam edilebilir. Bu özelliği ile YSA, uyarlamalı örnek tanıma, sinyal işleme ve denetim gibi alanlarda etkin olarak kullanılır.

### 3.1.5 Hata Toleransı

YSA, çok sayıda hücrenin çeşitli şekillerde bağlanmasından oluştuğundan paralel dağılmış bir yapıya sahiptir ve ağına sahip olduğu bilgi, ağıdaki bütün bağlantılar üzerine dağılmış durumdadır. Bu nedenle, eğitilmiş bir YSA'nın bazı bağlantılarının hatta bazı hücrelerinin etkisiz hale gelmesi, ağına doğru bilgi üretmesini önemli ölçüde etkilemez. Bu nedenle, geleneksel yöntemlere göre hatayı tolere etme yetenekleri son derece yüksektir.

### 3.1.6 Donanım ve Hız

YSA, paralel yapısı nedeniyle büyük ölçekli entegre devre (VLSI) teknolojisi ile gerçekleştirilebilir. Bu özellik, YSA'nın hızlı bilgi işleme yeteneğini artırır ve gerçek zamanlı uygulamalarda arzu edilir.

### 3.1.7 Analiz ve Tasarım Kolaylığı

YSA'nın temel işlem elemanı olan hücrenin yapısı ve modeli, daha önce açıklandığı gibi bütün YSA yapılarında yaklaşık aynıdır. Dolayısıyla, YSA'nın farklı uygulama alanlarındaki yapıları da standart yapıdaki bu hücrelerden oluşacaktır. Bu nedenle, farklı uygulama alanlarında kullanılan YSA'lar benzer öğrenme algoritmalarını ve teorilerini paylaşabilirler. Bu özellik, problemlerin YSA ile çözümünde önemli bir kolaylık getirmektedir.

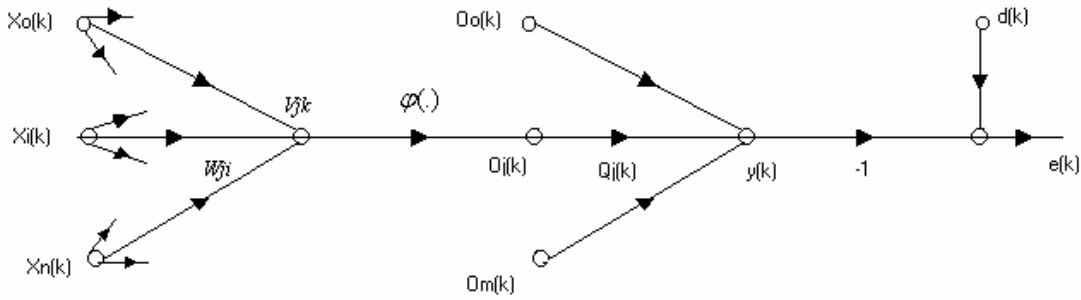
## 3.2 Çok Katmanlı Algılayıcı, ÇKA (Multilayer Perceptron, MLP )

Çok katmanlı algılayıcı (ÇKA) yapısı birçok birimin oluşturduğu bir kümedir. Bu algılayıcı birimler bir araya gelerek ağıdaki katmanları oluşturur. Bu katmanlar da bir araya gelerek ağı oluşturur. ÇKA'da üç temel katman vardır. Bunlar giriş katmanı, gizli katman ve çıkış katmanıdır. Giriş ve çıkış katmanı dışındaki tüm katmanlar gizli katman olarak adlandırılır. Genelde ağına eğitiminde eğiticili yöntem kullanılmaktadır. En yaygın öğrenme algoritması hatanın geriye yayılımı algoritmasıdır.

Çok katmanlı YSA'lara uygulanabilmesi nedeniyle önem kazanan geriye yayılım öğrenme

algoritması, eğitim düşme algoritmasının (Snyman J.A., 2005) katmanlı YSA'lara uyarlanmış halidir. Algoritmada geçen sinyaller ayrık zamanda gösterilmiş ve ayrık zaman değişkeni  $k$  olmak üzere  $x(k)$ , ağ giriş vektörü;  $o(k)$ , orta katman çıkış vektörü;  $d(k)$ , arzu edilen çıkış vektörü;  $y(k)$ , gerçek ağ çıkış vektörü ve  $W$  ve  $\theta$  ağırlıklar matrisini göstermektedir. Eğitim düşme (Snyman J.A., 2005) esasına dayanan geriye yayılım algoritmasında seçilen amaç ölçütünün (performans kriteri) bir katmandaki ağırlığa göre doğru eğiminin hesaplanması gerekir. Bu nedenle, ağ çıkışındaki hata sinyali, katmanlardan geriye doğru yayılır. Aşağıda açıklanacak olan algoritma, çıkış katmanı doğrusal olan üç katmanlı tek çıkışlı ileri beslemeli YSA'ya göre çıkarılmıştır. Çok çıkışlı YSA, tek çıkışlı YSA'nın benzeri olduğundan konunun açıklanabilmesi bakımından bir eksiklik oluşturmayacaktır.

Çıkış katmanı doğrusal olan ileri beslemeli üç katmanlı YSA'nın sinyal akış şeması Şekil 3.1'de verilmiştir.



Şekil 3.1 İleri beslemeli üç katmanlı YSA sinyal akış şeması (Özyılmaz, 2000)

Şekil 3.1'deki sinyal akış şemasından YSA'nın ileri yöndeki matematiksel modeli aşağıdaki gibi yazılır.

$$v_j = \sum_{i=0}^n w_{ji} x_i, \quad o_j = \varphi(v_j) \quad j=1,2,\dots,m \quad (3.1)$$

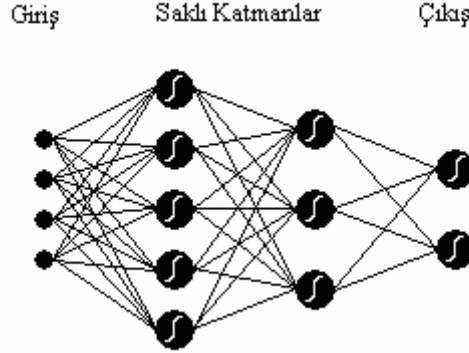
$$y_l = \sum_{j=0}^m \theta_j \cdot o_j \quad (3.2)$$

Tek çıkışlı bir YSA için ağ çıkış hatası, hataların kareleri (örneksel amaç ölçütü) ve toplam amaç ölçütü (hataların karelerinin ortalaması) aşağıdaki gibi tanımlanır.

$$e(k) = d(k) - y(k), \quad E(k) = (1/2)e^2(k) \quad (3.3)$$

Şekil 3.2'de çok katmanlı algılayıcı yapısına ait örnek bir ağ yapısı görülmektedir. Bu yapıda

saklı katmanlar ve çıkışlardaki nöronlar için aktivasyon fonksiyonu olarak sigmoidal fonksiyonların kullanıldığı şekilde nöronlar üzerinde gösterilmiştir. Sigmoid yapıları, tanjant sigmoid veya logaritmik sigmoid fonksiyonlarından herhangi biri olarak seçilebilir.



Şekil 3.2 Çok katmanlı algılayıcı yapısına ait örnek ağ yapısı

Toplam amaç ölçütü, N adet eğitim örneği için hataların karelerinin ortalaması olduğundan örneksel ya da toplu amaç ölçütünün ağırlıklara göre eğimi bulunarak geriye yayılım algoritması gerçekleştirilebilir. Hataların karelerinin eğimine göre, her bir eğitim örneğinin uygulanışında ağırlıklar yenilenirse örneksel öğrenme kuralı elde edilir. Toplam amaç ölçütünün eğimine göre, N adet eğitim örneğinin uygulanışından sonra ağırlıklar yenilenirse toplu öğrenme kuralı elde edilir. Buna göre, hataların karelerinin, doğrusal çıkış katmanındaki bir ağırlığa göre eğimi, zincir kuralına göre kısmi türevlerle belirlenebilir. Geriye yayılım algoritmasında öğrenmenin yavaş olmasının iki temel nedeni vardır (Özyılmaz, 2000).

- Ağırlık uzayı boyunca hata yüzeyi oldukça düzgün olduğunda, hata yüzeyinin bir ağırlığa göre türevi çok küçüktür. Dolayısıyla ağırlığa uygulanacak düzeltme çok küçük olacağından ağırlığın öz yeteneğinin iyileşmesi uzun zaman alacaktır. Diğer taraftan, hata yüzeyi çok girintili çıkıntılı olabilir ve hata yüzeyinin ağırlığa göre türevi büyük olacağından yüzeyin en azından uzaklaşılabilir.
- Hatanın ağırlıklara göre negatif eğim vektörü, hata yüzeyinin en azından uzaklaşan bir yönü verebilir ve ağırlıklar hatalı yönde düzeltilir.

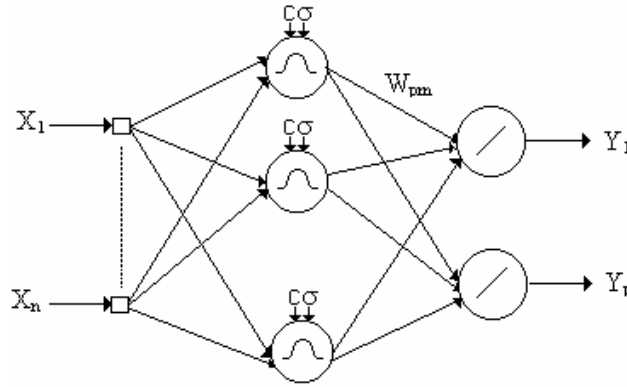
Yukarıda da bahsedildiği gibi öğrenme oranı küçük seçilirse öğrenme yavaşlayacak, büyük seçilirse ağırlık değişimleri salınımlı ve kararsız olacaktır. Bu sakıncıların etkisi, geriye yayılım algoritmasında ağırlıklara uygulanacak düzeltme miktarını belirleyen denklemlere momentum terimi ( $\beta$ ) eklenerek azaltılabilir. Momentum katsayısı  $0 < \beta < 1$  arasında seçilir. Amaç ölçütünün bir ağırlığa göre eğimi, ardışıl iki iterasyonda aynı işaretli ise ağırlıklara

uygulanacak düzeltme artar, aksi halde azalır. Momentum katsayısı ile YSA'nın öğrenme oranında belirli bir hızlanma elde edilebilir (Özyılmaz, 2000).

### 3.3 Radyal Temelli Fonksiyon Ağları, RTFA (Radial Basis Function Neural Network, RBFNN)

Katmanlı yapay sinir ağlarının tasarımında eğiticili geriye yayılım öğrenme algoritması bir en iyileme uygulamasıdır. Radyal Temelli Fonksiyon Ağı (RTFA) tasarımı ise çok boyutlu uzayda eğri uydurma yaklaşımıdır ve bu nedenle RTFA'nın eğitimi, çok boyutlu uzayda eğitim verilerine en uygun bir yüzeyi bulma problemine dönüşür. RTFA'nın genellemesi ise eğitim sırasında bulunan çok boyutlu yüzeyin kullanılmasına eşdeğerdir. Radyal temelli fonksiyonlar, sayısal analizde çok değişkenli problemlerin çözümünde kullanılmış ve YSA'nın gelişmesi ile birlikte bu fonksiyonlardan YSA tasarımında yararlanılmıştır.

Şekil 3.3'de genel bir RTFA yapısı verilmiştir. Burada  $c$  değerleri merkezleri,  $\sigma$  değerleri ise yayılma parametresini belirtmektedir. Bu yapıda ayrıca saklı katmandaki nöronlarda aktivasyon fonksiyonu olarak gauss fonksiyonu ve çıkıştaki nöronlar için aktivasyon fonksiyonu olarak doğrusal fonksiyonların kullanıldığı şekilde nöronlar üzerinde gösterilmiştir.



Şekil 3.3 RTFA ağ yapısı

RTFA, ileri beslemeli YSA yapılarına benzer şekilde giriş, saklı ve çıkış katmanından oluşur ancak, giriş katmanından saklı katmana dönüşüm, radyal tabanlı aktivasyon fonksiyonları ile doğrusal olmayan sabit bir dönüşümdür. Saklı katmandan çıkış katmanına ise uyarlamalı ve doğrusal bir dönüşüm gerçekleştirilir.

RTFA'da uyarlanabilecek serbest parametreler; merkez vektörleri, radyal fonksiyonların

genişliği ve çıkış katman ağırlıklarıdır. Çıkış katmanı doğrusal olduğundan ağırlıklar, eğim düşme yada doğrusal en iyileme yöntemleri ile kolayca bulunabilir. Merkezler, girişler arasından rastgele ve sabit olarak seçilebilmekle birlikte RTFA'nın performansını iyileştirmek amacıyla merkez vektörlerinin ve genişliğin uyarlanması için çeşitli yöntemler geliştirilmiştir. Merkez vektörleri, eğim düşme yöntemine göre eğiticili öğrenme algoritması ile uyarlanarak, dik en küçük kareler yöntemi ile, ya da kendiliğinden düzenlemeli yöntemle giriş örneklerinden öbikleme yapılarak belirlenebilir.

### 3.3.1 RTFA'ların Eğitilmesi

Bir RTFA'nın eğitilmesi, RTFA birim merkezlerinin, gizli katmandan çıkış katmanına olan ağırlıkların ve  $\sigma$  yayılma parametresinin belirlenmesi ile yapılır.

#### 3.3.1.1 RTFA Birim Merkezlerinin Belirlenmesi

RTFA'nın performansı kritik olarak seçilen merkezlere bağlı bulunmaktadır. Alıcı alanların merkez koordinatlarının belirlenmesi için çeşitli metodlar kullanılmaktadır. Örneğin eğitme kümesindeki her bir giriş vektöründe bir merkez yerleştirilebilir. Fakat bu durumda gerekenden çok daha fazla küme ve gizli katman nöronu oluşabileceğinden bu yöntem pek uygun değildir. Pratikte merkezler verilerin bir alt kümesi olarak seçilir. Bu seçim yapılırken gizli düğümlerin sayısı bütün giriş uzayını kaplayacak yeterlikte olmalıdır. Küme merkezlerini bulmak için en iyi yaklaşımlardan biri K-ortalama kümeleme algoritmasıdır. Bu algoritmaya göre giriş bilgilerinin yoğun olduğu yerlerde merkezler yoğun bir şekilde dağıtılır. (Haykin,1994)

#### 3.3.1.2 Yayılma Parametresinin Belirlenmesi

Yayılma parametresi  $\sigma$ , RTF ağlarında alıcı bölgelerin çapını belirleyen bir büyüklüktür. Bu parametre merkezler birbirine yakınsa küçük, merkezler birbirinden uzaksa büyük seçilmelidir. Genelde ise  $\sigma$  değeri olarak kümeleme merkezleri ve eğitme kümesindeki örnekler arasındaki ortalama mesafe alınır.

Eğitim sırasındaki ağırlıkların belirlenmesi adımı ise Lineer En Küçük Kareler (Linear Least Squares) yöntemi kullanılarak hata istenen bir değere azalacak şekilde saklı katmandan çıkışa olan ağırlıklar belirlenir.

### 3.3.2 RTFA Öğrenme Algoritmaları

RTF ağlarında öğrenmeye ilişkin bir çok yaklaşım mevcuttur. Bunlardan bir çoğu öğrenme işini iki kısma ayırır. Buna göre ilk öğrenme işlemi gizli katmanda gerçekleşir. Daha sonra öğrenme çıkış katmanında devam eder. Gizli katmandaki öğrenme eğitici öğrenme algoritmalarından biri kullanılarak yapılır. Çıkış katmanındaki öğrenme ise eğitici öğrenmedir. RBFA için geliştirilen çeşitli öğrenme algoritmaları aşağıda kısaca özetlenmiştir (Özyılmaz, L.,2000)

#### 3.3.2.1 Sabit Merkezlerde En Küçük Kareler Yöntemi

RTFA merkezleri giriş bilgisinden rasgele seçilir. Eğitim seti problemi iyi temsil edecek şekilde seçilirse bu yöntem iyi sonuç vermektedir. Merkezler belirlendikten sonra en küçük kareler yöntemi ile ağırlıklar eğitici modda belirlenir.

#### 3.3.2.2 Ortogonal En Küçük Kareler Yöntemi

Bu algoritmada uygun RTFA merkezlerinin ve ağırlıkların belirlenmesi eş zamanlı olarak yapılır. Bu prosedür radyal temelli fonksiyon merkezlerini uygun bir ağ ortaya çıkana kadar rasyonel bir biçimde tek tek seçmektir.

#### 3.3.2.3 İteratif Kümeleme ve En Küçük Kareler Yöntemi

Bu algoritmada RTFA merkezleri bir iteratif kümeleme algoritması kullanılarak ayarlanır ve ağırlıklar iteratif en küçük kareler yöntemi ile güncelleştirilir. Burada merkezlerin belirlenmesi eğitici olarak yapılır.

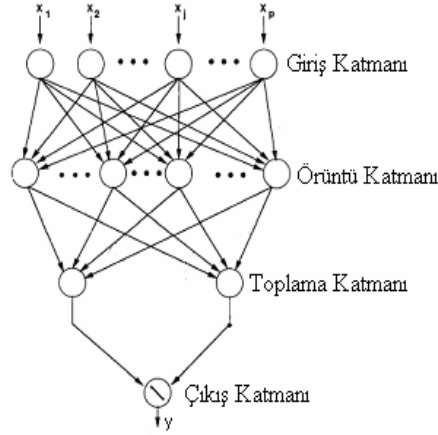
#### 3.3.2.4 Dinamik Komplekslik Öğrenme Algoritması

Bu iteratif öğrenme yönteminde, her yeni bir temel fonksiyonla önceki arasında oluşturulan bir açı değerine ve kestirim hatasına bağlı olarak ağa yeni bir temel fonksiyon eklenir.

### 3.4 Genelleştirilmiş Regresyon Sinir Ağları, GRSA (General Regression Neural Network, GRNN)

Genelleştirilmiş Regresyon Sinir Ağları (GRSA), radyal temelli ağların genellikle fonksiyon yaklaşırma problemleri için kullanılmakta olan özel bir halidir. Bu ağlar belirli sayıda saklı katman nöronu ile önemli ölçüde iyi başarı ile sürekli fonksiyonlara yaklaşımı sağlarlar. ÇKA'daki gibi tekrarlı eğitime işlemine ihtiyaç duymamaktadır. Giriş ve çıkış arasında, eğitim

kümesinden elde ettiği bulgularla herhangi sıradan bir fonksiyona yaklaşabilir. Eğitim kümesinin boyutları büyüdükçe yaklaşımdaki hata oranı sifıra yakınsar. Şekil 3.4’de dört katmanlı temel GRSA yapısı verilmektedir.



Şekil 3.4 GRSA ağ yapısı

İlk katman  $x$  giriş vektörünü saklayan katmandır. İkinci katman, yeni gelen girişle ( $x$ ) saklanan giriş ( $x^i$ ) arasındaki uzaklığı,  $D(x, x^i)$ , ölçen örüntü katmanıdır. Üçüncü katman ise toplam katmanıdır. Bu katmanda, çarpımların toplamı  $N_j$ , çıkışla ilişkilendirilen eleman değeri  $y_i$  ve hepsinin toplam değeri  $D$  hesaplanır. Son katman olan 4. katmanda ise  $(N_j / D)$  hesaplanarak yeni çıkış değeri  $y'_j$  tahmin edilir. Bu değer aynı zamanda saklanan çıkış değerlerinin yerel ortalamasını da vermektedir (Heimes ve Van Heuveln, 1998).

GRSA, standart teknikler gibi sürekli değişkenler üzerinde yargıya varılabilmesi için de kullanılır. Temelinde standart bir istatistiksel yöntem olan Kernel yaklaşımını kullanmaktadır. Bu tanıma göre, bağımlı bir  $y$  değişkeninin bağımsız bir  $x$  değişkenine göre regresyonu, verilen  $x$  girişleri ve eğitim kümesine göre  $y$  için en çok olasılığa sahip değere yaklaşır. Yaklaşım yöntemi ortalama karesel hatayı en düşük değere yaklaştıracak şekilde belirlenir. GRSA, belirli bir eğitim kümesinde  $x$  ve  $y$  giriş ve çıkışları için bileşik olasılık yoğunluk fonksiyonunun da tahmini için kullanılmaktadır. Ağırlık matrisi  $w_{ij}$  eğitilmez, eğitim setinden belirlenen hedef değerler ağırlık matrisi olarak atanır. (Avcı, M., Yıldırım T., 2002)

#### 4. TEMEL ANALOG VE SAYISAL DEVRELERİN YSA İLE MODELLENMESİ

Sayısal sistemlerde MOS teknolojisi yaygın olarak kullanıldığından, analog sistemler için de aynı teknolojinin kullanılabilir olması, ekonomik açıdan büyük yararlar sağlamaktadır. Çoğunlukla, işaretin analogdan sayısala çevrilmesi yahut bunun tersinin gerçekleştirilmesi için gerekli olan kuvvetlendirme, süzme, örnekleme ve tutma, gerilim karşılaştırma, ikili kod ağırlıklı gerilim ve akım üretme vb. analog fonksiyonların gerçekleştirilmesine gereksinim duyulmaktadır.

Mikroelektronik devrelerin boyutları teknolojinin hızla ilerlemesi ile son yıllarda oldukça küçülmüştür. Bu durumda devrelerin istenen kıstasları sağlaması için tasarımcının devre parametrelerini çok iyi belirlemesi gerekmektedir. Teknoloji parametrelerinin değişmesiyle aynı devre, aynı transistör boyutlarıyla farklı sonuçlar üretebilmektedir. Bu yüzden teknoloji değişimlerinde transistör boyutlarının devrenin performansını olumsuz yönde etkilemeyecek şekilde yeniden seçilmesi gerekmektedir. Çok karmaşık, uzun ya da çok sayıda düzensiz bilgi taşıyan böylesi verilerin çözümlenebilmesinde, insan algısının ya da var olan bilgisayar tekniklerinin sonuca ulaşmada başarılı olamayacakları benzer işlemlerde, üstün yeteneklerinden dolayı yapay sinir ağları kullanılır. Eğitilmiş bir sinir ağı yeni ve tanımlanmamış durumlar, yani yeni özellikli girdiler için farklı çıkışlar sağlayabilir.

Bu tezde, yeni nesil teknolojiler için temel analog ve sayısal devrelerde, SPICE model parametrelerini kullanmadan, transistör büyüklüklerinin YSA ile kestirilmesine çalışılmıştır. Böylece, teknolojiden bağımsız devre tasarımı işlemi, yapay sinir ağlarının bahsedilen özelliklerinden yararlanarak daha az hesapla ve daha kısa sürede yapılmaya çalışılacaktır.

Tasarımcı daha önceden eski teknoloji ile tasarladığı temel blokları değişen teknoloji boyutları karşısında yeniden tasarlamak yerine, devreden istenen çıkışları yapay sinir ağına uygulayarak, yeni teknoloji için devre boyutlarını yapay sinir ağı çıktılarından elde edebilecektir. Bahsedilen kolaylıkların tasarımcıya sağlanabilmesi için tez çalışması sırasında CADENCE Analog Environment simülasyon programı kullanılarak Bölüm 2’de bahsedilen temel analog ve sayısal devre yapıları için binlerce simülasyon yapılmıştır. Bu simülasyonlardan elde edilen sonuçlarla her bir temel yapı için büyük ölçeklerde veritabanları oluşturulmuş ve bu veri tabanları kullanılarak, Bölüm 3’de açıklanan YSA yapıları, devre boyutlarını yeni nesil teknolojiye belirleyebilmek üzere eğitilmiştir. Kullanıcının bundan sonra tasarlamak istediği devre yapısı için, daha önceden eğitilmiş YSA’yı sadece test etmesi yeterlidir. Bu da kullanıcıya zaman açısından çok büyük avantaj sağlamaktadır.



Bu bölümde hem CADENCE hem de YSA simülasyon sonuçları verilecek olan devreler kısaca aşağıda özetlenmiştir:

- *Analog Devreler*

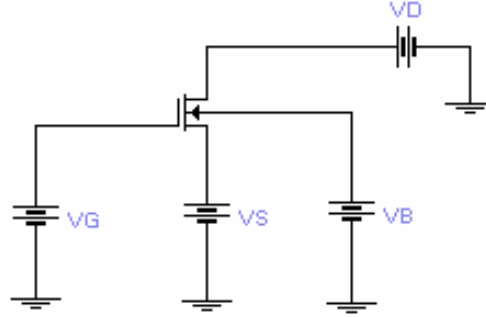
- ☞ MOS Transistorlerin Modellenmesi : Teknoloji değişikliği yapmadan, NMOS ve PMOS transistörlerin ayrı ayrı veritabanları oluşturularak modellenmesi.
- ☞ Transistör Eşik Geriliminin Modellenmesi: NMOS ve PMOS veritabanları birleştirilerek yeni teknoloji için eşik gerilimi değerinin belirlenmesi.
- ☞ Çeşitli Akım Aynalama Devrelerinin Modellenmesi: İstenen çıkış akımını sağlayabilen akım aynalarının transistör boyutlarını yeni nesil teknoloji için belirleyebilme.
- ☞ Fark Kuvvetlendirici Devresinin Modellenmesi: İstenen devre çıkış kriterlerini sağlayabilen, yeni nesil teknoloji için tasarlanması hedeflenen devrenin transistör boyutlarını belirleyebilme.
- ☞ İşlemsel Kuvvetlendirici Devresinin Modellenmesi: İstenen devre çıkış kriterlerini sağlayabilen, yeni nesil teknoloji için tasarlanması hedeflenen devrenin transistör boyutlarını belirleyebilme.

- *Sayısal Devreler*

Sayısal devrelerin tasarımında kullanılan temel kapılarda (INV, NAND, NOR, XOR) istenen gecikmeleri sağlayabilen devre transistör boyutlarının belirlenmesi.

#### **4.1 Dört Terminallli NMOS Transistör için Veritabanının Oluşturulması**

Teknolojisinin yaygın olması ve genel amaçlı uygulamalarda olumlu sonuçlar vermesi, MOS (Metal Oxide Semiconductor) transistörlerin tümdevre üretiminde sıkça kullanılmasını sağlamaktadır. Analog devrelerde amaca uygun olarak seçilmek üzere "n" ya da "p" tipi MOS transistörler kullanılırken, sayısal devrelerde "n" ve "p" tipi transistörlerin birlikte yer aldığı CMOS yapılar kullanılmaktadır. Şekil 4.1'de dört terminallli bir NMOS transistör görülmektedir.



Şekil 4.1 Dört terminalli NMOS transistör

BSIM AMIS (Austria Micro Systems) 0.5 $\mu$ m SPICE model parametreleri ile CADENCE simülasyon programında veritabanı oluşturmak üzere, farklı  $V_G$ ,  $V_D$ ,  $V_S$ ,  $V_B$  ve  $W$  değerleri için ( $L$  değeri sabit  $L=0.6\mu$ m) Çizelge 4.1'deki değişim aralıklarına göre DC simülasyonlar yapılmış ve 36751 adet farklı örnek toplanarak bir veri tabanı oluşturulmuştur.

Çizelge 4.1 NMOS transistör simülasyonu için gerilim, akım ve kanal boyu değişken aralıkları

$V_G$ (V)	$V_D$ (V)	$V_S$ (V)	$V_B$ (V)	$W$ ( $\mu$ m)	$I_D$
0.7-5	0 - 5	0 - 2	0	0.6 - 6	Simülasyon sonucu (60 $\mu$ A-2mA)

Kullanılan BSIM parametrelerinde  $V_{TH0} = 0.7$  V verilmektedir, bu yüzden transistörün kesimde olduğu bölge dikkate alınmadan modellemeler sadece lineer ve doymada çalışan transistör için yapılmıştır. Geçit gerilimi,  $V_G$ , 0.7V-1.5V arasında 0.05V aralıkla, 1.75V-5V arasında 0.25V aralıkla taranmıştır.  $V_D$  savak ve  $V_S$  kaynak gerilimleri ise 0.5V aralıklarla taranmıştır.

Avcı M. vd. (2003) tarafından yapılan benzer çalışmada TUBİTAK YITAL 1.5 $\mu$ m parametreleri ile uzun kanallı transistör modellenmiştir. Söz konusu çalışmada  $V_{SB}$  gerilimi daima 0 olarak seçilmiş yani MOS transistör 3 terminalli olarak modellenmiştir. Burada ise kaynak geriliminin değişimi de göz önüne alınmış, ayrıca kısa kanal sayılabilecek bir transistörde modelleme yapılmıştır.

Modelleme sonucunda büyük bir devre yapısında kullanılacak transistörün üzerindeki gerilimler bilindiği takdirde istenilen akım değerini sağlayacak kanal genişliği yapay sinir ağı

çıktısı olarak kullanıcıya verilmektedir.

Bu çalışmada önemli olan diğer bir konu ise kaynak- gövde geriliminin ( $V_{SB}$ ) sabit olmaması dolayısıyla  $V_{TH}$  eşik geriliminin de değişmesidir. Nitekim buna bağlı olarak kimi zaman transistörün çalışma bölgesi de değişkenlik göstermektedir. Bu durum için CADENCE’da yapılan simülasyonlarda belirlenen  $V_{TH}$  gerilimleri de dikkate alınmış, basit bir MATLAB programı ile transistörün çalıştığı bölgelere göre veri tabanı ayrıştırılmıştır.

#### 4.1.1 Dört Terminalli NMOS Transistörün Yapay Sinir Ağları ile Modellenmesi

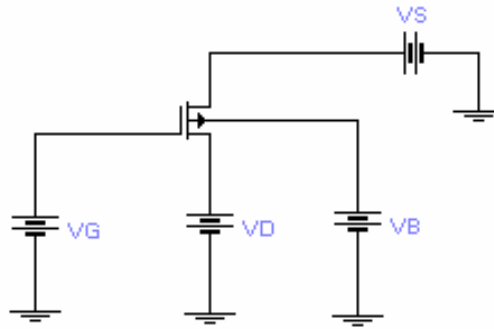
NMOS veri tabanına ait örneklerden 34751 tanesi eğitim, rastgele seçilen 2000 tanesi de test verisi olarak belirlenmiştir. Eğitim veri tabanı ÇKA, RTFA ve GRSA gibi çeşitli yapay sinir ağı yapılarına uygulanmış ve test veri tabanına test edilmiştir. Aşağıdaki tabloda her bir sinir ağı yapısı için eğitim ve test başarı yüzdeleri verilmiştir. ÇKA ağında 5 giriş nöronu, 1 çıkış nöronu, 2 gizli katman ve bu gizli katmanlarda da sırasıyla 25 ve 15’er tane nöron kullanılmıştır. RTFA ve GRSA’da ise yayılma parametresi değerleri 0.85 olarak seçilmiştir. ÇKA ağı için gizli katman sayısı ve bu katmanlardaki nöron sayısı deneme yanılma usulü ile bulunmuştur. Ayrıca ÇKA’da her simülasyon rasgele verilen ağırlık değerleri ile başladığından, ÇKA başarısı bulunurken ağ 10 kere eğitilip 10 kere test edilmiş ve hata bu 10 simülasyonun ortalaması alınarak belirlenmiştir. Çizelge 4.2’de NMOS transistör için istenen akımı sağlayabilen transistör boyutlarının kestiriminde ÇKA, RTFA ve GRSA başarı oranları verilmiştir. Eğitim sırasında ağa tüm veriler giriş olarak uygulanmamış veri tabanından rasgele girişler eğitim seti olarak seçilmiştir. Test sırasında ise daha önce eğitim olarak ağa uygulanmamış girişler yapay sinir ağına uygulandığı için eğitim ve test sonuçları arasında farklılıklar oluşmuştur.

Çizelge 4.2 NMOS transistörün kanal genişliğinin kestirilmesinde yapay sinir ağlarının başarı oranı

	ÇKA		RTFA		GRSA	
	Eğitim	Test	Eğitim	Test	Eğitim	Test
Doğru Örnek Sayısı	33708	1720	26758	1260	28496	1398
Yanlış Örnek Sayısı	1043	280	7993	740	6255	602
Başarımlık Yüzdesi (%)	97	86	77	63	82	70

Test işlemi sonucunda yapay sinir ağının çıktı olarak verdiği  $W$  (kanal boyu) parametresi, CADENCE simülasyon programında kullanılabilecek aralıklara uyarlanmıştır. CADENCE’da  $W$  değerlerinin değişimi, kullanılan minimum genişliğin en az  $\frac{1}{4}$ ’ü kadar olmalıdır. Buna göre  $W_{min} = 0.6\mu m$  olduğundan  $W$  değerleri de minimum  $0.15\mu m$  aralıklarla değişmelidir. Test işlemi sonucunda elde edilen çıkış değerleri yukarıda anlatılan aralıklara denk gelecek şekilde yuvarlatılmıştır. Örneğin test işlemi sonucunda  $W=1.15\mu m$  olarak bulunduğu bu değer  $W=1.2\mu m$  değerine yuvarlatılmıştır.

#### 4.2 Dört Terminall PMOS Transistör için Veritabanının Oluşturulması



Şekil 4.2 Dört terminall PMOS transistör

NMOS transistörün simülasyonlarına benzer şekilde farklı  $V_G$ ,  $V_D$ ,  $V_S$ ,  $V_B$  ve  $W$  değerleri için Çizelge 4.3’deki değişim aralıklarında DC simülasyonlar yapılmış ve 38290 adet farklı örnek toplanarak bir veri tabanı oluşturulmuştur.

Çizelge 4.3 PMOS transistörün kanal genişliğinin kestirilmesinde yapay sinir ağlarının başarımları

$V_G$ (-V)	$V_D$ (-V)	$V_S$ (-V)	$V_B$ (-V)	$W$ ( $\mu m$ )	$I_D$
0.7 - 5	0 - 5	3 - 5	5	0.6 - 6	Simülasyon sonucu ( $40\mu A$ -1.6 mA)

Benzer şekilde kaynak - gövde geriliminin ( $V_{SB}$ ) sabit olmaması dolayısıyla  $V_{TH}$  eşik geriliminin de değişmesine bağlı olarak kimi zaman transistörün çalışma bölgesi de değişkenlik gösterdiğinden CADENCE’da yapılan simülasyonlarda belirlenen  $V_{TH}$  gerilimleri dikkate alınmış, basit bir MATLAB programı ile transistörün çalıştığı bölgelere göre veri tabanı ayrıştırılmıştır.

#### 4.2.1 Dört Terminalli PMOS Transistörün Yapay Sinir Ağları ile Modellenmesi

PMOS veri tabanına ait örneklerden 36040 tanesi eğitim, rastgele seçilen 2250 tanesi de test verisi olarak belirlenmiştir. Eğitim veri tabanı; ÇKA, RTFA ve GRSA yapılarına uygulanmış ve bu sinir ağı yapıları test veri tabanı ile test edilmiştir. Aşağıdaki tabloda her bir sinir ağı yapısı için eğitim ve test başarı yüzdeleri verilmiştir. ÇKA ağına 5 giriş nöronu, 1 çıkış nöronu, 2 gizli katman ve bu gizli katmanlarda da 25'er tane nöron kullanılmıştır. RTFA ve GRSA'da ise yayılma parametresi değerleri 0.78'dir.

Çizelge 4.4 PMOS transistörün kanal genişliğinin kestirilmesinde yapay sinir ağlarının başarı oranı

	ÇKA		RTFA		GRSA	
	Eğitim	Test	Eğitim	Test	Eğitim	Test
Doğru Örnek Sayısı	32796	30273	26669	21263	29192	21984
Yanlış Örnek Sayısı	3244	5767	9371	14777	6848	14056
Başarımlı Yüzdeleri (%)	91	84	74	59	81	61

#### 4.3 Kısa Kanal TSMC Parametreleri ile MOS Transistör Eşik Geriliminin Modellenmesi

Bölüm 4.1 ve 4.2'deki MOS transistör DC analizlerinde akım-gerilim eşitlikleri  $V_{SB}=0V$  için pek bir zorluk göstermemektedir. Ancak NMOS'ta gövde gerilimi  $V_B$  en düşük seviyeye (GND), PMOS'ta gövde gerilimi en yüksek seviyeye ( $V_{DD}$ ) çekildiğinde ve kaynak gerilimi farklı değerlerde olduğunda, eşik geriliminin değişmesinden ötürü transistör beklenenden başka bir çalışma bölgesinde çalışıyor olabilir. Bu durumda önce eşik geriliminin hesaplanması gerekmektedir.

Eşik geriliminin BSIM parametrelerine göre hesaplanması (4.1)'deki gibi uzun ve zor bir formüle dayanır.

$$V_{TH} = V_{TH0} + k_1 \left( \sqrt{|\phi - V_{BSeff}|} - \sqrt{|\phi|} \right) - k_2 V_{BSeff} + k_1 \left( \sqrt{1 + \frac{NLX}{Leff}} - 1 \right) \sqrt{|\phi|} + (k_3 + k_{3b} V_{BSeff}) \frac{T_{ox}}{W_{eff} + W_0} \phi - D_{v1w} \left[ \exp \left( -D_{v1w} \frac{W_{eff} * Leff}{2l_{tw}} \right) \right] + \dots - \left[ \exp \left( -D_{sub} \frac{Leff}{2l_{t0}} \right) + 2 \exp \left( -D_{sub} \frac{Leff}{l_{t0}} \right) \right] (E_{tao} + E_{tab}) V_{ds} \quad (4.1)$$

Burada görülmektedir ki eşik gerilimi,  $V_{TH}$ , temelde aynı prosesinde üretilmiş bir transistörün kanal boyuna, kanal genişliğine, gövde, savak ve kaynak gerilimlerine bağlıdır. Oysa uzun kanal transistörler için bu formül eşitlik (4.2)'deki gibi kısaltılabilir.

$$V_{TH} \cong V_{TH0} + k_1 \left( \sqrt{\phi - V_{BSeff}} - \sqrt{\phi} \right) - k_2 V_{BSeff} \quad (4.2)$$

Bu bölümde TSMC 0.18 $\mu$ m, 0.25 $\mu$ m ve 0.40 $\mu$ m teknolojilerinde üretilmiş herhangi bir transistörün eşik geriliminin eşitlik (4.2)'ye gerek kalmaksızın YSA ile belirlenebilmesi amaçlanmıştır. CADENCE'da yapılan DC simülasyonlarda  $V_{DS}$ ,  $V_{BS}$  ve  $W$  değerleri belirli aralıklarla taranarak değişen  $V_{TH}$  değerleri görülmüştür ve bu değerlerle bir veri tabanı oluşturulmuştur. Toplamda veri tabanında 2574 tane NMOS için, 2574 tane PMOS için  $V_{TH}$  değeri bulunmaktadır.

#### 4.3.1 MOS Transistörün Eşik Geriliminin BSIM Parametrelerinden Bağımsız Yapay Sinir Ağları ile Modellenmesi

Bölüm 4.3'de anlatıldığı şekilde, elde edilen veri tabanı iki ayrı amaca yönelik olarak modellenmiştir.

- Genel modelleme
- Bilinmeyen teknolojiye ait modelleme

Birinci kısımda eğitime ve test verileri tüm veri tabanından rastgele olacak şekilde seçilmiştir. NMOS ve PMOS için ayrı ayrı 2474'er tane eğitim verisi, 100'er tane test verisi seçilmiştir. İkinci kısımda eğitime verileri, 0.18 $\mu$ m ve 0.25 $\mu$ m teknolojileri SPICE model parametreleri kullanılarak yapılan simülasyonlarla elde edilen  $V_{TH}$  değerlerini, test verileri ise sadece 0.40 $\mu$ m teknolojisi SPICE model parametreleri kullanılarak yapılan simülasyonlarla elde edilen  $V_{TH}$  değerlerini içermektedir. Özetle, NMOS ve PMOS transistörlerin herbiri için 2574'er verinin 1716 tanesi eğitim, 858 tanesi test olarak seçilmiştir. Bu durumda, test sonucunda, yapay sinir ağından hiç bilmediği bir üretim teknolojisine karşılık gelen eşik gerilim değerlerini çıkış olarak verebilmesi beklenmektedir.

Eşitlik (4.1)'den de görüldüğü üzere her hangi bir proses için  $W$ ,  $V_{DS}$ ,  $V_{BS}$  parametrelerinin üçüne birden bağlı değişimi denklemden çözebilmek oldukça karmaşık bir işlemdir. Bu tür karmaşık problemlerde yapay sinir ağının kullanımı hız ve kolaylık kazandırmaktadır. Eğitim veri tabanı ÇKA, RTFA ve GRSA yapılarına uygulanmış ve bu sinir ağı yapıları test veri tabanı ile test edilmiştir. Çizelge 4.5 ve Çizelge 4.6'da her iki sınıflama için kullanılan üç farklı yapay sinir ağının eğitim ve test başarı yüzdeleri verilmiştir.

Çizelge 4.5 Eşik gerilimi kestiriminde genel sınıflama için YSA başarıları

	ÇKA		RTFA		GRSA	
	NMOS	PMOS	NMOS	PMOS	NMOS	PMOS
Eğitim Başarı	%99.6	%98.4	%78	%70	%67	%65
Test Başarı	%99	%98	%73	%66	%61	%60

Çizelge 4.6 Eşik gerilimi kestiriminde bilinmeyen teknolojiye göre sınıflama için YSA başarıları

	ÇKA		RTFA		GRSA	
	NMOS	PMOS	NMOS	PMOS	NMOS	PMOS
Eğitim Başarı	%100	%95.6	%98.3	%95	%72	%70
Test Başarı	%92	%89	%77	%75	%46	%40

Bilinmeyen teknolojiye göre sınıflama yaparken ilk çalışmalar iyi sonuç vermemiştir, bu yüzden veri tabanının girişleri  $[-1,1]$  arasında normalizasyona ve daha sonra çıkışları denormalizasyona tabi tutulmuştur. Normalizasyon işlemi MATLAB Neural Network Toolbox'daki aşağıdaki komut ile gerçekleştirilmiştir. Normalizasyon için;

“ $[PN, \min p, \max p] = \text{premnmx}(P)$ ” komutu,

“ $p_n = 2 * (p - \min p) / (\max p - \min p) - 1$ ” algoritması ile;

denormalizasyon için

“ $[p] = \text{postmnmx}(PN, \min p, \max p)$ ” komutu,

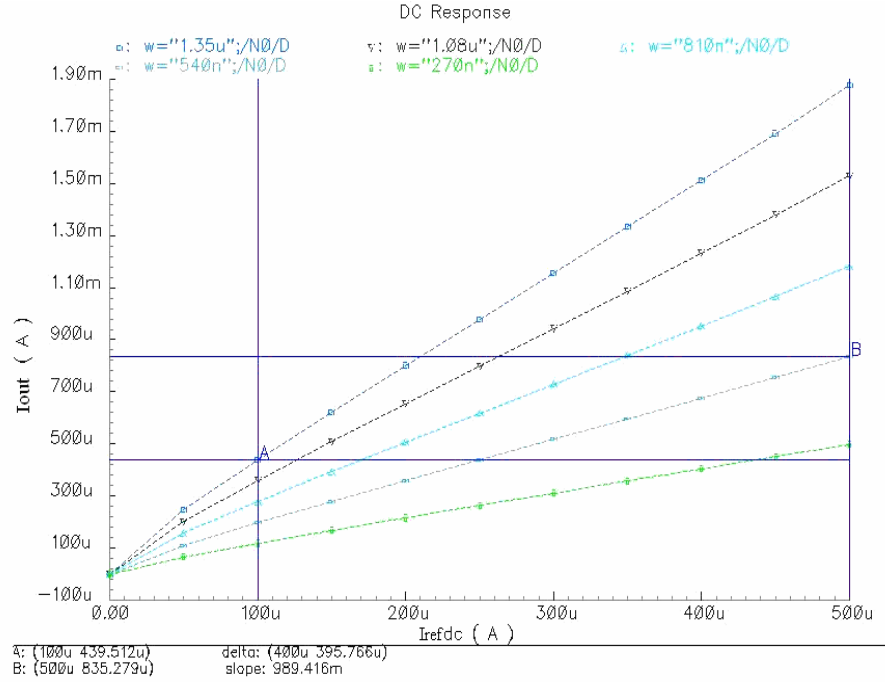
“ $p = 0.5(p_n + 1) * (\max p - \min p) + \min p$ ” algoritması ile çalışmaktadır.

Çizelge 4.5 ve Çizelge 4.6'daki sonuçlar normalizasyondan sonra eğitilen YSA sonuçlarının denormalizasyon işlemleri sonucunda elde edilen çıkışlarının başarı oranlarıdır.

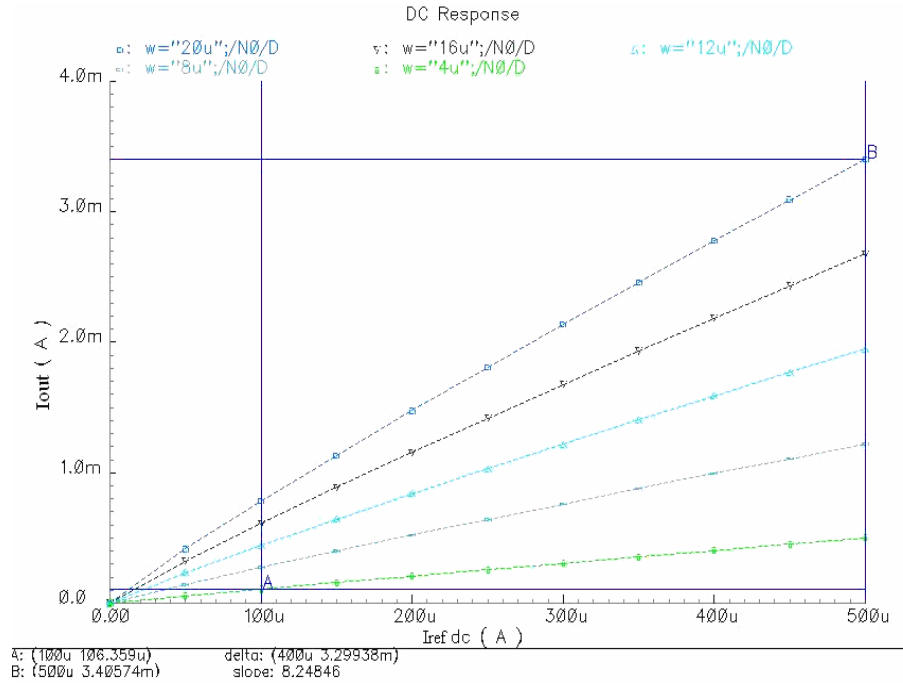
#### 4.4 Akım Aynası Yapıları için Veritabanının Oluşturulması

CADENCE simülasyon programı ile Şekil 2.1, 2.2, 2.3 ve 2.4'deki akım aynası devrelerinin beş ayrı teknoloji için DC simülasyonları yapılmıştır. Bunlar; AMIS 1.5 $\mu\text{m}$ , AMIS 0.5 $\mu\text{m}$ , TSMC 0.35 $\mu\text{m}$ , TSMC 0.25 $\mu\text{m}$  ve TSMC 0.18 $\mu\text{m}$  teknolojileridir. Bu simülasyonlarda her bir transistörün W/L oranları taranarak  $I_{\text{out}} / I_{\text{in}}$  oranları ve giriş çalışma aralıkları belirlenmiştir.

Şekil 4.3 ve 4.4'de basit akım aynasının sırasıyla TSMC 0.18 $\mu\text{m}$  ve AMIS 1.5 $\mu\text{m}$  teknolojileri için; benzer şekilde Şekil 4.5 ve 4.6'da kaskod akım aynası için, Şekil 4.7 ve 4.8'de Wilson akım aynası için ve Şekil 4.9 ve 4.10'de iyileştirilmiş akım aynası için simülasyon sonuçları verilmektedir.

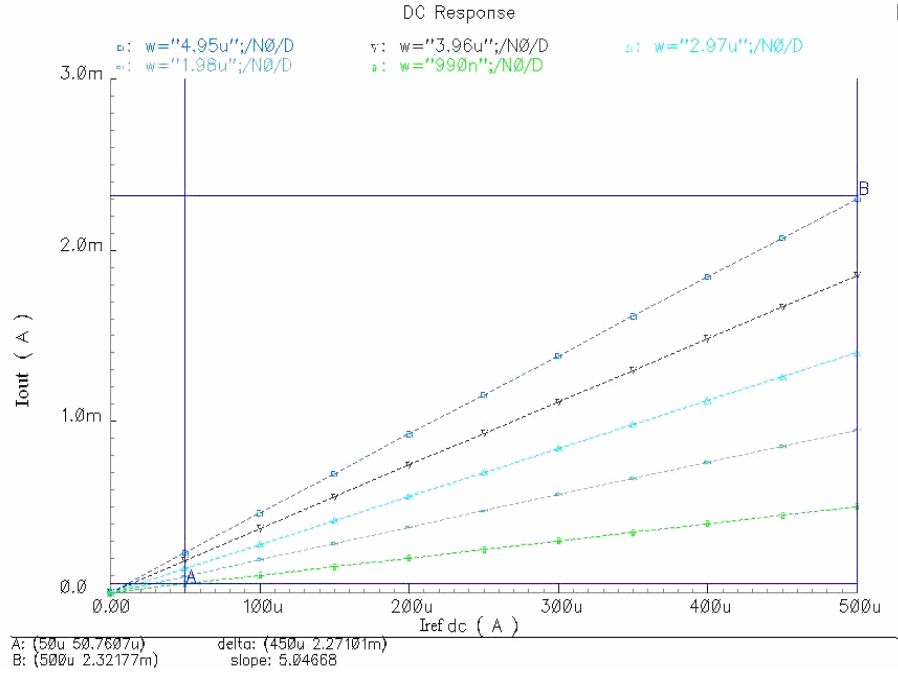


Şekil 4.3 Basit akım aynasında ( $0.18\mu\text{m}$ ) kanal genişliği taraması yapılarak elde edilen  $I_{\text{ref}}-I_{\text{out}}$  grafiği

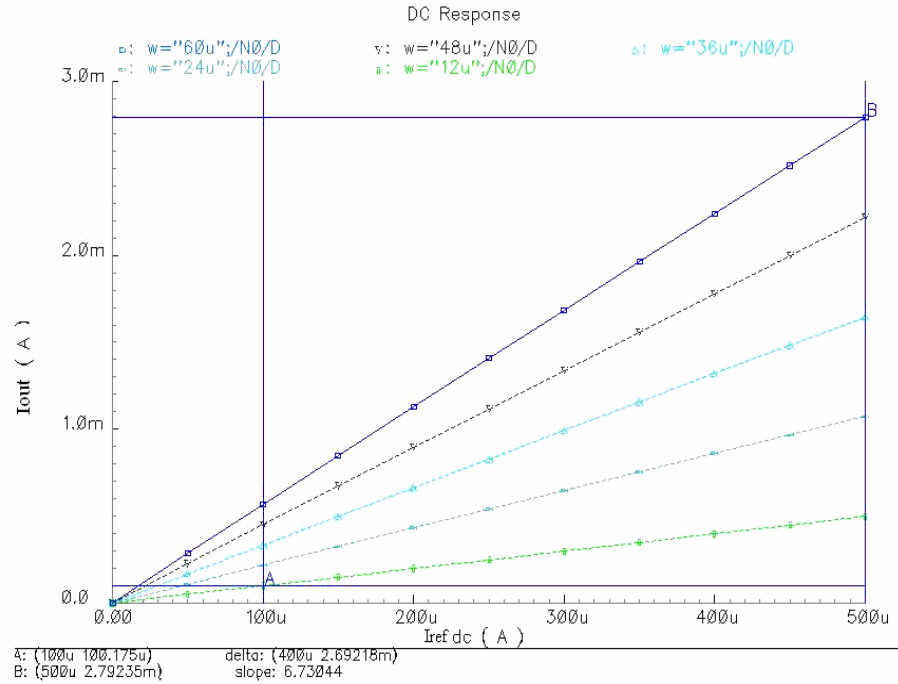


Şekil 4.4 Basit akım aynasında ( $1.5\mu\text{m}$ ) kanal genişliği taraması yapılarak elde edilen  $I_{\text{ref}}-I_{\text{out}}$  grafiği

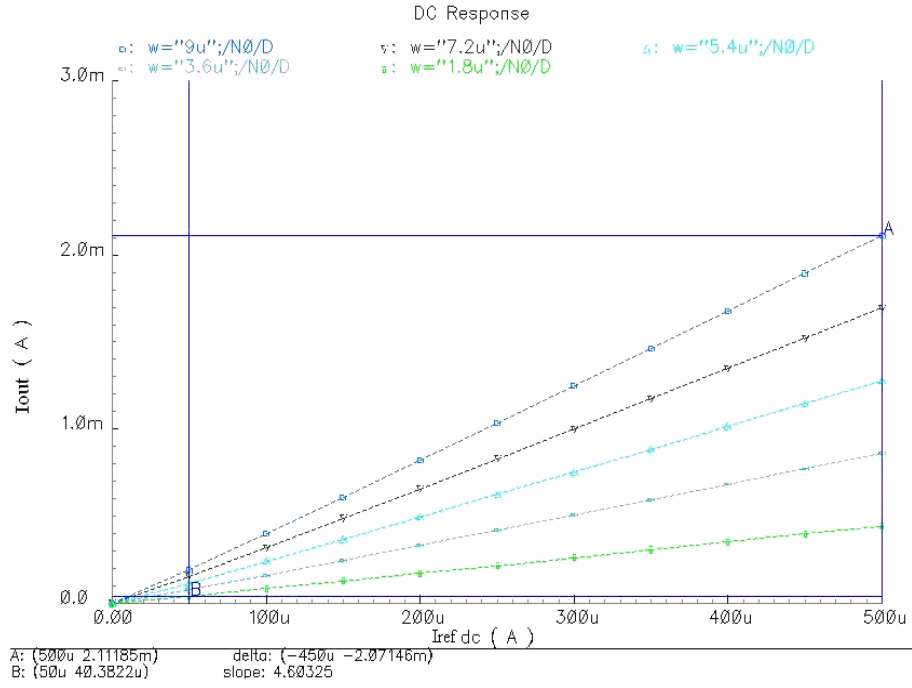




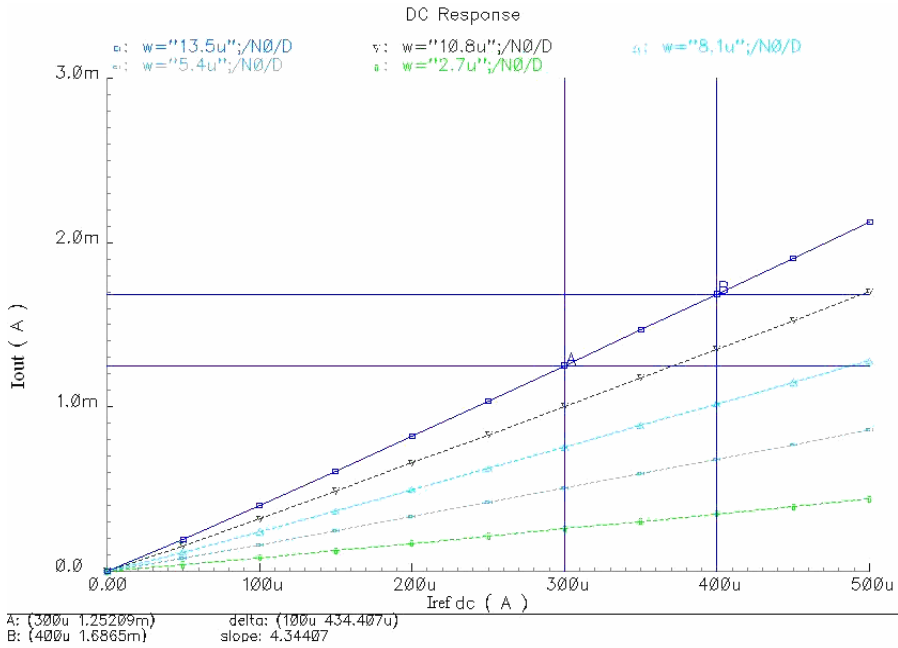
Şekil 4.5 Kaskod akım aynasında ( $0.18\mu\text{m}$ ) kanal genişliği taraması yapılarak elde edilen  $I_{ref}$  -  $I_{out}$  grafiği



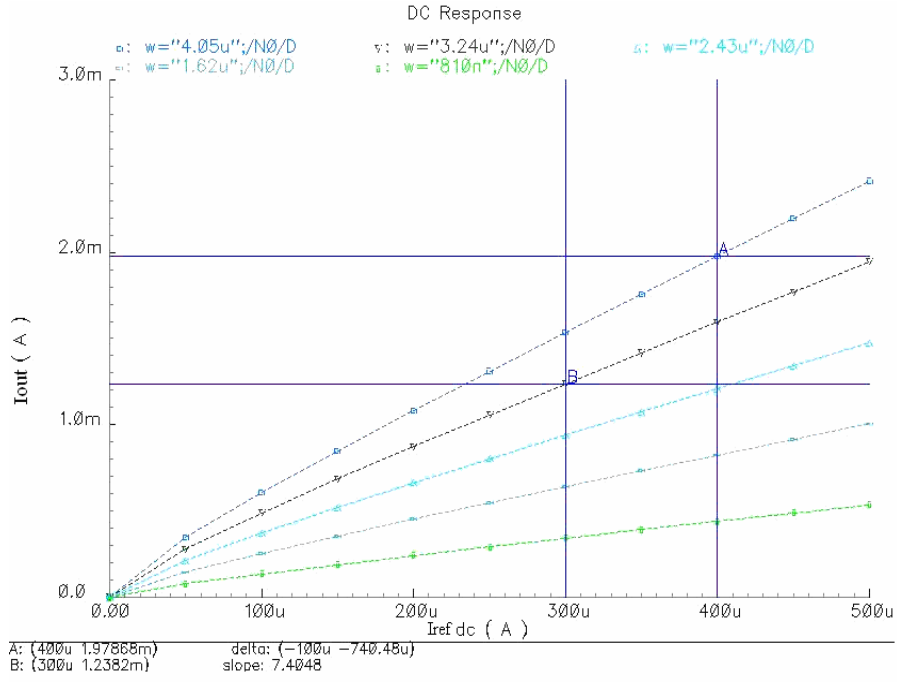
Şekil 4.6 Kaskod akım aynasında ( $1.5\mu\text{m}$ ) kanal genişliği taraması yapılarak elde edilen  $I_{ref}$  -  $I_{out}$  grafiği



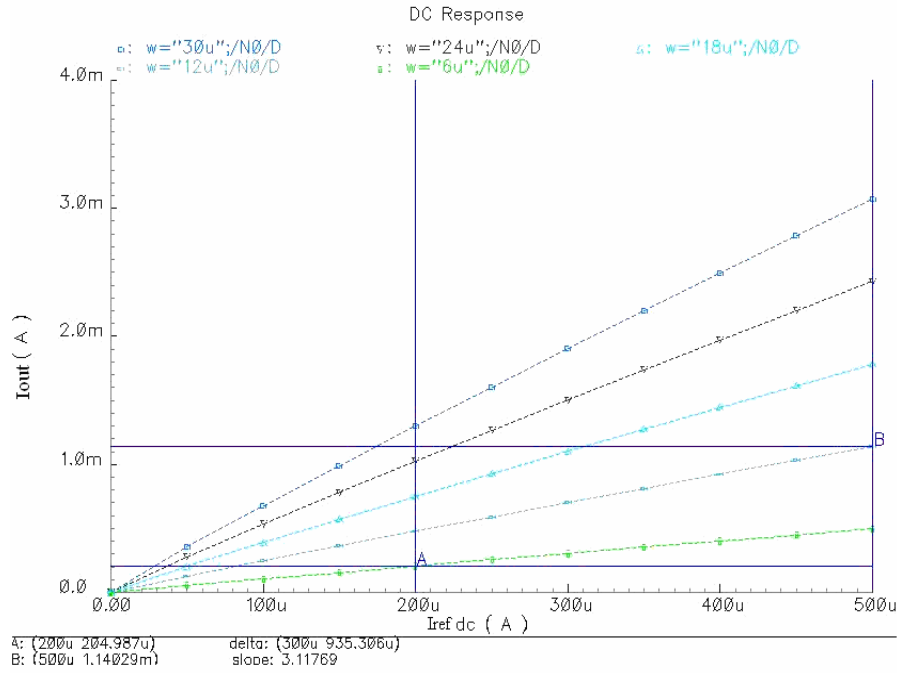
Şekil4.7 Wilson akım aynasında ( $0.18\mu\text{m}$ ) kanal genişliği taraması yapılarak elde edilen  $I_{ref} - I_{out}$  grafiği



Şekil 4.8 Wilson akım aynasında ( $1.5\mu\text{m}$ ) kanal genişliği taraması yapılarak elde edilen  $I_{ref} - I_{out}$  grafiği



Şekil 4.9 İyileştirilmiş akım aynasında (0.18 $\mu$ m) kanal genişliği taraması yapılarak elde edilen Iref -Iout grafiği



Şekil 4.10 İyileştirilmiş akım aynasında (1.5 $\mu$ m) kanal genişliği taraması yapılarak elde edilen Iref -Iout grafiği

AMIS teknolojileri için (AMIS 1.5 $\mu$ m, AMIS 0.5 $\mu$ m) besleme gerilimi ve sürebileceği maksimum gerilim 5V, TSMC 0.35 $\mu$ m için 3.3V, TSMC 0.25 $\mu$ m için 2.5 V ve TSMC 0.18 $\mu$ m için 1.8V olarak seçilmiştir. Aynalama oranları, transistörlerin W/L oranları ve çıkışta

sürülebiyecek gerilimin taranması ile 32548 tane simülasyon yapılmış ve her simülasyona ait giriş çıkışlar bir veri tabanında toplanmıştır. Bu simülasyonların 4620 tanesi basit akım aynası, 10632 tanesi kaskod akım aynası, 8480 tanesi Wilson akım aynası ve 9086 tanesi iyileştirilmiş akım aynası için yapılmıştır.

#### 4.4.1 Yapay Sinir Ağları ile Akım Aynası Modelleme

Akım aynası (A.A) yapıları için elde edilen 32548 simülasyon sonucu ile yapay sinir ağına uygulanacak akım aynası veri tabanı oluşturulmuştur. Bu veri tabanından birkaç örnek Çizelge 4.7’de verilmiştir. Burada herhangi bir transistörün sıfır değerini alması o yapıda bu transistörün bulunmadığı anlamına gelmektedir.

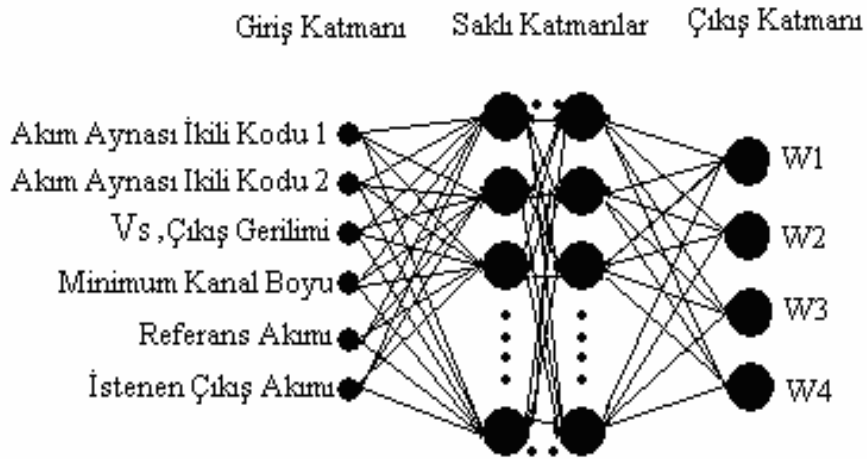
Çizelge 4.7 Yapay sinir ağına uygulanan akım aynası veri tabanından birkaç örnek

A.A Kodu1	A.A Kodu2	Min L ( $\mu\text{m}$ )	Iref ( $\mu\text{A}$ )	Iout ( $\mu\text{A}$ )	Vs (V)	W1 ( $\mu\text{m}$ )	W2 ( $\mu\text{m}$ )	W3 ( $\mu\text{m}$ )	W4 ( $\mu\text{m}$ )
0.1	0.1	0.25	100	105.3325	2	0.5	0	0.5	0
0.1	0.1	0.25	250	247.1524	1.25	1.25	0	1.25	0
0.1	0.1	0.4	350	697.3902	3.3	0.7	0	1.4	0
0.1	0.1	0.4	250	509.3744	1.32	3.5	0	7	0
0.1	0.9	0.6	300	280.9	2.5	1.8	1.8	1.8	1.8
0.1	0.9	0.6	100	97.35	2	1.8	1.8	1.8	1.8
0.9	0.9	1.6	300	593.4	3	0	16	32	32
0.1	0.9	0.4	100	190.7	1.2	2	2	4	4
0.1	0.9	0.4	100	291.3	3.3	2	2	6	6
0.9	0.1	1.6	200	615.5	2	0	10	30	30

Kullanılacak akım aynası türünü belirlemek için dört adet akım aynası ikili kodlanmıştır. Ancak YSA nöronlarındaki sigmoid fonksiyonlarına uyumluluk sağlaması amacıyla bu kodlamada 0→0.1, 1→0.9 olarak belirlenmiştir. Buna göre; [0.1 0.1] kodu basit akım aynasını, [0.1 0.9] kodu kaskod akım aynasını, [0.9 0.1] kodu Wilson akım aynasını ve [0.9 0.9] kodu da iyileştirilmiş akım aynasını göstermektedir. Minimum kanal boyu (L) değeri, bir anlamda kullanılan teknolojiyi de belirlemektedir. Yukarıda örnekleri verilen veri kümesinde görüldüğü üzere TSMC 0.18 $\mu\text{m}$  teknolojisine ait bir sonuç bulunmamaktadır. Çünkü amaç,

YSA'nın hiç bilmediği bir teknolojiye ait sonuçları verebilmesidir. Tasarımcı, daha önceki teknolojilerle yapılmış simülasyon sonuçları ile YSA'yı eğittikten sonra yeni kullanacağı teknolojinin minimum kanal boyu uzunluğunu ve devreden istenen çıkış değerlerini YSA'ya verdiği devrenin transistör geometrileri YSA'nın çıkışı olarak elde edilebilmektedir.

Bu çalışmada 1245 tane test verisi kullanılmıştır. Bu veriler tamamen 0.18µm teknolojisine ait simülasyon sonuçlarını içermektedir. Tasarımcının YSA'ya uygulaması gereken tek bilgi hangi akım aynası tipini kullanacağı, hangi teknolojide çalışacağı, çıkışta süreceği gerilim, giriş ve çıkış akımlarının değerleridir. Tasarımda kullanacağı transistörlerin boyutları YSA çıkışı olarak elde edilmektedir. Ancak YSA çıkışında verilen transistör boyutları her zaman optimum sonucu vermemektedir. Yani transistörlerin geometrileri istenen oranı vermekte ancak minimum kanal genişliğinde olamamaktadır. Zaten bu tezde de YSA çıkışlarının tasarımcı için en azından bir başlangıç noktası olabileceği önerilmiştir.



Şekil 4.11 Akım aynası devreleri için YSA yapısı

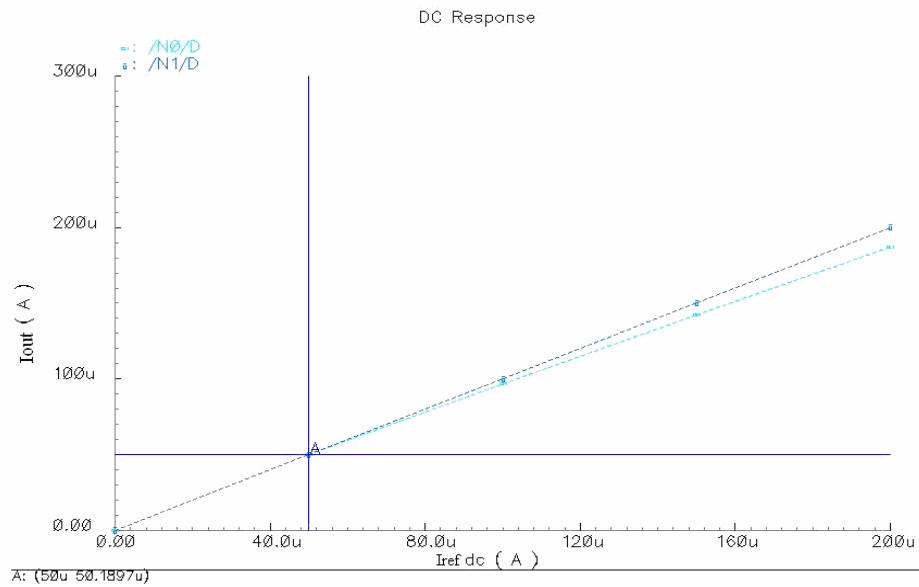
1245 test verisinde 87 örnek için YSA yanlış sonuç vermiştir, diğerleri için verdiği sonuçlar ise tamamıyla istenen çıkış akımını sağlayabilen W/L değerleridir. Yani YSA'nın hiç bilmediği 0.18µm teknolojisi için akım aynasını modelleyebilme başarısı  $(1245-87)/1245 \approx \%94$ 'tür. YSA eğitiminde 3.Bölüm'de açıklanan Genelleştirilmiş Regresyonlu Sinir Ağları yapısı, MATLAB 7.0 programı içerisindeki Neural Network Toolbox kullanılarak gerçekleştirilmiştir. Ağ yapısında yayılma parametresi 0.8 olarak seçilmiştir. Şekil 4.11'de akım aynası devrelerinin transistör boyutlarının belirlenmesinde kullanılan YSA giriş ve çıkışları görülmektedir.

Çizelge 4.8’de YSA’ya uygulanan test verilerinden birkaç örnek ve YSA’nın verdiği W/L bilgileriyle yapılan test simülasyon sonuçları verilmiştir.

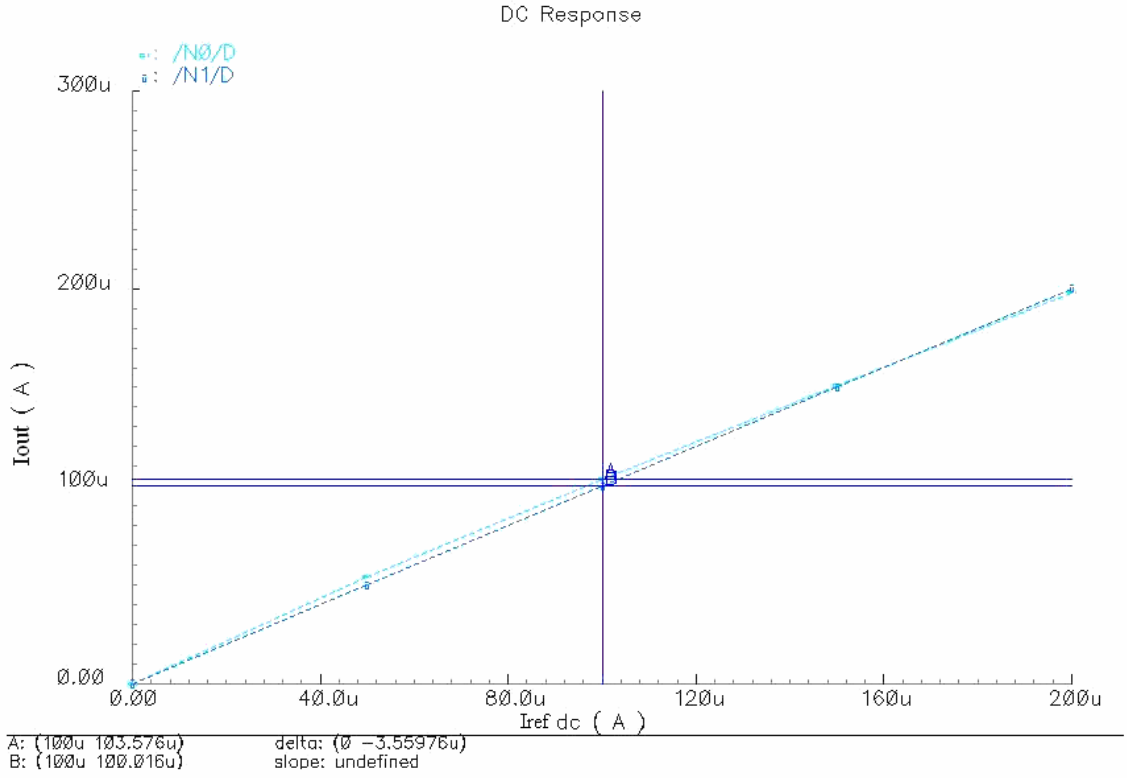
Çizelge 4.8 YSA’ya uygulanan test verilerinden birkaç örnek ve YSA’nın verdiği W/L bilgileriyle yapılan test simülasyon sonuçları

Test veri No	A.A Kodu1	A.A Kodu2	MinL ( $\mu\text{m}$ )	Iref ( $\mu\text{A}$ )	Çıkış Gerilimi (V)	Iout ( $\mu\text{A}$ ) (CADENCE)	Iout ( $\mu\text{A}$ ) (YSA)	W1 ( $\mu\text{m}$ )	W2 ( $\mu\text{m}$ )	W3 ( $\mu\text{m}$ )	W4 ( $\mu\text{m}$ )
1	0.1	0.1	0.18	50	1	50	50.19	0.18	0	0.18	0
2	0.1	0.1	0.18	100	1.25	100	103.5	0.18	0	0.18	0
3	0.1	0.1	0.18	250	1	250	238.28	0.36	0	0.36	0
4	0.1	0.1	0.18	500	2	500	495.19	0.54	0	0.54	0
5	0.1	0.1	0.18	500	1.75	1000	1066.4	0.9	0	1.8	0
6	0.1	0.1	0.18	50	1.5	100	96.10	0.36	0	0.72	0
7	0.1	0.1	0.18	1000	2.5	1000	1000	0.18	0	0.18	0

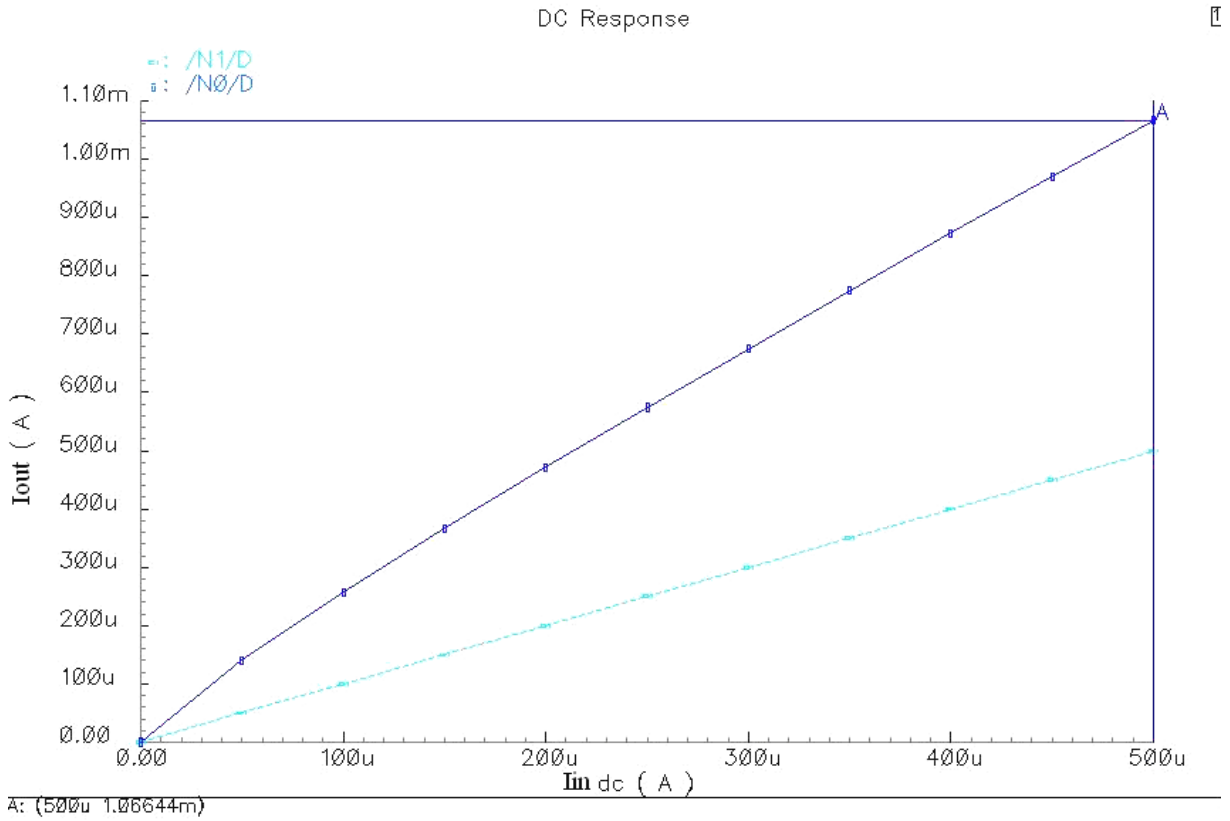
Şekil 4.12, 4.13 ve 4.14’de sırasıyla birinci, ikinci ve beşinci test örnekleri için YSA’nın verdiği kanal genişliği değerleri kullanılarak CADENCE’da yapılan simülasyon sonuçları verilmiştir.



Şekil 4.12 Birinci test verisi için YSA çıkışında verilen W/L sonucuna göre DC simülasyon



Şekil 4.13 İkinci test verisi için YSA çıkışında verilen W/L sonucuna göre DC simülasyon



Şekil 4.14 Beşinci test verisi için YSA çıkışında verilen W/L sonucuna göre DC simülasyon

#### 4.5 Farksal Kuvvetlendirici Veritabanının Oluşturulması

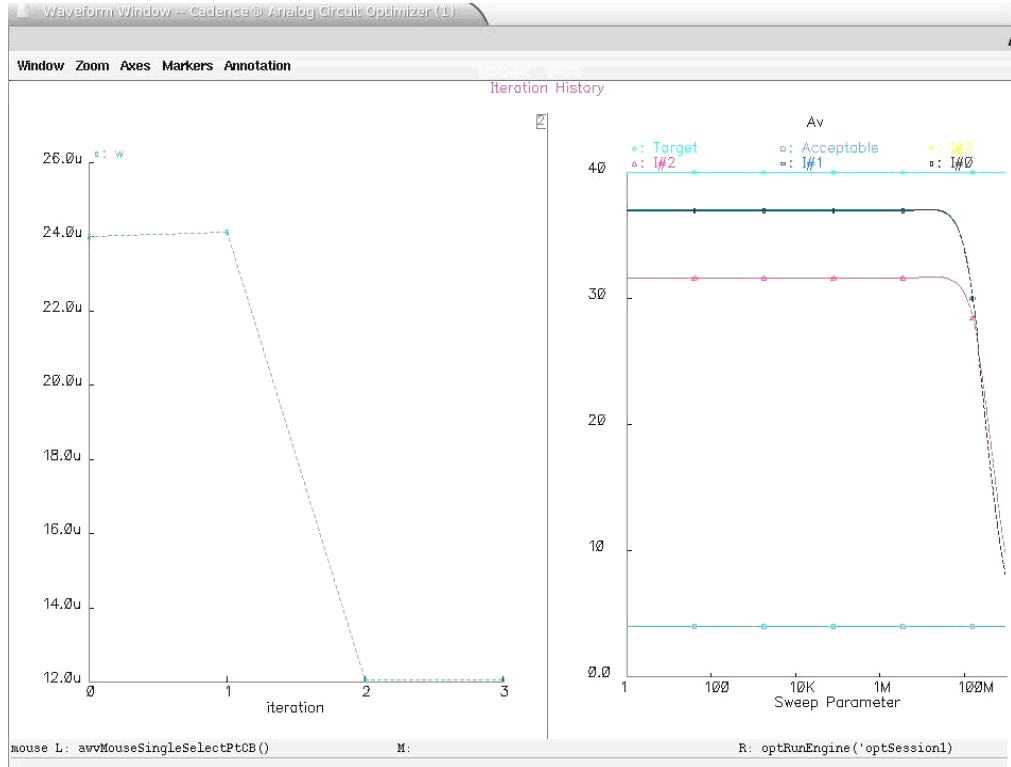
CADENCE simülasyon programı ile Şekil 2.5’deki farksal kuvvetlendirici devresinin beş ayrı teknoloji için DC ve AC simülasyonları yapılmıştır. Bu teknolojiler; AMIS 1.5 $\mu$ m, AMIS 0.5 $\mu$ m, TSMC 0.35 $\mu$ m, TSMC 0.25 $\mu$ m ve TSMC 0.18 $\mu$ m teknolojileridir. AC simülasyonlarda her bir transistörün kanal genişlikleri (W) taranarak Bölüm 2’de açıklanan  $A_v$ ,  $\omega_{-3dB}$ ,  $V_{IC(max)}$ ,  $V_{IC(min)}$ , SR ve  $P_{diss}$  tasarım kriterleri belirlenmiştir. Gerilim kazancı dB olarak hesaplanmış ve YSA’da da öyle modellenmiştir.

##### 4.5.1 Yapay Sinir Ağları ile Farksal Kuvvetlendirici Modellemesi

Farksal Kuvvetlendirici yapısı bir de CADENCE Analog Environment üzerinde bulunan “Optimizer” ara yazılımı ile sentezlenmiştir. Bu ara yazılıma, istenen hedef kazanç değeri, kabul edilebilecek minimum ve maksimum kanal genişlikleri ve % olarak ne kadar hatanın tolere edilebileceği girildiğinde belirli iterasyonlarla transistörlerin uygun W değerleri bulunmaktadır.

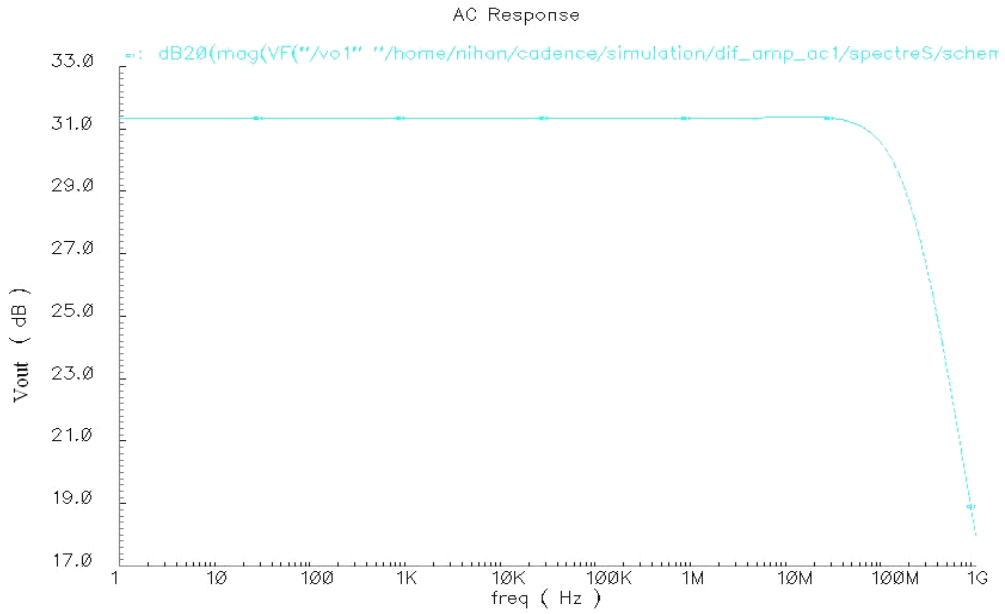
Şekil 4.15’de CADENCE Optimizasyon aracının sonuçları verilmektedir. Burada farksal kuvvetlendiricinin kazancının 40 dB olması için,  $W_{N0}$  ve  $W_{N1}$  taranarak optimizasyon aracına iterasyon yaptırılmıştır. Şeklin sol tarafındaki grafikte x eksenini yapılan toplam iterasyon sayısını (‘3’); y eksenini ise bu iterasyonlar sonucunda bulunan W değerlerini göstermektedir. Şeklin sağ tarafında ise Optimizer’ın elde ettiği W değerleri ile yapılan simülasyon sonucu görülmektedir. Burada optimizasyon aracı, 40dB istenen hedef değeri için 36 dB çıkış üretebilmiştir. Yapıda kullanılması gereken  $W_{N0}$  ve  $W_{N1}$  değerlerini ise 24 $\mu$ m olarak belirlemiştir.





Şekil 4.15 CADENCE optimizasyon arayüzü simülasyon sonucu

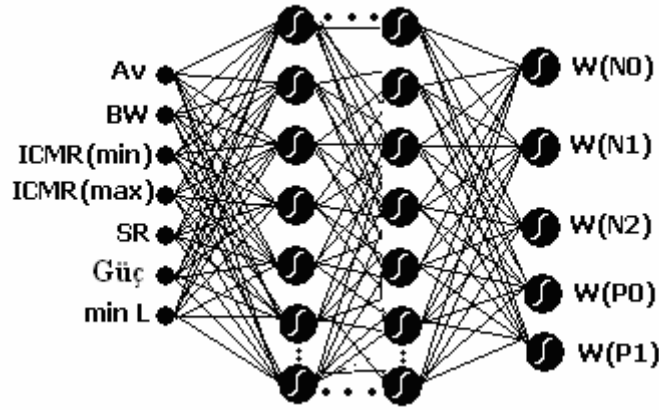
Şekil 4.16'da optimizasyon arayüzünün verdiği kanal genişliği (W) değerleri ile yapılan gerçek simülasyon sonucu gösterilmektedir. Optimizer istenen sonuca yaklaşabilmiş ancak tam olarak ulaşamamıştır.



Şekil 4.16 CADENCE optimizasyon arayüzünün verdiği  $W_{N0}$  ve  $W_{N1}$  değerleri ile farksal kuvvetlendirici AC simülasyonu



Farksal kuvvetlendirici için YSA yapısı olarak ÇKA ve eğitim algoritması olarak da geriye yayılım algoritması kullanan Levenberg-Marquardt (trainlm) algoritması kullanılmıştır. Kullanılan ÇKA ağında 10 adet saklı katman nöronu ve 5 adet çıkış nöronu bulunmaktadır. Saklı katman nöronlarında tanjant sigmoid, çıkış nöronlarında ise lineer aktivasyon fonksiyonları kullanılmıştır. Öğrenme oranı 0.6, momentum katsayısı 0.8 ve iterasyon sayısı 1500'dür. Farksal kuvvetlendirici devresinde, istenen çıkışları sağlayan transistör boyutlarını veren YSA yapısının giriş ve çıkışları Şekil 4.18'de verilmiştir.



Şekil 4.18 Farksal kuvvetlendirici devresi için YSA yapısı

YSA, devrenin çıkış değişkenleri için istenen değerleri sağlayabilen transistör geometrilerinin oldukça iyi derecede kestirimini yapabilmektedir. Uygulanan 20 test verisi üzerinden sadece 2 tanesi hatalı olarak sonuç vermiş, geri kalanları %10 toleransla istenen  $W$  değerlerine ulaşabilmektedir.

#### 4.6 İşlemsel Kuvvetlendirici Devresi Veritabanının Oluşturulması

Şekil 2.7'deki CMOS İşlemsel kuvvetlendirici devresinin dört farklı teknoloji, herbir transistörün değişik kanal boyu ve değişik kanal genişliği değerleri için CADENCE Analog Environment ile simülasyonları yapılmıştır. Toplamda 4895 simülasyon yapılmış ve 445 adet örnek içeren bir veri kümesi oluşturulmuştur. Veri kümesini oluşturan her bir örnek 27 özellik içermektedir. Bunlardan ilk 11 özellik işlemsel kuvvetlendiricinin çıkış kriterlerini, son 16 özellik ise kullanılan 8 transistörün  $W$  ve  $L$  değerlerini içermektedir. Çizelge 4.10 ve 4.11'de bu özellikler gösterilmektedir.

Çizelge 4.10 İşlemsel kuvvetlendiricinin çıkış kriterlerini gösteren ve YSA için giriş olarak verilen 11 özellik

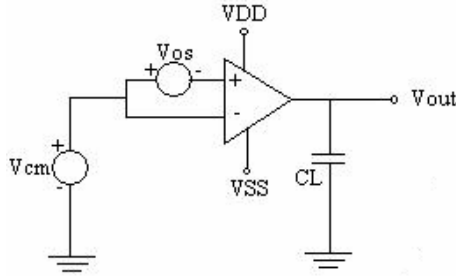
Vos	AV	BW	CMRR	PSRR	ICMR	SR	PDISS	TEK	VDD	VSS
-----	----	----	------	------	------	----	-------	-----	-----	-----

Çizelge 4.11 YSA için çıkış değerlerini gösteren 16 özellik

W (N0)	L (N0)	W (N1)	L (N1)	W (N2)	L (N2)	W (N3)	L (N3)	W (N4)	L (N4)	W (P0)	L (P0)	W (P1)	L (P1)	W (P2)	L (P2)
--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------	--------

#### 4.6.1 Ortak Mod Giriş Aralığı Oranı

Şekil 4.19'da CMOS işlemsel kuvvetlendiricinin ortak mod giriş aralığı oranı (CMRR) değerinin ölçülebilmesi için gerekli olan devre yapısı verilmiştir.

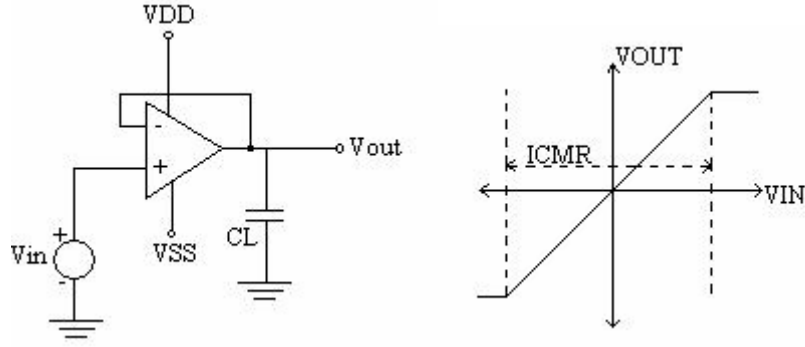


Şekil 4.19 CMRR ölçümü için işlemsel kuvvetlendirici devresi

İşlemsel kuvvetlendiricinin giriş katındaki farksal yapı, CMRR yüksek olduğu müddetçe her iki giriş üzerinde görülebilecek olan gürültünün azalması yönünde etki eder. CMRR değeri ortak mod gerilim kazancına karşılık, farksal mod gerilim kazancının ne kadar büyük olabileceğinin bir ölçüsüdür. Pratikte, farksal yapıdaki eşleştirme tam anlamıyla uygun yapılamadığından ortak mod işaretinde bazı gürültüler meydana gelir ve bu gürültüler de kuvvetlendirici üzerinden çıkış düğümüne, en son da çıkış işaretine aktarılır.

#### 4.6.2 Giriş İşaret Değişim Aralığı

Çıkış işaretinin, hangi giriş işareti aralığında doğru alınabildiğinin değeridir. Şekil 4.20'de giriş işaret değişim aralığı (ICMR) değerinin simülasyonla ölçülebilmesi için kurulması gereken devre düzeni ve örnek ölçüm sonucu gösterilmektedir.



Şekil 4.20 ICMR değerinin simülasyonla ölçülebilmesi için kurulması gereken devre düzeni ve örnek ölçüm sonucu

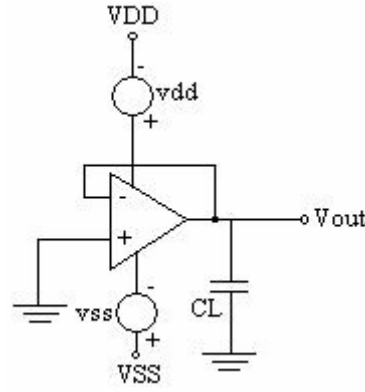
#### 4.6.3 Açık Çevrim Kazancı ve Band Genişliği

İdeal bir işlemsel kuvvetlendiricide gerilim kazancı sonsuz, giriş direnci sonsuz, çıkış direnci sıfır, band genişliği sonsuzdur. Pratikte de bu özelliklere yaklaşılmaya çalışılır. İki katlı bir işlemsel kuvvetlendirici devresinin açık çevrim kazancı her iki katın kazançlarının çarpımı ile hesaplanır. İşlemsel kuvvetlendiricinin kazanç-band genişliği değeri ise kazancın olmadığı yani kazancın 0dB değerine düştüğü frekans değeridir.

#### 4.6.4 Güç Kaynağı Bastırma Oranı

Güç kaynağı bastırma oranı (PSRR), güç kaynağı-çıkış gerilim kazancı ilişkisine karşılık farksal gerilim kazancının ne kadar büyük olduğunun ölçümüdür. PSRR değeri oldukça büyük ise aynı yonga üzerinde hem analog devreler hem de sayısal devreler varken meydana gelebilecek güç kaynağındaki gürültü, çıkışta kendisini göstermez.

Kompanzasyon kapasitesi  $C_c$ , frekans arttıkça kısa devre gibi davranmaya başlayacaktır. Bu yüzden de güç kaynağı gürültüsü çıkış düğümüne bağlanmış olacaktır ve frekans arttıkça PSRR değeri azalmaya başlayacaktır. Şekil 4.21'de PSRR ölçümü için gerekli işlemsel kuvvetlendirici devre yapısı verilmektedir.



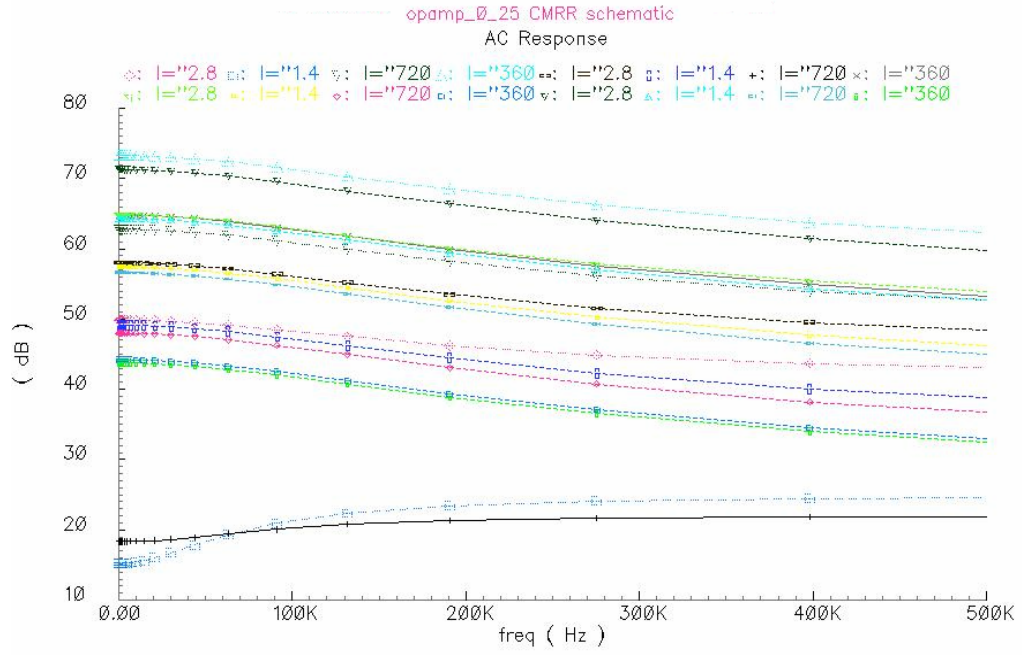
Şekil 4.21 PSRR ölçümü için işlemsel kuvvetlendirici devresi

#### 4.6.5 Yükselme Eğimi

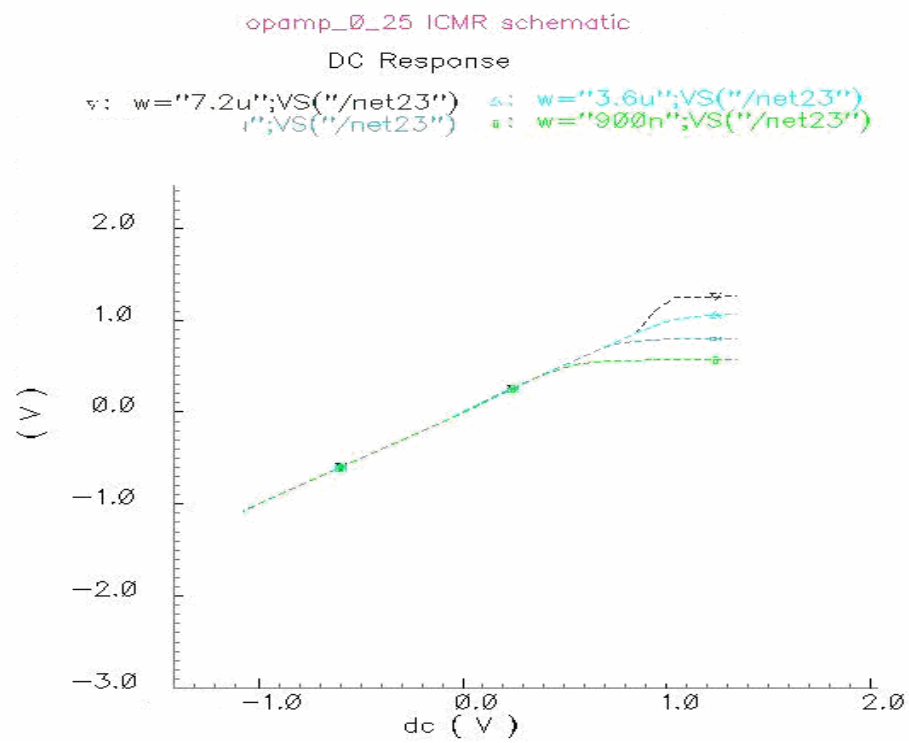
Yükselme eğimi, aynı zamanda kapasitif yüklenme değerini göstermektedir. Çıkışa bağlanan yük kapasitesinin dolma ve boşalma hızını belirtir. Yükselme eğimi (SR) ölçümü için işlemsel kuvvetlendiricinin girişine kare dalga işareti uygulanır.

#### 4.6.6 Transistör Kanal Boyu Değişimine Göre Simülasyonlar

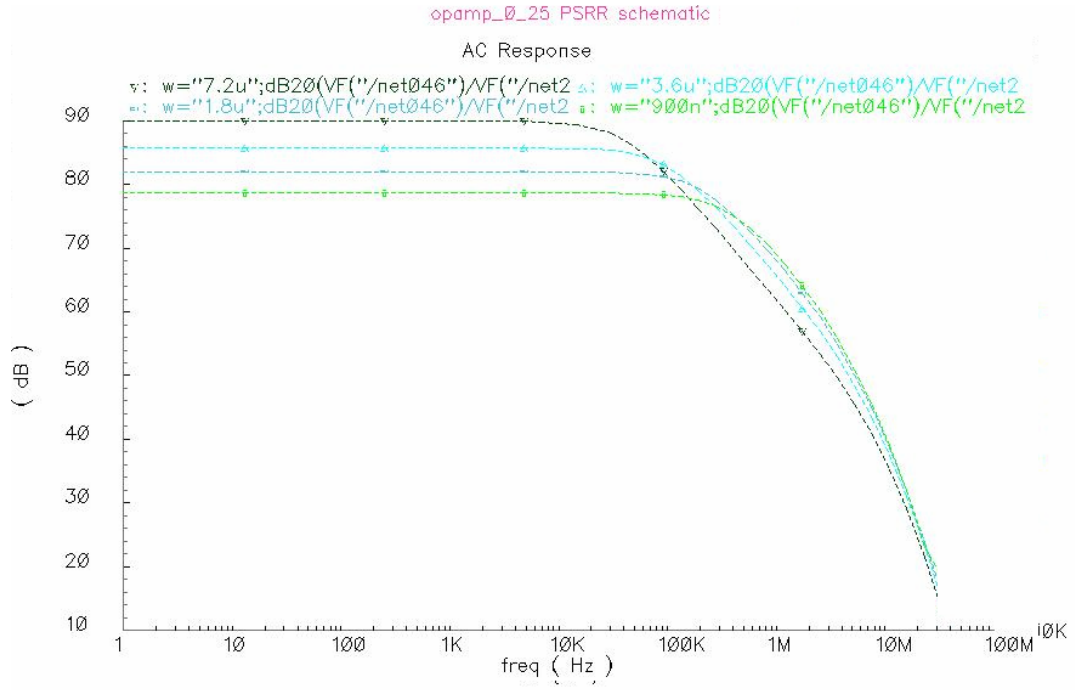
Birden fazla teknoloji ile simülasyonlar yapılması nedeni ile çok sayıda grafik üzerinden ölçümler yapılmıştır. Ancak tezde fazla yer kaplamaması açısından bazı simülasyonlarda TSMC 0.35 $\mu\text{m}$  parametreleri, bazılarında ise TSMC 0.25 $\mu\text{m}$  parametreleri kullanılarak elde edilen sonuçlar gösterilmiştir. Sırasıyla Şekil 4.22, 4.23, 4.24, 4.25, 4.26 ve 4.27’de CMRR, ICMR, PSRR, SR,  $A_v$ , GBW ve  $V_{os}$ ’nin (offset gerilimi) farklı kanal boyu ve kanal genişliği değerleri için değişimi verilmektedir.



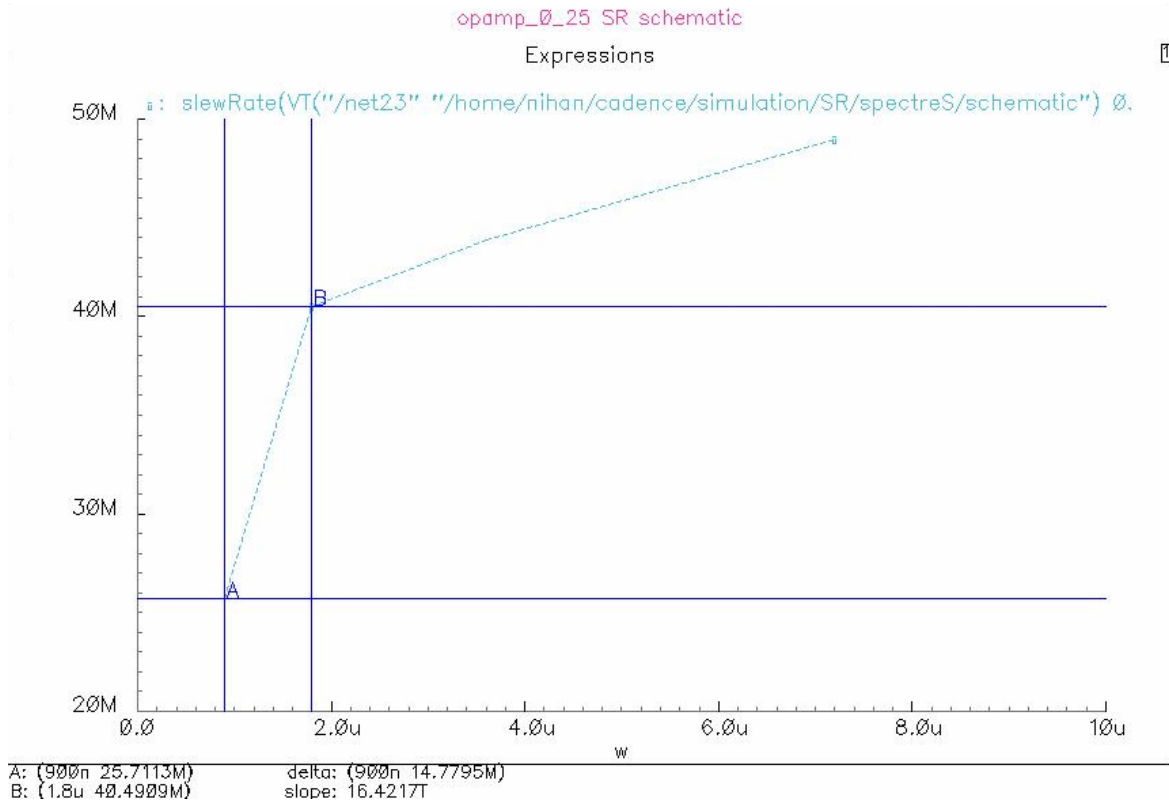
Şekil 4.22 N0 ve N1 transistörlerinin kanal boyu değişimine bağlı ( $WN0=WN1=6\mu$ ) CMRR simülasyonu



Şekil 4.23 N0 ve N1 transistörlerinin kanal genişliği değişimine bağlı ( $LN0=LN1=2.8\mu$ ) ICMR simülasyonu

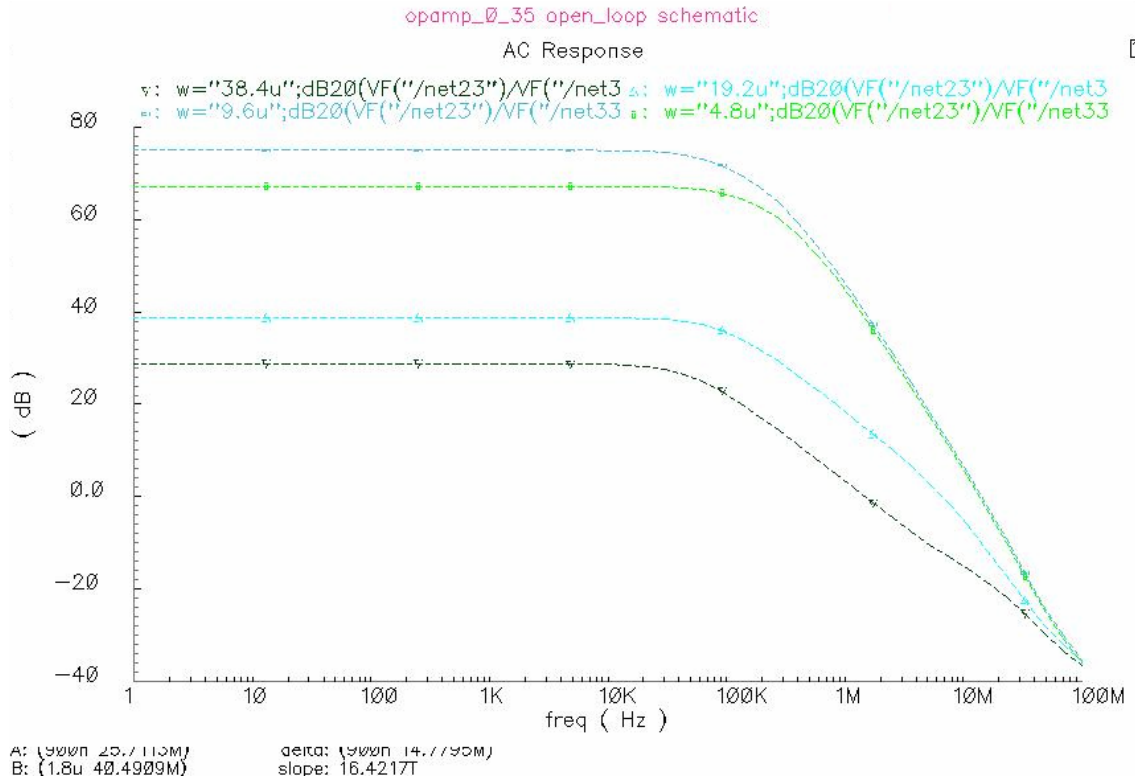


Şekil 4.24  $N_0$  ve  $N_1$  transistörlerinin kanal genişliği değişimine bağlı ( $L_{N0}=L_{N1}=2.8u$ ) PSRR simülasyonu

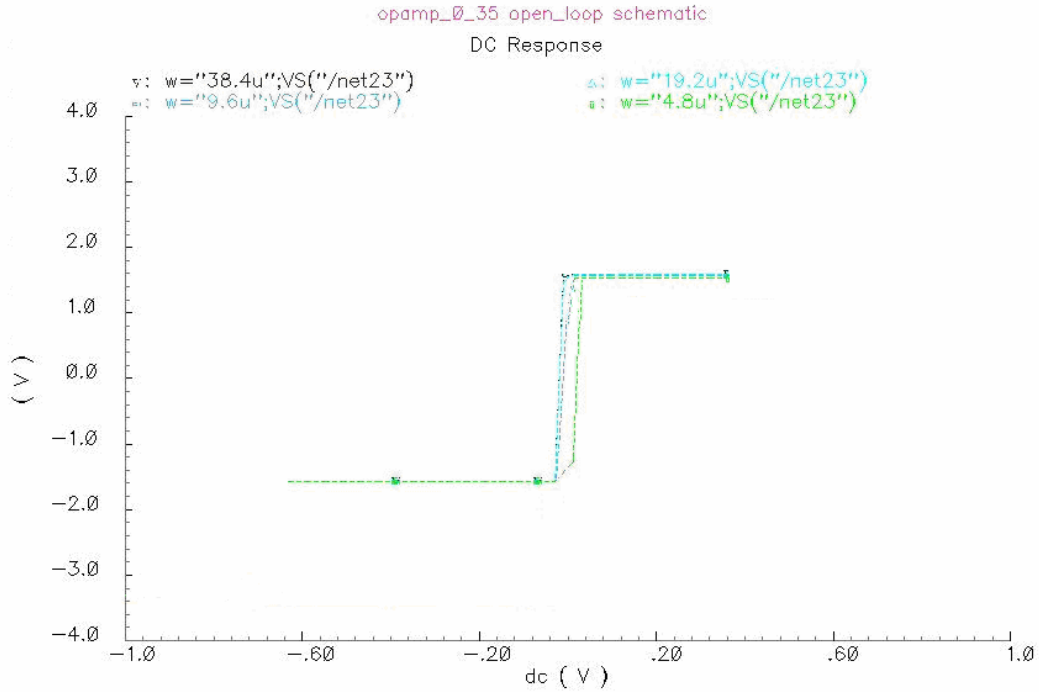


Şekil 4.25  $N_0$  ve  $N_1$  transistörlerinin kanal genişliği değişimine bağlı ( $L_{N0}=L_{N1}=2.8u$ ) SR simülasyonu (1)





Şekil 4.26  $N_0$  ve  $N_1$  transistörlerinin kanal genişliği değişimine bağlı ( $L_{N0}=L_{N1}=2.8\mu$ ) kazanç ve kazanç-band genişliği simülasyonu



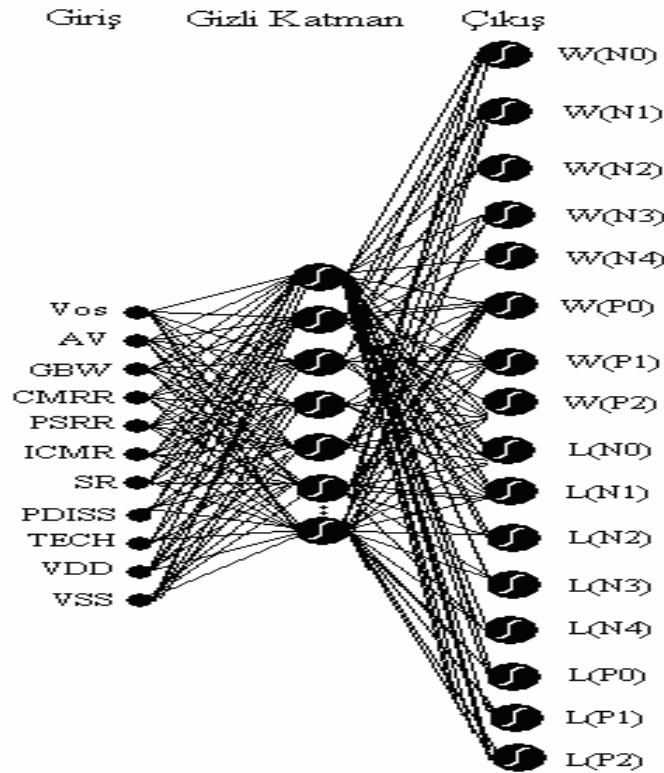
Şekil 4.27  $N_0$  ve  $N_1$  transistörlerinin kanal genişliği değişimine bağlı ( $L_{N0}=L_{N1}=2.8\mu$ ) offset gerilimi simülasyonu

#### 4.7 Yapay Sinir Ağları ile İşlemsel Kuvvetlendirici Transistör Geometrilerinin Belirlenmesi

CADENCE simülasyonları ile elde edilen işlemsel kuvvetlendirici veri tabanında, 104 örnek TSMC 0.35 $\mu\text{m}$ , 114 örnek AMIS 1.6 $\mu\text{m}$ , 106 örnek AMIS 0.6 $\mu\text{m}$  ve 121 örnek TSMC 0.25 $\mu\text{m}$  teknolojisinden olmak üzere toplam 445 örnek bulunmaktadır. Veri kümesini oluşturan her bir örnek 27 özellik içermektedir. Bunlardan ilk 11 özellik işlemsel kuvvetlendiricinin çıkış kriterlerini, son 16 özellik ise kullanılan 8 transistörün W ve L değerlerini içermektedir.

Veri tabanı YSA'ya uygulanırken ilk 11 özellik YSA'nın girişi, son 16 özellik ise YSA'nın çıkışı olacak şekilde belirlenmiştir. Yani kullanıcı YSA'ya tasarlamak istediği işlemsel kuvvetlendiricinin çıkış kriterlerini sunacak, elde ettiği ağ çıkışları da kullanıcıya işlemsel kuvvetlendirici devre topolojisindeki transistörlerin kanal boyu ve kanal genişliği değerlerini verecektir.

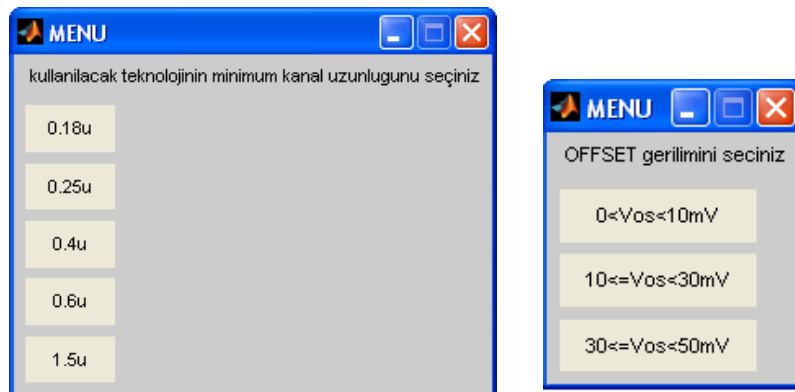
YSA yapısı olarak GRSA (Genelleştirilmiş Regresyonlu Sinir Ağları) kullanılmış ve yayılma parametresi olarak 2.1 değeri seçilmiştir. İşlemsel kuvvetlendirici devresinde, istenen çıkışları sağlayan transistör boyutlarını veren YSA yapısının giriş ve çıkışları Şekil 4.28'de verilmiştir.

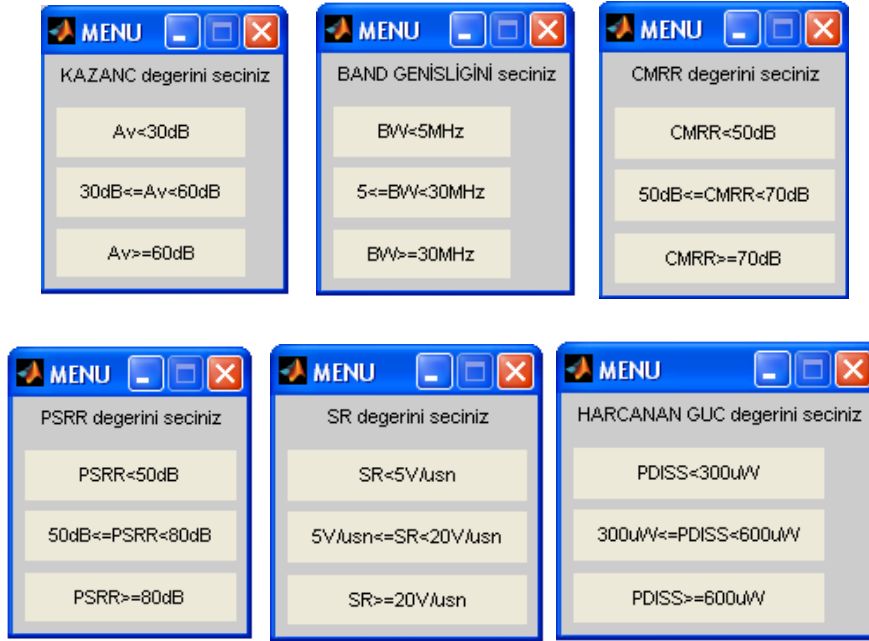


Şekil 4.28 İşlemsel kuvvetlendirici devresi için YSA yapısı

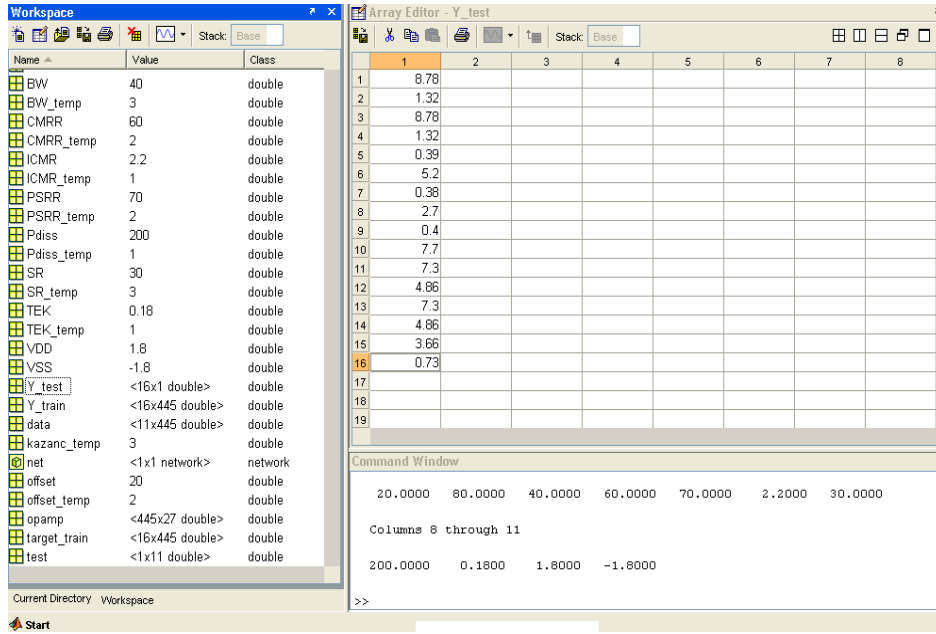
Tüm veritabanı eğitildikten sonra, test aşaması için kullanıcıya da kolaylık sağlayacak bir arayüz programı yazılmıştır. Bu programda, kullanıcıya çıkış kriterlerini hangi aralıklarda istediği seçimlik olarak sorulmakta ve test verisi buna göre belirlenmektedir. Test verisi belirlendikten sonra daha önceden eğitilen YSA ile simüle edilmektedir. YSA çıkışı kullanıcının istediği kriterleri sağlayan kanal genişliği ve kanal boyu (W ve L) değerlerini sunmaktadır. Test verisi olarak kullanıcı isterse eğitim setinde yer alan dört teknolojiye biri olan teknolojiye bir tasarım, isterse de yeni bir teknoloji olan 0.18 $\mu$ m teknolojisi için bir tasarım seçebilmektedir. Şekil 4.29'da YSA'ya uygulanacak test girişinin belirlenmesinde kullanıcıya kolaylık sağlayan menüler gösterilmektedir. Bu menüler sayesinde kullanıcı, öncelikle tasarımını yapmak istediği işlemsel kuvvetlendiriciyi hangi teknolojiye tasarlamak istiyorsa onu seçer. Daha sonra işlemsel kuvvetlendiricinin çıkış kriterlerinin de aralıklarını belirleyerek YSA simülasyonunu test işlemine tabi tutar. Daha önceden oluşturulan veri kümesi ile eğitilmiş YSA, istenen çıkış kriterlerini sağlayan devredeki tüm transistörlerin kanal boyu ve kanal genişliği değerlerini çok kısa zamanda kullanıcıya sunar. Şekil 4.30'da YSA test sonucundaki transistör boyutları verilmektedir.

Burada YSA çıkışında verilen transistör büyüklükleri her zaman optimum, yani istenen çıkışı sağlayan minimum büyüklükleri vermemektedir. Ancak tezin amaçları arasında optimum sonuç elde etmek yerine, yeni teknolojiler için istenen çıkışı vermek üzere transistör büyüklüklerinin belirlenmesi bulunmaktadır. Yani kullanıcı, her teknoloji değişiminde devreyi yeniden tasarlamak yerine YSA ile önceden kestirebileceği transistör boyutlarına ulaşabilmektedir.





Şekil 4.29 Kullanıcıya MATLAB’da kolaylık sağlayan menüler



Şekil 4.30 Test girişi için YSA çıkışında verilen transistörlerin büyüklükleri

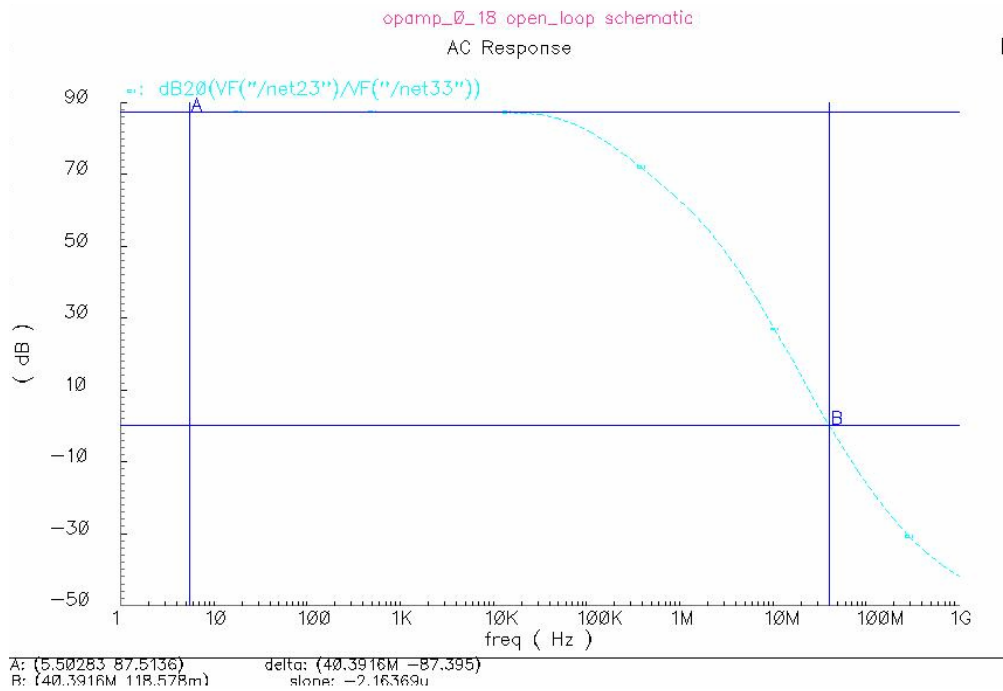
#### 4.8 CMOS İşlemsel Kuvvetlendirici Devresi için YSA'nın Verdiği Test Sonuçları

Bölüm 4.7’de ayrıntıları verilen YSA yapısına 5 adet test örneği uygulanmıştır. TSMC 0.18µm teknolojisinde, istenen çıkışları sağlayabilen devre boyutlarının SPICE model parametreleri bilinmeksizin YSA’nın verdiği transistör boyutları, devre çıkışında istenen ortak kriterler ve hangi örneklerin doğru sonuç verdiği Çizelge 4.12’de gösterilmiştir.

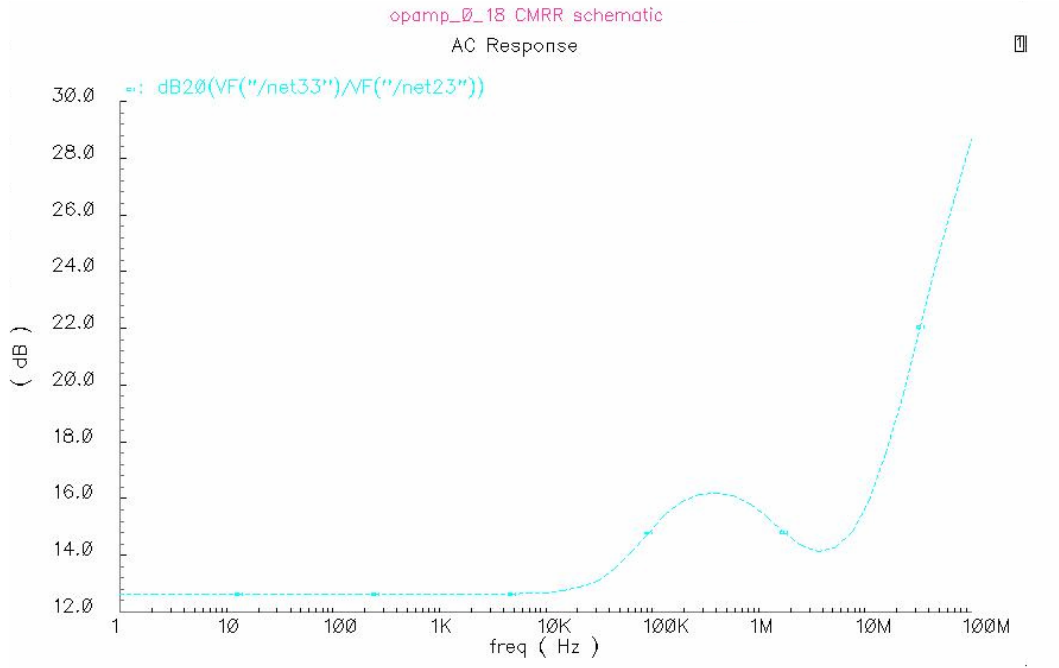
Çizelge 4.12 CMOS İşlemsel kuvvetlendirici için TSMC 0.18µm test veri kümesine YSA'nın verdiği transistör boyutları

	<b>Av&gt;30dB BW&gt;30M</b>	<b>Av&lt;30dB BW&lt;30M</b>	<b>Av&gt;60dB BW&lt;30M</b>	<b>Av&lt;30dB BW&lt;5M</b>	<b>Av&gt;60dB BW&lt;5M</b>
	<b>DOĞRU</b>	<b>DOĞRU</b>	<b>YANLIŞ</b>	<b>DOĞRU</b>	<b>DOĞRU</b>
<b>W(N0)</b>	8.78u	7.2u	9.12u	24.3u	81.5u
<b>L(N0)</b>	1.32u	2.4u	2.5u	1.26u	1.76u
<b>W(N1)</b>	8.78u	7.2u	9.12u	24.3u	81.5u
<b>L(N1)</b>	1.32u	2.4u	2.5u	1.26u	1.76u
<b>W(N2)</b>	0.39u	2.5u	0.56u	2.22u	3.27u
<b>L(N2)</b>	5.2u	4.3u	2.1u	0.65u	2.27u
<b>W(N3)</b>	0.38u	0.36u	2.25u	1.33u	3.33u
<b>L(N3)</b>	2.7u	2.6u	1.56u	1.65u	1.86u
<b>W(N4)</b>	0.4u	0.36u	4.26u	9.6u	26u
<b>L(N4)</b>	7.7u	7.4u	3u	0.6u	1.96u
<b>W(P0)</b>	7.3u	7u	4.86u	6.46u	31.3u
<b>L(P0)</b>	4.86u	4.8u	4.28u	3.9u	6u
<b>W(P1)</b>	7.3u	7u	4.86u	6.46u	31.3u
<b>L(P1)</b>	4.86u	4.8u	4.28u	3.9u	6u
<b>W(P2)</b>	3.66u	3.6u	5.12u	49u	241u
<b>L(P2)</b>	0.73u	0.72u	1.78u	5u	17u

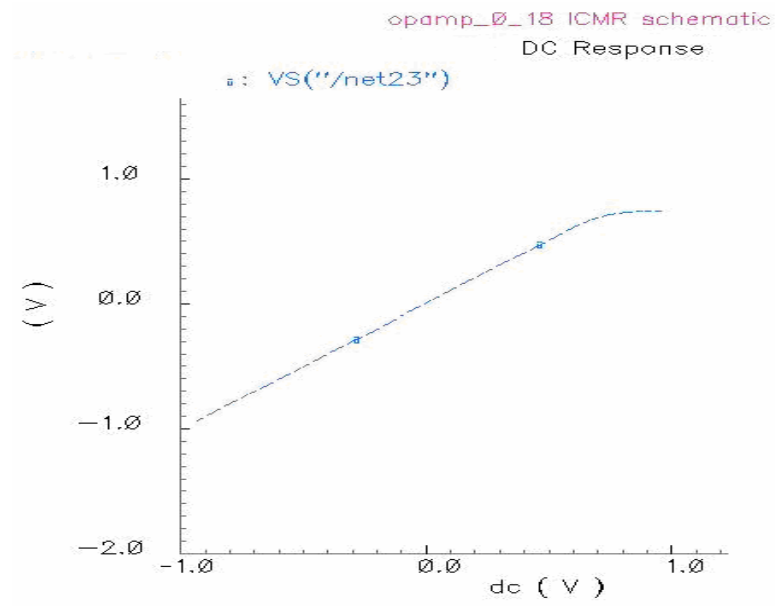
Şekil 4.31, 4.32, 4.33, 4.34 ve 4.35'de birinci test verisine YSA'nın verdiği W ve L değerleri ile yapılan simülasyon sonuçları verilmektedir. Burada kullanıcı 0.18µm teknolojisi için,  $A_v > 30\text{dB}$ ,  $BW > 30\text{MHz}$ ,  $10\text{mV} < V_{\text{offset}} < 30\text{mV}$ ,  $\text{PSRR} > 70\text{dB}$ ,  $\text{SR} > 20\text{V}/\mu\text{s}$  ve  $\text{CMRR} > 50\text{dB}$  girişlerini ağa vermiş ve Şekil 4.30'daki gibi transistör boyutlarını elde etmiştir (Y\_test).



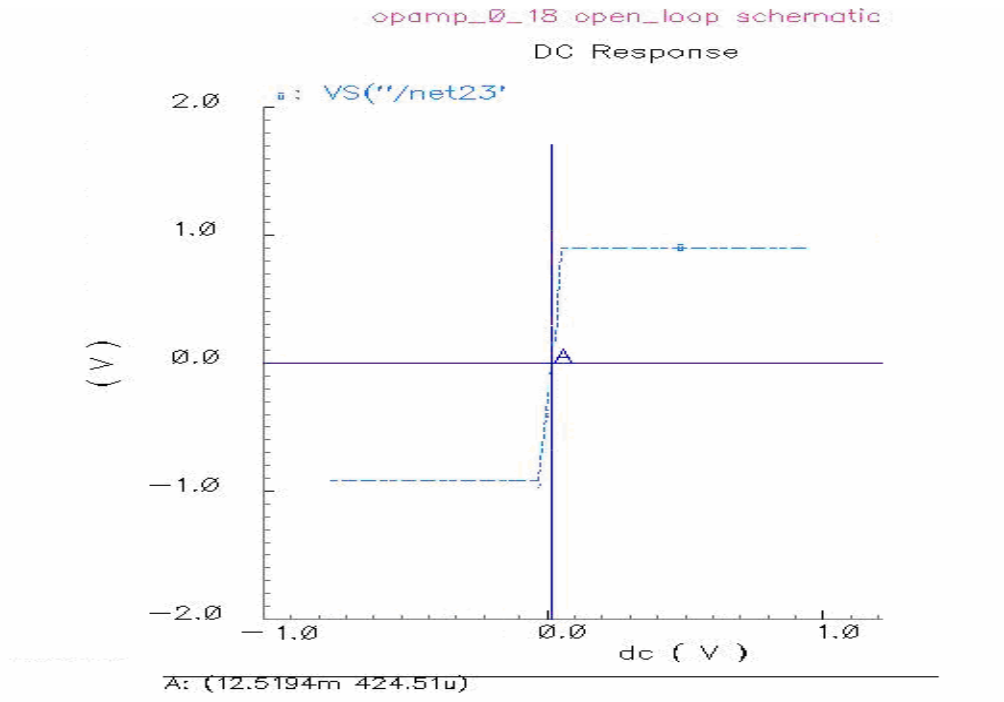
Şekil 4.31 TSMC 0.18µm birinci test örneği için Kazanç-Band Genişliği Ölçümü



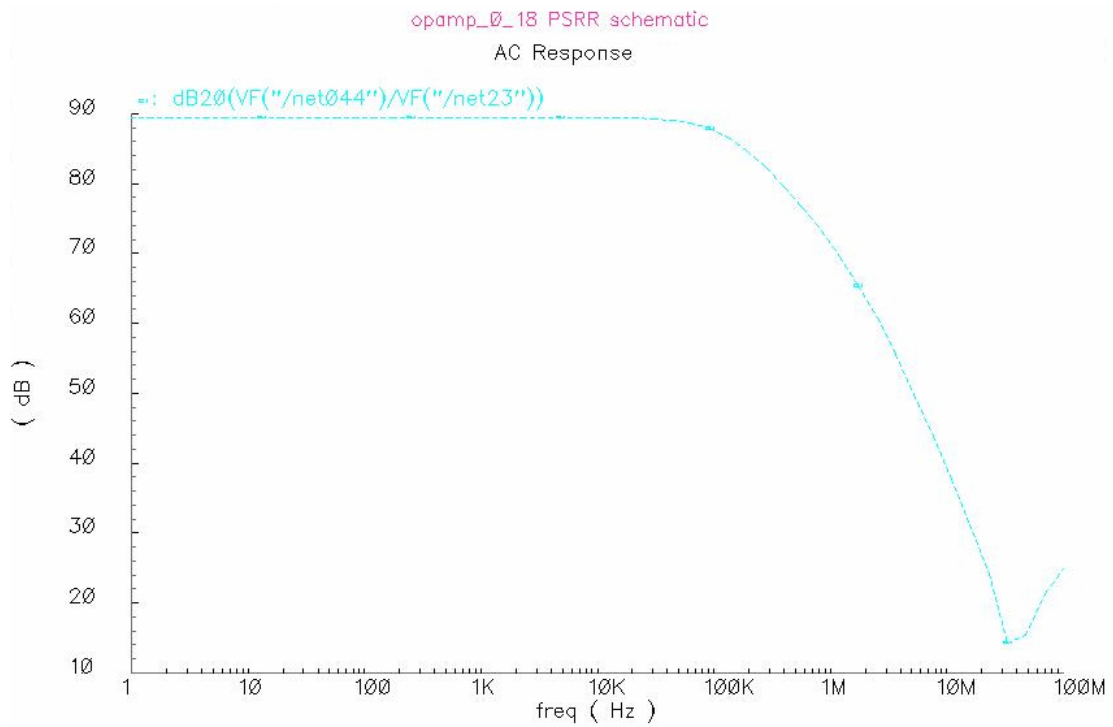
Şekil 4.32 TSMC 0.18um birinci test örneği için CMRR Ölçümü



Şekil 4.33 TSMC 0.18um birinci test örneği için ICMR Ölçümü



Şekil 4.34 TSMC 0.18um birinci test örneği için Offset Gerilimi Ölçümü



Şekil 4.35 TSMC 0.18um birinci test örneği için PSRR Ölçümü

#### 4.9 Temel Sayısal Kapıların Gecikmelerinin Yapay Sinir Ağları ile Modellenmesi

Bu bölümde INV, NAND, NOR ve XOR gibi temel sayısal kapıların farklı teknolojilerde değişen kanal genişliği ( $W$ ) ve değişen yük kapasitesi ( $C_L$ ) için, yükselme zamanı ( $t_r$ ), düşme zamanı ( $t_f$ ) ve propagasyon gecikmesi  $t_p = [(t_{pHL} + t_{pLH})/2]$  gecikmeleri modellenmiştir.

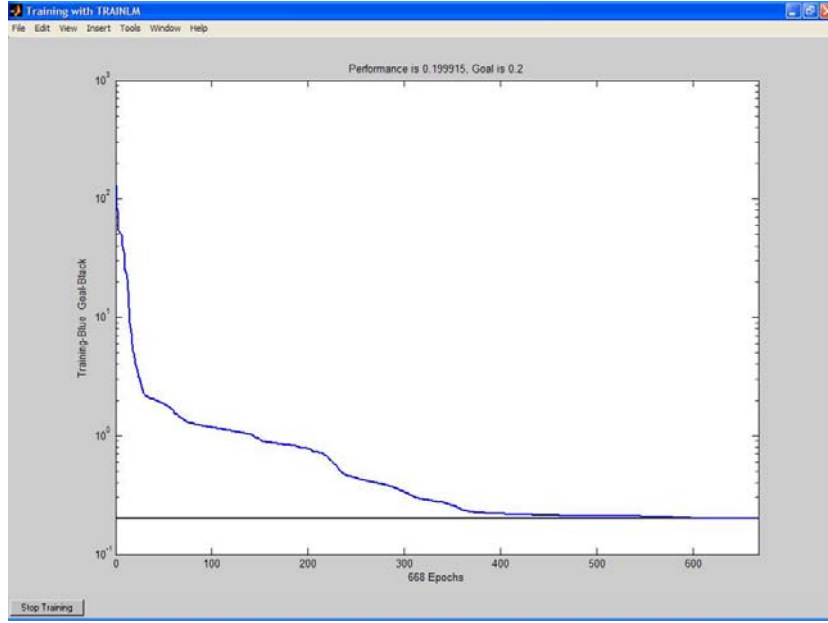
Burada veri tabanını oluşturabilmek için TSMC 0.18 $\mu$ m, TSMC 0.25 $\mu$ m ve AMIS 1.5 $\mu$ m olmak üzere 3 farklı teknolojidен yararlanılmıştır. Yapılan işlemlerin adımları özet olarak şu şekilde sıralanabilir:

Her bir teknoloji parametresi için, transistordaki kanal genişlikleri değerleri sürekli değiştirilerek 110'ar analiz yapılmıştır. Her yeni W-L değer çifti için ayrı ayrı  $t_r$ ,  $t_f$  ve  $t_p$  değerleri HSPICE programı ile hesaplanmış ve bir veritabanı oluşturacak şekilde her kapı için bulunan 330 sonuç sıralanmıştır. Bu veritabanı farklı teknolojiler, farklı W-L değerleri ve farklı kapasite değerleri ile ulaşılan farklı gecikme sürelerinden oluşan bir veritabanı sağlamaktadır. Bu veritabanı aynı zamanda yapay sinir ağı ile modellenecek veritabanını oluşturmaktadır. Simülasyon için her bir kapıya belirli kodlar verilmiştir. Bu kodlar; NOR kapısı için [0.1 0.1], XOR için [0.1 0.9], Inverter için [0.9 0.1] ve NAND için [0.9 0.9] şeklindedir.

Özetle bu veritabanı 7 giriş ve 2 çıkıştan oluşmaktadır. Girişler; kapı kodları (2'şer adet), transistor teknolojileri (mikron), yükselme ve düşme zamanları, propagasyon gecikmeleri ve kapasite değerleridir. Kanal boyu ( $L$ ) değerleri sabit tutulup, kanal genişliği ( $W$ ) değerleri eşit olarak artırıldığı için giriş sayısını sınırlamak mümkün olabilmektedir. Bunun yanı sıra bir NMOS transistordaki boyut değişimi devredeki diğer NMOS veya NMOS'lar, bir PMOS transistordaki boyut değişimi devredeki diğer PMOS veya PMOS'lar için de geçerlidir. YSA çıkışları NMOS kanal genişliği parametreleri ve PMOS kanal genişliği değerleridir.

1270 adet örnek içeren veritabanındaki 7 giriş sırasıyla kapı kodları (ilk 2 sütun), transistor teknolojileri (3. sütun),  $t_r$  (4. sütun),  $t_f$  (5. sütun) ve  $t_p$  (6. sütun) gecikmeleri ile kapasite değerleridir (7. sütun). Çıkışlar ise transistorların  $W_n$  (8. sütun) ve  $W_p$  (9. sütun) kanal genişliği parametreleridir. Bu veritabanı, ÇKA ve GRSA ile modellenmiştir. ÇKA ağında "trainlm" algoritması kullanılarak elde edilen eğitim grafiği Şekil 4.36'da görüldüğü gibidir.





Şekil 4.36 ÇKA ağına ait eğitim grafiği.

ÇKA ağının performansını ölçebilmek için test sonuçlarının incelenmesi yeterlidir. Test sonuçlarında çıkışlar yaklaşık değerler şeklinde karşımıza çıkar. Bu çıkışların veritabanındaki çıkışlar ile yaklaşıklıkla karşılaştırılarak, ağın başarı yüzdesi ölçülebilir. Test veritabanında dört kapının her birine kapıya ait 30 çift ölçüm sonucu olmak üzere toplam 120 çift çıkış söz konusudur. Bu 120 çıkış, algoritma sonucu elde edilen yaklaşık test sonuçları ile karşılaştırıldığında ÇKA ağının başarı yüzdesi  $91/120 = 0.758333$ , yaklaşık %76 olarak hesaplanmaktadır. (Sonuçlarda çıkışların 91 tanesi doğruya yakın, 29 tanesi çok uzak değerli çıkmıştır.)

Aynı işlem tekrarlandığında GRSA'nın başarı yüzdesi ise  $77/120 = 0.641666$ , yaklaşık %64 olarak hesaplanmaktadır. (Sonuçlarda çıkışların 77 tanesi doğruya yakın, 43 tanesi çok uzak değerli çıkmıştır.)

Bu test performans sonuçları, ölçümlerin tamamı (1270 çıkış) için yaklaşık performans sonuçları olarak kabul edilebilir. Eğitimi yapılan diğer algoritmalar (trainoss, traingd, trainrb, trainbr, rbf, pnn) ise ÇKA ve GRSA algoritmalarına kıyasla nispeten daha zayıf performans göstermişlerdir.

Böylelikle NOR, XOR, Inverter ve NAND CMOS eşdeğer devrelerine ait gecikme veritabanı yapay sinir ağına uygulanabilecek şekilde yazılmış, devre modellemesi yapılmış ve algoritmaların performansları ölçülmüştür. Bu ağlar artık, istenilen herhangi bir rastgele girdi (kapı kodu, transistor teknolojisi, tr, tf, tp, kapasite değeri) için yaklaşık çıkışları, yani  $W_n$  ve

Wp deęerlerini tek defada verecektir. En iyi performans için hangi algoritmaların tercih edileceęini ise yukarıda anlatılan test yöntemine dayanarak kararlařtırmak olasıdır. Daha iyi performanslar elde edebilmek için veritabanındaki girdi ve çıktı deęerlerini ölçeklemek önerilebilir.

Burada standart sayısal hücre kütüphanesinde bulunan en temel kapılara ait elektronik devreler, farklı yapay sinir aęı algoritmaları kullanılarak modellenmiřtir. Bu aęlar, geręekleřtirilmek istenen iřlem sonuçlarını bir defa öğrendikten sonra kullanıcıya aktarabilmektedirler. Bu çalıřmada, NOR, XOR, Inverter ve NAND kapılarına eřdeęer CMOS devrelerinin transistor boyu ve gecikme süreleri ile ilgili bir veritabanı oluřturulmuř ve bu bilgi farklı yapay sinir aęlarına öğretilmiřtir. Bu noktadan sonra aęa rastgele girdiler ve hatta belleęinde var olmayan girdiler verildięinde, aę bu girdilere karřı düşen çıktıları hafızasındaki veritabanından da faydalanarak doęruya en yakın biçimde verecektir.

Devre için hangi yapay sinir aęı algoritmasının daha uygun olduęunu seçebilmek için denenen algoritmaların test performanslarına bakılmıřtır. Bu örnek için ÇKA (trainlm) tipi yapay sinir aęı kullanmak daha tercih edilebilir bir durumdur. Çünkü bu aęda başarı oranı yaklaşık olarak %76 olarak hesap edilmiřtir. Benzer şekilde başka tip elektronik devreler ve ölçüm sonuçları için başka başka algoritmalar kullanmak ve en verimlisini seçmek mümkündür. Önemli olan en iyi performansın hangi aę tipi ile saęlandığını deneyerek görmektir.

Yapay sinir aęları ile devre modelleme bu řekildeki nispeten basit ve temel elektronik devreler için geręeklenebildięi gibi, daha karmařık elektronik devreler için de tercih edilebilir. Böylece elektronik devrelerle ilgili pek çok problem ve ölçüm, hem daha kısa zamanda, hem de doęruya yakın biçimde çözülmüř olur.

Yapay sinir aęları kendilerine öğretilen veri örneklerini birbirleri ile iliřkilendirerek bir öğrenme sistemi geliřtirirler. Daha sonraki bir zamanda hafızalarında olmayan, yani eğitim sırasında aktarılmamıř örnek durumlar için de öğrenmiř olduklarından yararlanarak yaklaşık sonuçlar üretebilir ve bu řekilde öğrenmeyi sürdürebilirler. Aęın herhangi bir katmanında ortaya çıkan bir sorun tüm çalıřmayı doęrudan etkilemez, tüm aę parçaları birbirine baęlı ancak paralel bir biçimde iř görürler. Bu da aęların zaman ve verim kaybını azaltıcı bir faktördür.

## 5. YAPAY SİNİR AĞLARI İLE MOS ÜRETİM FİRMALARININ SPICE MODEL PARAMETRELERİNDEN BAĞIMSIZ İŞLEMSEL KUVVETLENDİRİCİ TASARIMI

Tezin bu kısmında, Şekil 2.7’de verilen CMOS işlemsel kuvvetlendirici devresinin, aynı teknoloji büyüklüğünde ancak farklı üretim parametreleri ile tasarımında istenen çıkış değerlerini veren transistör büyüklüklerinin YSA ile belirlenebilmesi hedeflenmiştir. Bu amaçla bahsedilen işlemsel kuvvetlendirici devresi AMIS 0.35 $\mu$ m, IBM 0.35 $\mu$ m ve TSMC 0.35 $\mu$ m üretim SPICE model parametreleri kullanılarak tasarlanmıştır. Daha önceki bölümlerde açıklandığı gibi YSA için veritabanı oluşturmak üzere işlemsel kuvvetlendirici devresindeki transistör boyutları değiştirilerek devrenin farklı çıkış kombinasyonları vermesi sağlanmıştır. Bu amaçla 1764 simülasyon yapılmış ve toplamda 294 örnek içeren bir veritabanı oluşturulmuştur. Veritabanında ilk 16 özellik devredeki transistörlerin boyutlarını bildirirken, son 8 özellik ise devre çıkış kriterlerini belirtmektedir. Bu kriterler offset gerilimi, kazanç, kazanç-bandgenişliği, CMRR, PSRR, faz açısı, SR ve devredeki toplam harcanan güç değerini belirtmektedir. Bu özelliklerden devre çıkış kriterleri YSA’ya giriş olarak uygulanmış ve YSA çıkışında da transistör boyutları elde edilmiştir. (Çizelge 5.1 ve 5.2)

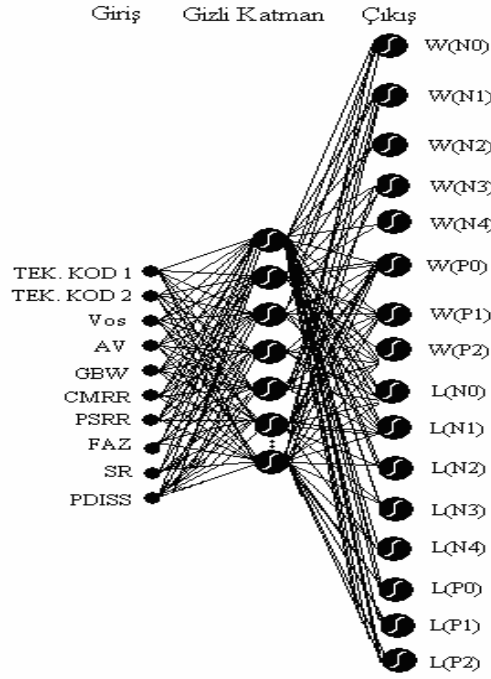
Çizelge 5.1 İşlemsel kuvvetlendiricinin çıkış kriterlerini gösteren ve YSA için giriş olarak verilen 8 özellik

Vos	AV	GBW	CMRR	PSRR	Faz	SR	PDISS
-----	----	-----	------	------	-----	----	-------

Çizelge 5.2 YSA için çıkış değerlerini gösteren 16 özellik

W (N0)	L (N0)	W (N1)	L (N1)	W (N2)	L (N2)	W (N3)	L (N3)	W (N4)	L (N4)	W (P0)	L (P0)	W (P1)	L (P1)	W (P2)	L (P2)
-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------	-----------

Burada amaç, AMIS ve IBM üretim SPICE model parametreleri kullanılarak yapılan devre simülasyonları ile elde edilen veritabanı kullanılarak YSA’yı eğitmek ve daha sonra TSMC üretimi için istenen çıkış kriterlerini veren transistör boyutlarını YSA ile elde edebilmektir. Bunun için her bir üretim şirketine ikili sistemde kodlar vererek YSA’ya tanıtılmıştır. AMIS [0 0]; IBM [1 1]; ve TSMC [0 1] ile ifade edilmiştir. YSA’nın kullandığı sigmoidal fonksiyonların sınırlandırılabilmesi ile ilişkili olarak da bu kodlar [0 0]→[0.1 0.1], [1 1]→[0.9 0.9], [0 1]→[0.1 0.9] olarak değiştirilmiştir. Böylece YSA için giriş değeri taşıyan özellik sayısı Çizelge 5.1 ve ikili kodların toplamı olmak üzere 10 özelliğe çıkarılmıştır. Şekil 5.1’de bahsedilen farklı üretim firmalarının model parametrelerine göre işlemsel kuvvetlendirici devresi modellemesi için kullanılan YSA yapısı verilmiştir.



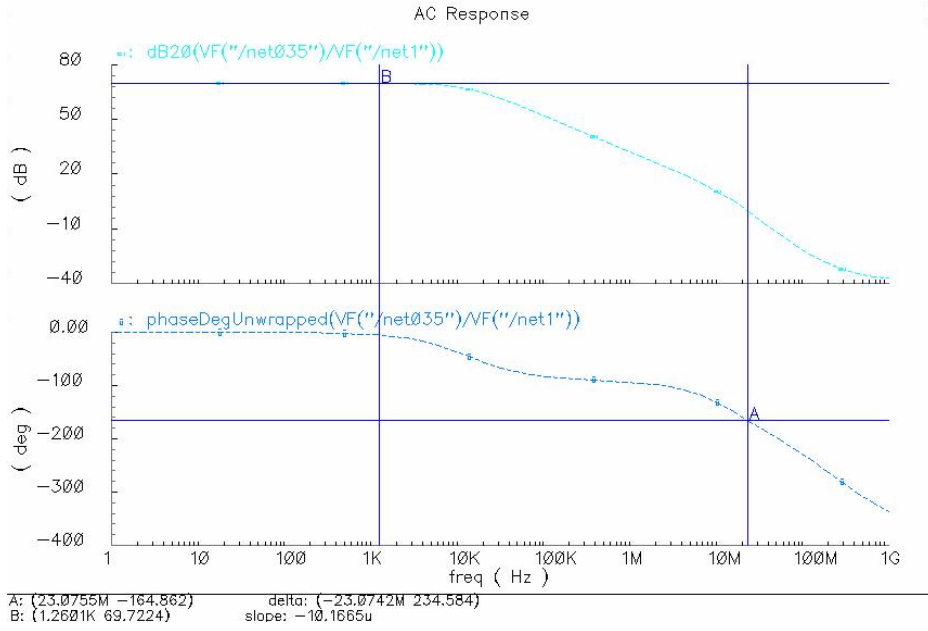
Şekil 5.1 Farklı üretim firmalarının model parametrelerine göre işlemsel kuvvetlendirici devresi modellenmesi için kullanılan YSA yapısı

YSA yapısı olarak GRSA (Genelleştirilmiş Regresyonlu Sinir Ağları) kullanılmış ve yayılma parametresi olarak 15 değeri seçilmiştir. Tüm veritabanı eğitildikten sonra, test aşaması için kullanıcıya da kolaylık sağlayacak bir önceki bölümde açıklanan arayüz programı kullanılmıştır. Bu programda, kullanıcıya hangi üretim firmasında tasarımını yapmayı hedeflediği ve tasarımını yapacak olduğu işlemsel kuvvetlendirici devresinin çıkış kriterlerini hangi aralıklarda istediği seçimlik olarak sorulmakta ve test verisi buna göre belirlenmektedir. Test verisi belirlendikten sonra daha önceden eğitilen YSA ile simüle edilmektedir. YSA çıkışı kullanıcının istediği kriterleri sağlayan kanal genişliği ve kanal boyu (W ve L) değerlerini sunmaktadır. Test verisi olarak kullanıcı isterse eğitim setinde yer alan iki üretim firmasından (AMIS veya IBM) herhangi birininin model parametreleri ile bir tasarım, isterse de yeni üretim fabrikası olan TSMC firması için bir tasarım seçebilmektedir.

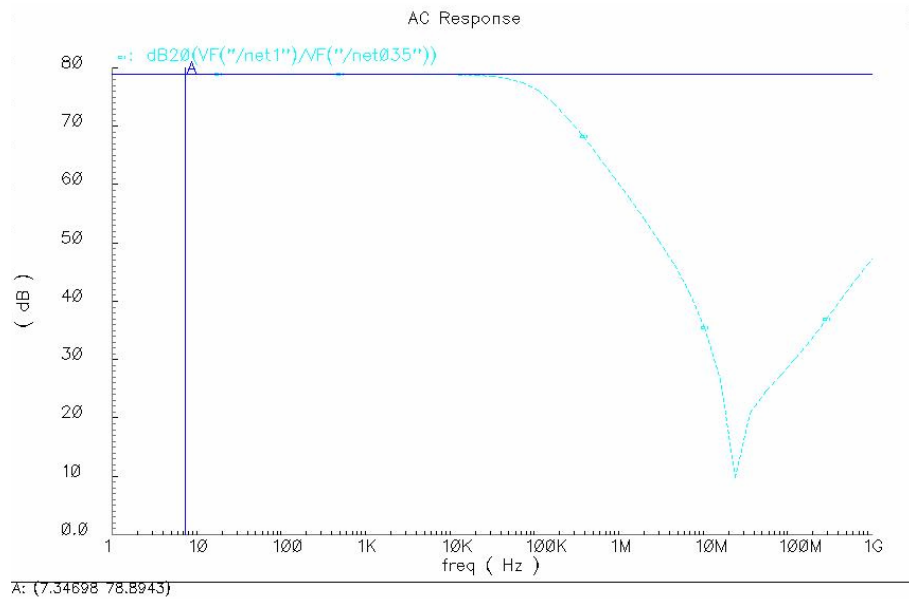
Çalışmanın bu kısmının sonucunda, kullanıcı aynı teknoloji boyutlarında farklı üretim firmaları için farklı tasarımlar yapmak yerine istediği çıkış kriterlerini daha önceden eğitilmiş YSA'ya uygulayarak, YSA çıkışında devrede kullanılması gereken transistör boyutlarını çok hızlı bir şekilde elde edebilmektedir.

AMIS ve IBM firmalarının 0.35 $\mu$ m SPICE model parametreleri kullanılarak eğitilen YSA'ya 5 adet TSMC firması için test verisi (Çizelge 5.3) uygulanmıştır.

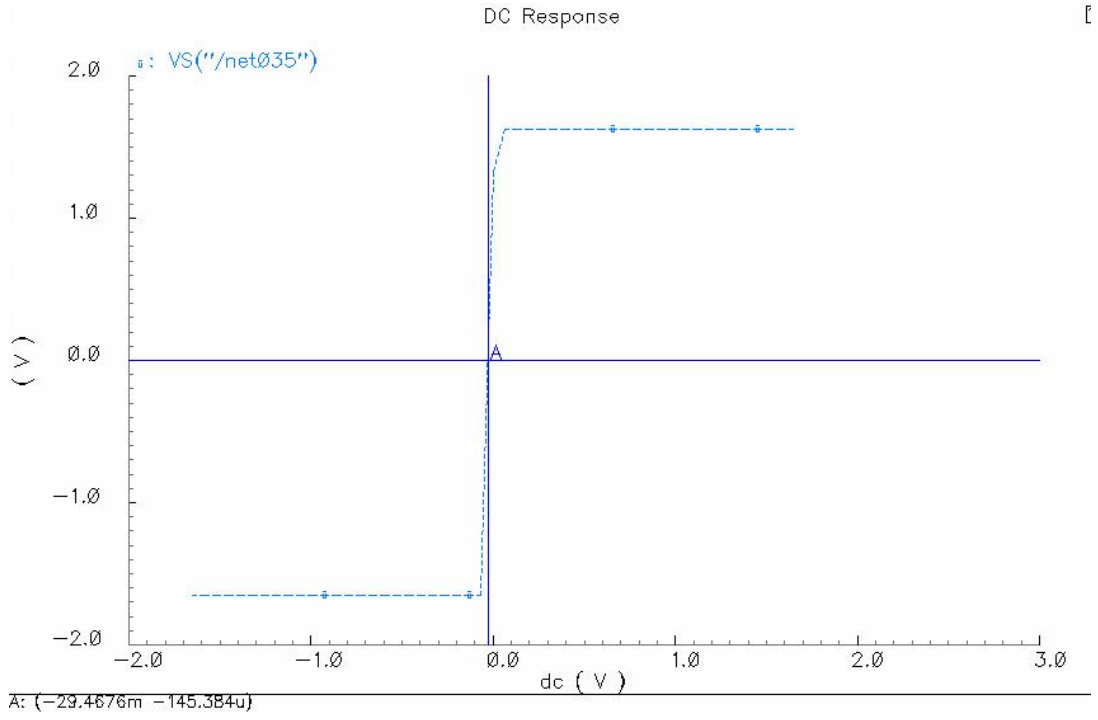
YSA test çıkışı olan transistör boyutları kullanılarak CADENCE programında TSMC 0.35 $\mu$ m parametreleri ile işlemsel kuvvetlendirici devresinin simülasyonları tekrar yapılmış ve devre çıkışında istenen kriterleri ne kadar sağladığı gözlemlenmiştir. Çizelge 5.3’de verilen test örnekleri arasından 3. test verisine ait YSA’nın verdiği transistör boyutları Şekil 5.2’de görülmektedir. Şekil 5.3, 5.4, 5.5, 5.6, 5.7 ve 5.8’de ise 3. test verisine ait YSA’nın verdiği transistör boyutları kullanılarak yapılan CADENCE simülasyon sonuçları verilmektedir.



Şekil 5.3 Üçüncü test örneği için Av-GBW ölçüm sonuçları



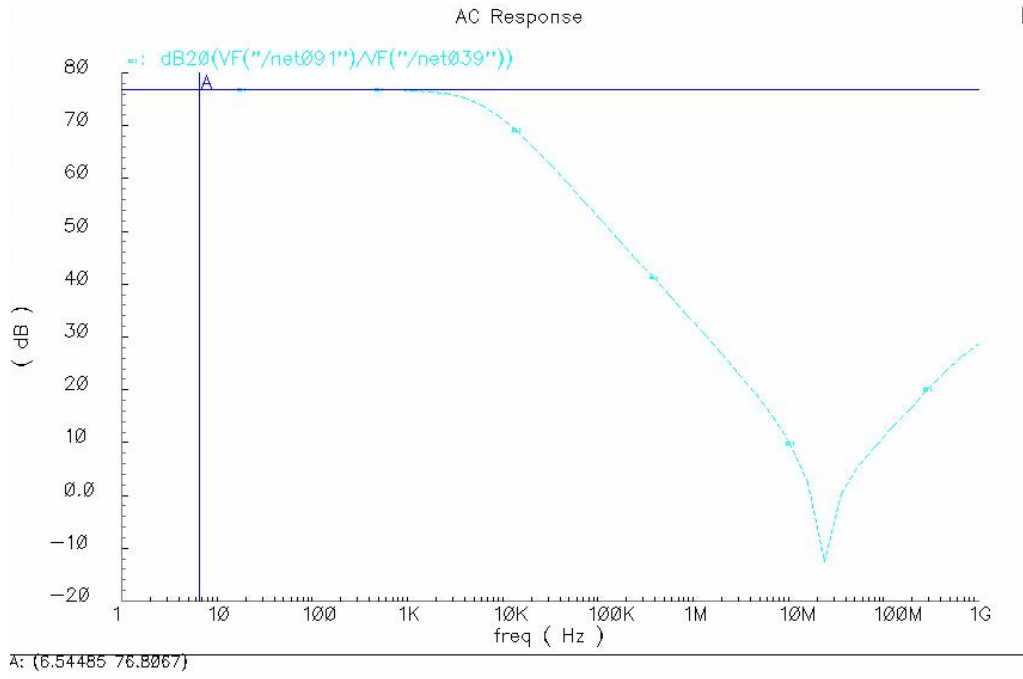
Şekil 5.4 Üçüncü test örneği için CMRR ölçüm sonuçları



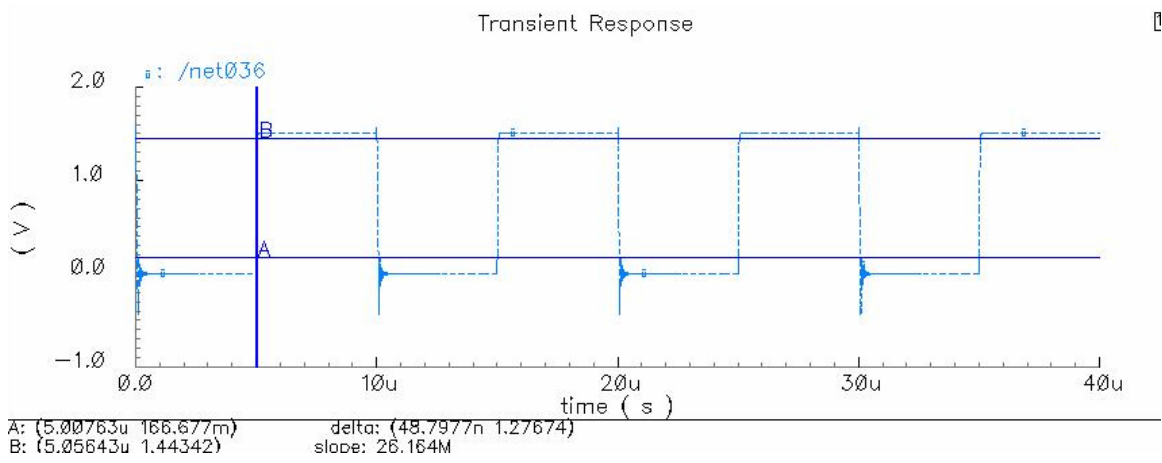
Şekil 5.5 Üçüncü test örneği için offset gerilimi ölçüm sonuçları

Results Dis			
Window	Expressions	Info	52
signal	OP("v0" "??		
i	-74.8u		
pwr	-123.4u		
v	1.65		

Şekil 5.6 Üçüncü test örneği için güç harcaması ölçüm sonuçları



Şekil 5.7 Üçüncü test örneği için PSRR ölçüm sonuçları



Şekil 5.8 Üçüncü test örneği için SR ölçüm sonuçları

## 6. SONUÇLAR

Bu tezde, son yıllarda yapay sinir ağları kullanılarak yapılan transistör modelleme çalışmaları incelenmiş ve yeni nesil teknolojiler için temel analog ve sayısal devrelerde, SPICE model parametrelerini kullanmadan, transistör büyüklüklerinin YSA ile kestirilmesine çalışılmıştır. Böylece, teknolojiden bağımsız devre tasarımı işlemi, yapay sinir ağlarının bahsedilen özelliklerinden yararlanarak daha az hesapla ve daha kısa sürede yapılmıştır.

Önceki nesillere ait dört farklı teknoloji model parametreleri kullanılarak CADENCE Spectre Analog Environment simülasyon programı ile analog ve sayısal tümdevrelerin temel yapıtaşlarını oluşturan devreler için transistör büyüklükleri değiştirilerek birçok simülasyon yapılmıştır. Daha sonra yapılan simülasyon sonuçları ayrı ayrı veritabanlarında toplanmış ve bu veritabanları farklı yapay sinir ağı yapıları ve algoritmaları kullanılarak eğitilmiştir. Eğitilen sinir ağları, yeni nesil teknolojide tasarımı yapılmak istenen devrenin çıkış özellikleri ile test edilip, YSA simülasyonları çıkışında da uygun transistör büyüklükleri belirlenmiştir.

Öncelikle yapay sinir ağlarının transistör ve devre modelleme konuları üzerinde ne kadar başarılı olduğunu araştırmaya yönelik literatür taraması yapılmıştır. Modelleme işleminin kısa kanal transistörler üzerindeki başarısı için ise Bölüm 4.1.1’de açıklanan çalışmalar yapılmış, ve YSA’nın kısa kanallı bir NMOS veya PMOS transistörün, akım-gerilim değerleri ile kanal boyu-kanal genişliği değerleri arasında ilişki kurabildiği gösterilmiştir. Bu çalışma esnasında eşik geriliminin terminal gerilimleri ve transistör büyüklüğüne bağlı olarak değiştiği ve bu değişimin kısa kanal transistörlerde çözülmesi zor ve uzun bir formülle belirlenebildiği gözlemlenmiştir. Bundan sonra, terminal gerilimlerine göre değişen eşik gerilimi hiçbir model parametresi bilinmeden YSA ile kestirilmiştir.

Eşik gerilimi değerinin YSA ile kestirimi sırasında, YSA’nın genelleştirme yeteneğinden yararlanılabileceği düşünülmüştür. Böylece, eski teknoloji simülasyon sonuçları (eşik gerilimi için) ile eğitilen YSA’nın, denklemlerini ve model parametrelerini hiç bilmediği yeni nesil bir teknoloji için istenen çıkışları verip veremeyeceği araştırılmıştır. Örneğin kullanıcı, model parametrelerini bilmediği bir transistörü kutuplamak istediğinde, transistöre vereceği terminal parametreleri ile eşik geriliminin ne kadar değiştiğini ve bu değişim sonucunda transistörün hangi bölgede çalışabileceğini eğitilen YSA yapılarını kullanarak tahmin edebilecektir.

Çalışmanın ilerleyen aşamalarında yeni nesil teknolojilerde tasarımı yapılacak devreler için temel oluşturabilecek basit yapılar üzerinde YSA ile transistör boyutlarının kestirimi üzerinde çalışılmıştır. Bu aşamada analog yapılar arasından dört farklı akım aynası devresi üzerinde



çok sayıda simülasyon yapılmış ve büyük bir veritabanı oluşturulmuş ve bu veritabanı ile YSA eğitilmiştir. Bundan sonra tasarımcı istediği akım aynası devresinin transistör boyutlarını, isterse önceki teknolojilerde model parametrelerine gerek duymaksızın, isterse de yepyeni bir teknoloji için YSA yardımıyla belirleyebilir. Akım aynası devrelerinde transistör boyutlarının belirlenmesi çok karmaşık denklemler içermemesine rağmen, YSA kullanılarak yeni nesil teknolojilerde devre modelleme yeteneğini gösterebilmek açısından önemlidir. Zira çalışmanın seyri bu aşamada YSA ile alınan başarılı sonuçlardan sonra, daha karışık denklemler içeren ancak bir o kadar da temel sayılan farksal kuvvetlendirici ve işlemsel kuvvetlendirici devrelerinin transistör boyutlarının belirlenebilmesi üzerine yön kazanmıştır.

Farksal kuvvetlendirici devresinde, kuvvetlendiricinin kazanç ve band genişliği gibi çıkış parametreleri üzerinde durulmuştur. Kuvvetlendirici devresindeki transistörlerin kanal boyları sabit tutulup, kanal genişlikleri belirli aralıklarla taranarak çıkış kazanç ve band genişliği değerleri kaydedilmiştir. Kaydedilen bu değerlerle de YSA ile eğitilmek üzere bir veritabanı oluşturulmuştur. Farklı YSA algoritmaları denenmiş ve en uygun yapıya Bölüm 4’de açıklandığı üzere karar verilmiştir. Bundan sonra tasarımcı istediği kazanç ve band genişliği değerlerini sağlayabilecek farksal kuvvetlendirici devresinin transistör boyutlarını tek bir YSA simülasyonu (YSA’nın test aşaması) ile elde edecektir.

İşlemsel kuvvetlendirici devrelerinde ise kazanç ve band genişliği gibi çıkış parametrelerinin yanında, ortak mod giriş değişim aralığı (ICMR), ortak mod bastırma oranı (CMRR), güç kaynağı bastırma oranı (PSRR), çıkış eğimi (SR) ve devrede harcanan güç gibi parametreler de önem kazanmaktadır. İşlemsel kuvvetlendirici ile farklı teknolojiler için SPICE model parametreleri kullanılarak yapılan simülasyonlarla elde edilen veri tabanında yukarıda bahsedilen tüm özellikler bulunmaktadır. YSA çıkışlarında ise transistör kanal genişlikleri ile beraber kanal boyu değerleri de kullanıcıya verilebilmektedir. Bu çalışma içinde transistörlerin kanal boyu ve kanal genişliği belirli aralıklarla değiştirilmiş ve çok sayıda işlem içeren simülasyonlar yapılmıştır. Bu çalışmanın sonucunda da tasarımcıya kolayca kullanabileceği arayüz programları hazırlanmıştır. Kullanıcı böylece tasarımını yapmak istediği işlemsel kuvvetlendirici devresi için yukarıda belirlenen parametreleri istediği aralıklarda seçtikten sonra daha önceden eğitilmiş yapay sinir ağını yalnızca bir kez test aşamasından geçirerek istediği devre çıkışını sağlayabilen transistör boyutlarını YSA’dan elde edebilecektir.

Son kısımda da birbirlerinden bağımsız üretim firmalarının SPICE model parametreleri bilinmeden YSA ile işlemsel kuvvetlendirici modellemesi yapılmıştır. Böylece tasarımcı daha

önceden bir üretim firmasının parametrelerini kullanarak yaptığı tasarımı farklı bir firmaya göre uyarlamak istediğinde tasarımı yeniden yapmak yerine YSA ile istediği çıkış değerlerini verebilen devre transistör boyutlarını elde edebilmektedir.

Bu tezde yapılan çalışmalar sonucunda, yeni nesil teknolojilerde tasarımı yapılması istenen devre çıkışını sağlayabilen transistör boyutları kısa sürede ve zahmetsizce elde edebilmektedir. Ancak YSA'nın eğitilmesi ve eğitimi için gerekli simülasyonlar oldukça zahmetli işlemler içermektedir. Bir diğer olumsuzluk ise YSA'nın istenen kriterleri sağlayabilen transistör boyutlarını yeni nesil teknoloji için her zaman optimum veremeyişidir. Aynı çıkışı, uzman bir tasarımcı, çok daha küçük transistör boyutları ile sağlayabilmektedir.

Burada önemli olan, kullanıcının, daha önceden tasarımını yaptığı devreyi yeni bir teknoloji ile tasarlamak istediği zaman, işlemlerine sıfırdan başlayıp zaman kaybetmek yerine daha önceden eğitilmiş YSA ile sadece bir adımda gerçekleştirebileceği test işlemi sonucunda devrede istediği transistör boyutlarına ulaşabilmesidir. Bundan sonra devrenin optimizasyonu çok daha kolay olacaktır. Böylece kendi içlerinde giriş katları olarak farksal yapılar veya işlemsel kuvvetlendiriciler içeren büyük yapıların tasarımında zamandan tasarruf sağlanmış olacaktır.

İleriki çalışmalarda gelişen teknoloji ile birlikte transistör boyutlarının kestirimi çalışmaları nanometre seviyelerine düşmüş olan teknolojiler ve daha geniş tümdevreler için yapılabilir. Bunun yanı sıra devre boyutlarını belirleme çalışmaları sadece YSA ile sınırlı kalmayıp, bulanık mantık veya parçacık sürü optimizasyonu gibi farklı yapay zeka algoritmaları ile de denenebilir.

**KAYNAKLAR**

Alibeik, S.A., Nemati, F. ve Sharif-Bakhtiar, M., (1995), "Analog Feedforward Neural Networks with Very Low Precision Weights" Neural Networks, 1995. Proceedings., IEEE International Conference on , vol: 1, pp:90 - 94 27 Nov.-1 Dec. 1995

Allen P.E., Holberg D.R., (2002), CMOS Analog Circuit Design, Oxford University Press, USA; second edition , ISBN-10:0195116445, ISBN-13: 978-0195116441

Avcı, M., (2005), Hibrid Bir Donanımla Yapay Sinir Ağı Gerçekleme AY Tömdevresi, Doktora Tezi, Y.T.Ü., Fen Bilimleri Enstitüsü, Elektronik ve Haberleşme Anabilimdalı.

Avcı, M., Yıldırım T., (2002), "Classification of Escherichia Coli Bacteria by Artificial Neural Networks", IEEE International Symposium on Intelligent Systems, Vol III, Varna, Bulgaristan, pp: 16-20.

Avcı, M., Babaç, Y., Yıldırım, T.,(2003), "Neural Network Based Transistor Modeling and Aspect Ratio Estimation for Yital 1.5 Micron Process", Third International Conference on Electrical and Electronics Engineering, ELECO 2003, Bursa, pp: 54-57.

Ayala, J.L. Lomena, A.G. Lopez-Vallejo, M. ve Fernandez, A., (2002), "Design of a Pipelined Hardware Architecture For Real-Time Neural Network Computations" Circuits and Systems 2002,. The 2002 45th Midwest Symposium on, vol.1, pp:419-422, 4-7 August 2002

Aybay, I., Çetinkaya, S. ve Halıcı, U., (1996), "Classification of Neural Network Hardware" Neural Network World, IDG Co., Vol.6, pp:11-29

Baker R. J., Li H.W. ve Boyce D.E., (1997) CMOS Circuit Design, Layout and Simulation, Willey-IEEE Press, USA.

Beiu, V., (1996), Optimal VLSI Implementations of Neural Network: VLSI-Friendly Learning Algorithms, Chapter 18 J.G. Taylor (ed): Neural Networks and Their Applications, pp.255-276, Wiley, Chichester.

Berg Y., Sigvartsen, Lande T.S. ve Abusland A., (1996), "An Analog Feed-Forward Neural Network with On-chip Learning" Analog Integrated Circuits and Signal Processing, vol 9, pp.65-75.

Bo, G.M., Caviglia, D.D. ve Valle, M. (1996), "A Current Mode CMOS Multi-Layer Perceptron Chip" Microelectronics for Neural Networks, Proceedings of Fifth International Conference on, pp::103 - 106:, 12-14 Feb. 1996

Broomhead D.S. ve Lowe D., (1988) "Multivariable Functional Interpolation and Adaptive Networks", Complex Systems, vol.2, pp.321 – 355.

Bult K. ve Wallinga H., (1987), "A Class of Analog CMOS Circuits Based on the Square-Law Characteristic of an MOS Transistor in Saturation", IEEE Journal of Solid-State Circuits., vol.22, 3.

Cairns G. ve Tarassenko L., (1994), "Learning with Analog VLSI MLPs", Microelectronics for Neural Networks and Fuzzy Systems, 1994., Proceedings of the Fourth International

Conference on, pp:67 – 76 Sept. 1994

Cauwenberghs, G. ve Bayoumi M. A., (1999), *Learning on Silicon: Adaptive VLSI Neural Systems*, Kluwer Academic Publishers, USA.

Chaiyaratana, N. ve Zalzal, A. M. S., (1998), “Evolving Hybrid RBF-MLP Networks Using Combined Genetic/Unsupervised/Supervised Learning”, UKACC Int. Conf. on Control'98, Swansea, UK, IEE Publication 455, vol. 1, pp. 330-335, 1998.

Coşkun, N., Yıldırım, T., (2005), “Konik Kesit Fonksiyonlu Sinir Ağları İle Görüntü Bölütleme”, IEEE 13. SIU, Kurultay kitabı, 16-18 Mayıs 2005, Kayseri.

Dorffner, G., (1994), “Unified frameworks for MLP and RBFNs: Introducing Conic Section Function Networks”, *Cybernetics and Systems*, vol.25. pp. 511-554.

Downs J.W. (2003), *Practical Conic Sections: The Geometric Properties of Ellipses, Parabolas and Hyperbolas*, Dover Publications Inc., Mineola, New York.

El-Masry, E.I., Maundy, B.J. ve Hong-Kui Yang; (1993) “Analog VLSI Current Mode Implementation of Artificial Neural Networks” *Circuits and Systems*, 1993., Proceedings of the 36th Midwest Symposium on, vol.2, pp:1275 – 1278, 16-18 Aug. 1993.

Erkmen B., (2007), “Genel Amaçlı Bir Yapay Sinir Ağının Karma Bir Donanımla Gerçeklenmesi”, Doktora Tezi, Yıldız Teknik Üniversitesi, Türkiye

Erkmen, B. ve Yıldırım, T., (2006), “Conic Section Function Neural Networks for Sonar Target Classification and Performance Evaluation Using ROC Analysis”, *Lecture Notes in Control and Information Sciences*, special issue for Intelligent Computing in Signal Processing and Pattern Recognition, LNCIS 345, pp. 779-784.

Esmaelzadeh, H., Farshbaf, H., Lucas, C., ve Fakhraie, S.M., (2004), “Digital Implementation for Conic Section Function Networks”, *Microelectronics*, 2004. ICM 2004 Proceedings. The 16th International Conference on, pp. 564 – 567, 2004.

Fakhraie S. M. ve Smith K.C., (1997), *VLSI-Compatible Implementations for Artificial Neural Networks*, Kluwer Academic Publishers, USA.

Geske, G., Stupmann, F. ve Wego, A.; (2003) “High Speed Color Recognition With an Analog Neural Network Chip” Geske, G.; Stupmann, F.; Wego, A.; *Industrial Technology*, 2003 IEEE International Conference on , vol. 1, pp:104 – 107, 10-12 Dec. 2003

Girau B., (2000), “FPNA: Interaction Between FPGA and Neural Computation” *Int. Journal on Neural Systems*, vol.10(3), pp. 243-259,

Girau, B., (2001) “On-chip Learning of FPGA-inspired Neural Nets” *Neural Networks*, 2001. Proceedings. IJCNN '01. International Joint Conference on, vol. 1, pp:222 - 227 15-19 July 2001

Güngör G., Kuntman H., Çiftçioğlu S., 2004, “Yüksek Başarılı İşlemsel Kuvvetlendirici Tasarımı Ve Uygulamaları”, ELECO'2004: Elektrik-Elektronik ve Bilgisayar Mühendisliği Sempozyumu, Bursa, Bildiri Kitabı (Elektronik-Bilgisayar), pp: 68-72

- Harrison, R.R., Hasler, P. ve Minch B.A., (1998) "Floating-Gate CMOS Analog Memory Cell Array", Circuits and Systems, ISCAS'98, Proceedings of IEEE International Symposium on, vol.2, pp.204-207, 31 May-3 June 1998, Monterey.
- Hastings A., (2006), "The Art of Analog Layout", Perason Prentice Hall, Second ed., USA,
- Haykin S., (1994), "Neural Networks: A Comprehensive Foundation", MacMillan College Publishing Company, Newyork.
- Hikawa H., (1995), "Implementation of Simplified Multilayer Neural Networks with On-Chip Learning", IEEE International Conference on Neural Networks,vol.:4, pp:1633 - 1637.
- Hoeschele D.F., (1994), Analog-to-Digital and Digital-to-Analog Conversion Techniques, John Wiley & Sons Press, USA.
- Kier, R.J., Harrison, R.R. ve Beer, R.D. (2004) "An MDAC Synapse for Analog Neural Networks" Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on, vol. 5, pp.752 -755
- Leong, P.H.W. ve Jabri, M.A.; (1995), "A Low-Power VLSI Arrhythmia Classifier" Neural Networks, IEEE Transactions on , vol: 6, Issue: 6, pp:1435 – 1445.
- Liu, B.D., Chen C.Y ve Tsao J.Y, (2000), "A Modular Current-Mode Classifier Circuit for Template Matching Application" IEEE Transactions on Circuits and Systems—II: Analog And Digital Signal Processing, vol. 47, no. 2.
- Lu, C., Shi, B ve Chen, L., (2001), "A Programmable On-Chip BP Learning Neural Network with Enhanced Neuron Characteristics" Circuits and Systems, 2001. ISCAS 2001. The 2001 IEEE International Symposium on, vol. 3, pp:573 - 576
- Maffezzoni, P. ve Gubian, P., (1994), "VLSI Design Of Radial Functions Hardware Generator for Neural Computations", Microelectronics for Neural Networks and Fuzzy Systems, 1994., Proceedings of the Fourth International Conference on, pp.252-259.
- McCulloch, W.S., Pitts, W. H., (1943), "A Logical Calculus of the Ideas Imminent in Nervous Activity", Bull, Math. Biophy., vol. 5, pp. 115-133.
- Mead C., (1989), Analog VLSI and Neural Systems, Addison Wesley: Reading MA.
- Minsky M., Papert S. A (1988/1969), "Perceptrons: An Introduction to Computational Geometry", MIT Press, Cambridge, MA, expanded edition.
- Montalvo A.J., Gyurcsik R.S. ve Paulos J.J. (1997) "Toward a General-Purpose Analog VLSI Neural Network with On-Chip Learning" IEEE Transactions on Neural Networks, Vol. 8, No.2, pp.413-423.
- Moody J., ve Darken C. (1989), "Fast Learning in Networks of Locally-Tuned Processing Units", Neural Computation vol.1, pp.281- 294.
- Ojala, P., Saarinen, J., Kaski, K., (1994), "Neurodevice - Neural Network Device Modeling Interface For VLSI Design", Neural Networks for Signal Processing IV, Proceedings of the

IEEE Workshop pp: 641 - 650

Ojala, P., Saarinen, J., Kaski, K., (1995), "Device Modeling for VLSI Circuit Design with Technology Independent Neural Network Interface", Proceedings of the 37th Midwest Symposium on Circuits and Systems, Volume 1, pp:688 - 693

Ojala, P., Saarinen, J., Elo, P., Kaski, K., (1995), "Novel Technology Independent Neural Network Approach On Device Modeling Interface", IEE Proceedings on Circuits, Devices and Systems, Vol. 142, [Is. 1](#), pp(s):74-82.

Oltean, G., Miron, C., Zahan, S., Gordan, M., (2000), "A Fuzzy Optimization Method for CMOS Operational Amplifier Design", Proceedings of the 5th Seminar on Neural Network Applications in Electrical Engineering, NEUREL, pp (s):152-157

Özyılmaz, L., (2000), Konik Kesit Fonksiyonlu Yapay Sinir Ağında Öğrenme Algoritmasının Geliştirilmesi ve Ağın Çeşitli Problemler için Performansı ile Duyarlılığının İncelenmesi, Doktora Tezi, Yıldız Teknik Üniversitesi, Türkiye

Pavan P., Bez R., Olivo P. ve Zaroni E., (1997) "Flash Memory Cells-An Overview" Proceedings of the IEEE, vol 85, no:8. pp:1248 – 1271.

Pavan P., Larcher L. ve Marmiroli A., (2004) "Floating Gate Devices: Operation and Compact Modeling" Kluwer Academic Publishers, USA,

Prasanna, C. S. S., Sudha, N. ve Kamakoti, V., (2005), "A Principal Component Neural Network-Based Face Recognition System and ASIC Implementation", VLSI Design, 2005. 18th International Conference on, pp:795 – 798.

Reaz, M.B.I., Islam, S.Z., Ali, M.A.M. ve Sulaiman, M.S.; (2002), "FPGA Realization of Backpropagation for Stock Market Prediction", Neural Information Processing, 2002. ICONIP '02. Proceedings of the 9th International Conference on, vol.2, pp.960-964,18-22 Nov. 2002.

Rumelhart D.E., Hinton G.E. ve Williams R.J., (1986), Learning Internal Representations by Error Back Propagation, in: Rumelhart D.E., McClelland J.L. (eds.): Parallel Distributed Processing, voll. I, MIT Press.

Sackinger, E., Boser, B.E., Bromley, J., LeCun, Y. ve Jackel, L.D., (1992), "Application of the ANNA Neural Network Chip to High-Speed Character Recognition" Neural Networks, IEEE Transactions on, vol 3, Issue 3, pp:498 – 505.

Schmid, A., Leblebici, Y. ve Mlynek, D., (1999), "Mixed Analogue-Digital Artificial-Neural-Network Architecture with On-Chip Learning" Circuits, Devices and Systems, IEE ,vol 146, Issue: 6, pp.345 – 349.

Senol C., (2004), Standart ve Hibrid Yapılar Kullanarak Yapay Sinir Ağları ile İmza Tanıma, Yüksek Lisans Tezi, Y.T.Ü., Fen Bilimleri Enstitüsü, Elektronik ve Haberleme Anabilimdalı.

Şenol, C. ve Yıldırım, T., (2005) "Signature verification Using Conic Section Function Neural Network", Lecture Notes in Computer Science, LNCS 3733, 2005, pp. 524 – 532.

Sharma. A. K., (2003), *Advanced Semiconductor Memories, Architectures and Applications*, Wiley -Interscience IEEE Press, USA.

Sheu, ve Choi, J. (1995), *Neural Information Processing and VLSI*, Kluwer Academic Publishers, USA.

Snyman Jan A. (2005), *Practical Mathematical Optimization: An Introduction to Basic Optimization Theory and Classical and New Gradient-Based Algorithms*. Springer Yayıncılık, ISBN 0-387-24348-8

Valle, M., Caviglia, D.D. ve Bisio, G.M., (1992) "Design of a CMOS ASIC Chip Featuring Analog Neural Computational Primitives" *Euro ASIC '92, Proceedings*. pp.113-118

Vural, R. A., Özyılmaz, L. ve Yıldırım, T., (2006), "A Comparative Study on Computerised Diagnostic Performance of Hepatitis Disease Using ANNs", *Lecture Notes in Artificial Intelligence, special issue for Computational Intelligence, LNAI 4114*, pp. 1172-1182.

Waheed, K. ve Salam, F.M. (2001) "A Mixed Mode Self-Programming Neural System-On-Chip for Real-Time Applications" *Neural Networks, 2001. Proceedings. IJCNN '01. International Joint Conference on*, vol. 1, vol.1, pp.195 - 200

Watanabe, T.; Kimura, K.; Aoki, M.; Sakata, T.; Ito, K.; "A Single 1.5-V Digital Chip for a  $10^6$  Synapse Neural Network" *Neural Networks, IEEE Transactions on* , vol: 4 , Issue: 3, Pages:387 – 393, May 1993, Vol.1, 4-7, pp:419-422

Werbos P., (1974), *Beyond Regression: New Tools for Prediction and Analysis in the Behavioral Sciences*, Harvard University, Ph.D. Dissertation.

Yang., F. ve Paindavoine, M., (2003), "Implementation of an RBF Neural Network On Embedded Systems: Real-Time Face Tracking and Identity Verification" *Neural Networks, IEEE Transactions on*, vol: 14, Issue: 5, pp:1162 – 1175.

Yıldırım T., (1997), "Development of Conic Section Function Neural Networks in Software and Analogue Hardware", *Doktora Tezi*, University of Liverpool.

**INTERNET KAYNAKLARI**

[1] <http://www.mosis.org>



**EKLER**

- Ek 1 MOSIS-AMIS 1.5 $\mu$ m Proses ve model parametreleri
- Ek 2 MOSIS-AMIS 0.5 $\mu$ m Proses ve model parametreleri
- Ek 3 MOSIS-AMIS 0.35 $\mu$ m Proses ve model parametreleri
- Ek 4 MOSIS-TSMC 0.35 $\mu$ m Proses ve model parametreleri
- Ek 5 MOSIS-TSMC 0.25 $\mu$ m Proses ve model parametreleri
- Ek 6 MOSIS-TSMC 0.18 $\mu$ m Proses ve model parametreleri
- Ek 7 MOSIS-IBM 0.35 $\mu$ m Proses ve model parametreleri

**Ek 1 MOSIS-AMIS 1.5µm Proses ve Model Parametreleri**

MOSIS WAFER ACCEPTANCE TESTS

RUN: T83T  
 TECHNOLOGY: SCN15  
 microns

VENDOR: AMIS  
 FEATURE SIZE: 1.6

Run type: SKD

INTRODUCTION: This report contains the lot average results obtained by  
 MOSIS

from measurements of MOSIS test structures on each wafer of  
 this fabrication lot. SPICE parameters obtained from similar  
 measurements on a selected wafer are also attached.

COMMENTS: SCNA16\_AMIS

TRANSISTOR PARAMETERS	W/L	N-CHANNEL	P-CHANNEL	UNITS
MINIMUM Vth	4.0/1.6	0.59	-1.03	volts
SHORT Idss	20.0/1.6	187	-69	uA/um
Vth		0.55	-0.98	volts
Vpt		10.0	-10.0	volts
WIDE Ids0	20.0/1.6	< 2.5	< 2.5	pA/um
LARGE Vth	50/50	0.59	-0.93	volts
Vjbkd		16.6	-14.8	volts
Ijlk		<50.0	<50.0	pA
Gamma		0.64	0.48	V^0.5
K' (Uo*Cox/2)		35.4	-11.6	uA/V^2
Low-field Mobility		647.91	212.31	cm^2/V*s

COMMENTS: Poly bias varies with design technology. To account for mask  
 bias use the appropriate value for the parameter XL in your  
 SPICE model card.

Design Technology	XL (um)
SCN (lambda=0.8)	0.00

POLY2 TRANSISTORS	W/L	N-CHANNEL	P-CHANNEL	UNITS
MINIMUM Vth	4.8/3.2	0.93	-1.17	volts
SHORT Vth	9.6/3.2	0.92	-1.13	volts
LARGE Vth	28.8/28.	0.93	-1.12	volts
K' (Uo*Cox/2)		21.1	-6.5	uA/V^2
FOX TRANSISTORS	GATE	N+ACTIVE	P+ACTIVE	UNITS



CIRCUIT PARAMETERS			UNITS
Inverters	K		
Vinv	1.0	1.78	volts
Vinv	1.5	2.06	volts
Vol (100 uA)	2.0	0.42	volts
Voh (100 uA)	2.0	4.31	volts
Vinv	2.0	2.25	volts
Gain	2.0	-15.42	
Ring Oscillator Freq.			
DIV64 (31-stg,5.0V)		40.32	MHz
Ring Oscillator Power			
DIV64 (31-stg,5.0V)		1.50	uW/MHz/gate

T83T SPICE LEVEL3 parameters are available for classroom instructional purposes but not for actual IC design work.

```
* DATE: Apr 21/08
* LOT: T83T                WAF: 9102
* DIE: N_Area_Fring       DEV: N3740/10
* Temp= 27
.MODEL CMOSN NMOS (
+ TOX      = 3.16E-8          NSUB   = 1.076635E16    GAMMA  = 0.7683227
+ PHI      = 1                VTO   = 0.6139639    DELTA  = 0.6363466
+ UO       = 540.5166232     ETA   = 7.102441E-4    THETA  = 0.0725637
+ KP       = 7.372278E-5     VMAX  = 2.603588E5    KAPPA  = 0.5
+ RSH      = 22.1568863      NFS   = 5.567912E11   TPG    = 1
+ XJ       = 3E-7            LD    = 8.001696E-15  WD     = 6.432153E-7
+ CGDO     = 2.56E-10        CGSO  = 2.56E-10      CGBO   = 1E-10
+ CJ       = 2.872567E-4     PB    = 0.8226187    MJ     = 0.5
+ CJSW     = 1.141246E-10    MJSW  = 0.05         )
*
```

```
* DATE: Apr 21/08
* LOT: T83T                WAF: 9102
* DIE: P_Area_Fring       DEV: P3740/10
* Temp= 27
.MODEL CMOSP PMOS (
+ TOX      = 3.16E-8          NSUB   = 1E17          GAMMA  = 0.4983453
+ PHI      = 0.7              VTO   = -0.9427842    DELTA  = 0.3016627
+ UO       = 101.6231199     ETA   = 1.439377E-4    THETA  = 0.1285575
+ KP       = 2.421504E-5     VMAX  = 1.341191E5    KAPPA  = 50
+ RSH      = 0                NFS   = 5.548753E11   TPG    = -1
+ XJ       = 2E-7            LD    = 1.00095E-14   WD     = 9.558722E-7
+ CGDO     = 2.65E-10        CGSO  = 2.65E-10      CGBO   = 1E-10
+ CJ       = 3.018089E-4     PB    = 0.8            MJ     = 0.4534709
+ CJSW     = 1.586951E-10    MJSW  = 0.0859905    )
*
```

T83T SPICE BSIM3 VERSION 3.1 PARAMETERS

SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8

```
* DATE: Apr 21/08
* LOT: T83T                WAF: 9102
* Temperature_parameters=Default
.MODEL CMOSN NMOS (
+VERSION = 3.1              TNOM   = 27           TOX    = 3.16E-8
+XJ      = 3E-7             NCH   = 7.5E16        VTH0  = 0.5532293
+K1      = 0.9035181        K2    = -0.0643307    K3    = 2.5479002
+K3B     = -2.8027479      W0    = 3.208573E-6   NLX   = 2.437748E-8

```

```

+DVT0W = 0          DVT1W = 0          DVT2W = 0
+DVT0  = 0.7417824  DVT1  = 0.4992713  DVT2  = -0.4963435
+U0    = 668.7098806 UA    = 1.606939E-9  UB    = 1.161183E-18
+UC    = 2.084488E-11 VSAT  = 1.15642E5    A0    = 0.5520578
+AGS   = 0.0735062  B0    = 2.123316E-6 B1    = 5E-6
+KETA  = -3.240368E-3 A1    = 0          A2    = 1
+RDSW  = 3E3        PRWG  = -0.0295407 PRWB  = -0.0293523
+WR    = 1          WINT  = 6.860525E-7 LINT  = 2.905606E-7
+XL    = 0          XW    = 0          DWG   = -2.112208E-8
+DWB   = 2.909887E-8 VOFF  = -0.0475545 NFACTOR = 0.7389868
+CIT   = 0          CDSC  = 2.230152E-6 CDSCD  = 2.587466E-6
+CDSCB = 1.055349E-4 ETA0  = -0.0329209  ETAB  = -6.587451E-3
+DSUB  = 5.634216E-3 PCLM  = 0.1186109 PDIBLC1 = 0.0110461
+PDIBLC2 = 3.644817E-3 PDIBLCB = -0.1    DROUT  = 0.0795384
+PSCBE1 = 2.153596E9 PSCBE2 = 5.005E-10 PVAG   = 0.2222499
+DELTA = 0.01      RSH   = 53.2    MOBMOD = 1
+PRT   = 0          UTE   = -1.5    KT1    = -0.11
+KT1L  = 0          KT2   = 0.022  UA1    = 4.31E-9
+UB1   = -7.61E-18 UC1   = -5.6E-11 AT     = 3.3E4
+WL    = 0          WLN   = 1      WW     = 0
+WWN   = 1          WWL   = 0      LL     = 0
+LLN   = 1          LW    = 0      LWN    = 1
+LWL   = 0          CAPMOD = 2      XPART  = 0.5
+CGDO  = 2.56E-10  CGSO  = 2.56E-10 CGBO   = 1E-9
+CJ    = 2.823234E-4 PB    = 0.99    MJ     = 0.547221
+CJSW  = 1.292241E-10 PBSW  = 0.99    MJSW  = 0.1
+CJSWG = 6.4E-11   PBSWG  = 0.99  MJSWG = 0.1
+CF    = 0          )
*

```

```

.MODEL CMOSF PMOS (
+VERSION = 3.1      TNOM   = 27      LEVEL  = 49
+XJ     = 3E-7     NCH   = 2.4E16  TOX    = 3.16E-8
+K1     = 0.4513608 K2    = 2.379699E-5 VTH0   = -0.8476404
+K3B    = -2.2238332 W0    = 9.577236E-7 K3     = 13.3278347
+DVT0W = 0        DVT1W = 0        NLX    = 1E-6
+DVT0  = 2.8137786 DVT1  = 0.7604621 DVT2W = 0
+U0    = 236.8923827 UA    = 3.833306E-9 DVT2  = -0.052421
+UC    = -1.08562E-10 VSAT  = 1.159861E5  UB    = 1.487688E-21
+AGS   = 0.259481  B0    = 3.299132E-6 A0    = 0.9443065
+KETA  = 9.832612E-4 A1    = 0          B1    = 5E-6
+RDSW  = 3E3        PRWG  = 0.0729646 PRWB  = -0.1851255
+WR    = 1          WINT  = 7.565065E-7 LINT  = 1.415433E-7
+XL    = 0          XW    = 0          DWG   = -2.13917E-8
+DWB   = 3.857544E-8 VOFF  = -0.0877184 NFACTOR = 0.2508342
+CIT   = 0          CDSC  = 2.924806E-5 CDSCD  = 1.497572E-4
+CDSCB = 1.091488E-4 ETA0  = 0.25103    ETAB  = 4.268713E-3
+DSUB  = 0.2873    PCLM  = 6.403032E-10 PDIBLC1 = 7.477411E-4
+PDIBLC2 = 3.271335E-3 PDIBLCB = -1E-3    DROUT  = 1E-3
+PSCBE1 = 3.515038E9 PSCBE2 = 5.273648E-10 PVAG   = 14.985
+DELTA = 0.01      RSH   = 77.3    MOBMOD = 1
+PRT   = 0          UTE   = -1.5    KT1    = -0.11
+KT1L  = 0          KT2   = 0.022  UA1    = 4.31E-9
+UB1   = -7.61E-18 UC1   = -5.6E-11 AT     = 3.3E4
+WL    = 0          WLN   = 1      WW     = 0
+WWN   = 1          WWL   = 0      LL     = 0
+LLN   = 1          LW    = 0      LWN    = 1
+LWL   = 0          CAPMOD = 2      XPART  = 0.5
+CGDO  = 2.65E-10  CGSO  = 2.65E-10 CGBO   = 1E-9
+CJ    = 3.017493E-4 PB    = 0.8     MJ     = 0.4487672
+CJSW  = 1.634365E-10 PBSW  = 0.99    MJSW  = 0.1219817
+CJSWG = 3.9E-11   PBSWG  = 0.99  MJSWG = 0.1219817
+CF    = 0          )

```

## Ek 2 MOSIS-AMIS 0.5µm Proses ve Model Parametreleri

### MOSIS PARAMETRIC TEST RESULTS

RUN: T15M  
TECHNOLOGY: SCN05

VENDOR: AMI  
FEATURE SIZE: 0.5 microns

#### INTRODUCTION:

This report contains the lot average results obtained by MOSIS from measurements of MOSIS test structures on each wafer of this fabrication lot. SPICE parameters obtained from similar measurements on a selected wafer are also attached.

COMMENTS: American Microsystems, Inc. C5N

TRANSISTOR PARAMETERS	W/L	N-CHANNEL	P-CHANNEL	UNITS
MINIMUM	3.0/0.6			
Vth		0.81	-0.92	volts
SHORT	20.0/0.6			
Idss		465	-257	uA/um
Vth		0.70	-0.90	volts
Vpt		10.0	-10.0	volts
WIDE	20.0/0.6			
Ids0		< 2.5	< 2.5	pA/um
LARGE	50/50			
Vth		0.72	-0.94	volts
Vjbkd		11.6	-11.6	volts
Ijlk		<50.0	<50.0	pA
Gamma		0.47	0.57	V^0.5
K' (Uo*Cox/2)		58.6	-19.3	uA/V^2
Low-field Mobility		471.78	155.38	cm^2/V*s

COMMENTS: Poly bias varies with design technology. To account for mask and etch bias use the appropriate value for the parameter XL in your SPICE model card.

Design Technology	XL
SCN_SUBM (lambda=0.30)	0.00
AMI_C5	0.00
SCN (lambda=0.35)	-0.10

FOX TRANSISTORS	GATE	N+ACTIVE	P+ACTIVE	UNITS
Vth	Poly	>15.0	<-15.0	volts

PROCESS PARAMETERS	N+ACTV	P+ACTV	POLY	PLY2_HR	POLY2	MTL1	MTL2	UNITS
Sheet Resistance	80.1	104.1	21.6	1097	41.1	0.08	0.09	ohms/sq
Contact Resistance	60.9	143.2	15.8		27.3		0.79	ohms

Gate Oxide Thickness 139 angstrom

PROCESS PARAMETERS	MTL3	N\PLY	N_WELL	UNITS
Sheet Resistance	0.05	831	828	ohms/sq
Contact Resistance	0.76			ohms

COMMENTS: N\POLY is N-well under polysilicon.

CAPACITANCE PARAMETERS	N+ACTV	P+ACTV	POLY	POLY2	M1	M2	M3	N_WELL	UNITS
Area (substrate)	428	731	88		32	16	10	41	aF/um <sup>2</sup>
Area (N+active)			2491		36	16	12		aF/um <sup>2</sup>
Area (P+active)			2425						aF/um <sup>2</sup>
Area (poly)				881	52	16	9		aF/um <sup>2</sup>
Area (poly2)					47				aF/um <sup>2</sup>
Area (metall)						32	13		aF/um <sup>2</sup>
Area (metal2)							36		aF/um <sup>2</sup>
Fringe (substrate)	322	262			76	59	40		aF/um
Fringe (poly)					61	38	28		aF/um
Fringe (metall)						53	34		aF/um
Fringe (metal2)							51		aF/um
Overlap (N+active)			207						aF/um
Overlap (P+active)			238						aF/um

CIRCUIT PARAMETERS			UNITS
Inverters	K		
Vinv	1.0	2.13	volts
Vinv	1.5	2.39	volts
Vol (100 uA)	2.0	0.23	volts
Voh (100 uA)	2.0	4.76	volts
Vinv	2.0	2.57	volts
Gain	2.0	-21.19	
Ring Oscillator Freq.			
DIV256 (31-stg,5.0V)		98.00	MHz
D256_WIDE (31-stg,5.0V)		151.14	MHz
Ring Oscillator Power			
DIV256 (31-stg,5.0V)		0.49	uW/MHz/gate
D256_WIDE (31-stg,5.0V)		1.02	uW/MHz/gate

COMMENTS: SUBMICRON

T15M SPICE BSIM3 VERSION 3.1 PARAMETERS

SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8

```
* DATE: Jul 20/01
* LOT: T15M WAF: 0206
* Temperature_parameters=Default
.MODEL CMOSN NMOS (
+VERSION = 3.1 TNOM = 27 LEVEL = 49
+XJ = 1.5E-7 NCH = 1.7E17 TOX = 1.39E-8
+K1 = 0.8896025 K2 = -0.0979155 K3 = 23.8061513
+K3B = -7.7691025 W0 = 1E-8 NLX = 1E-9
+DVT0W = 0 DVT1W = 0 DVT2W = 0
+DVT0 = 2.876542 DVT1 = 0.4218664 DVT2 = -0.1397962
+U0 = 451.8826245 UA = 1E-13 UB = 1.489875E-18
+UC = 1.893684E-11 VSAT = 1.704053E5 A0 = 0.5662277
```

+AGS	= 0.1198161	B0	= 2.705871E-6	B1	= 5E-6
+KETA	= -2.301173E-3	A1	= 7.285662E-5	A2	= 0.3586004
+RDSW	= 1.159376E3	PRWG	= 0.0531026	PRWB	= 0.0349044
+WR	= 1	WINT	= 2.360078E-7	LINT	= 2.450767E-8
+XL	= 0	XW	= 0	DWG	= -1.296776E-8
+DWB	= 5.50766E-8	VOFF	= 0	NFACTOR	= 0.821639
+CIT	= 0	CDSC	= 2.4E-4	CDSCD	= 0
+CDSCB	= 0	ETA0	= 1.688074E-3	ETAB	= -8.785487E-4
+DSUB	= 0.1390103	PCLM	= 2.4002094	PDIBLC1	= -0.0558623
+PDIBLC2	= 2.163004E-3	PDIBLCB	= -0.118451	DROUT	= 0.385872
+PSCBE1	= 5.569704E8	PSCBE2	= 5.935496E-5	PVAG	= 0
+DELTA	= 0.01	RSH	= 80.1	MOBMOD	= 1
+PRT	= 0	UTE	= -1.5	KT1	= -0.11
+KT1L	= 0	KT2	= 0.022	UA1	= 4.31E-9
+UB1	= -7.61E-18	UC1	= -5.6E-11	AT	= 3.3E4
+WL	= 0	WLN	= 1	WW	= 0
+WWN	= 1	WWL	= 0	LL	= 0
+LLN	= 1	LW	= 0	LWN	= 1
+LWL	= 0	CAPMOD	= 2	XPART	= 0.5
+CGDO	= 2.07E-10	CGSO	= 2.07E-10	CGBO	= 1E-9
+CJ	= 4.256515E-4	PB	= 0.99	MJ	= 0.447835
+CJSW	= 3.329281E-10	PBSW	= 0.1	MJSW	= 0.1169342
+CJSWG	= 1.64E-10	PBSWG	= 0.1	MJSWG	= 0.1169342
+CF	= 0	PVTH0	= 0.0661673	PRDSW	= 201.5784264
+PK2	= -0.0327168	WKETA	= -0.0250765	LKETA	= 6.176997E-3

)

.MODEL CMOSP PMOS (		LEVEL	= 49	
+VERSION = 3.1	TNOM	= 27	TOX	= 1.39E-8
+XJ = 1.5E-7	NCH	= 1.7E17	VTH0	= -0.9259178
+K1 = 0.5493891	K2	= 8.966666E-3	K3	= 8.9116777
+K3B = -0.5844741	W0	= 1E-8	NLX	= 7.795747E-8
+DVT0W = 0	DVT1W	= 0	DVT2W	= 0
+DVT0 = 2.6496816	DVT1	= 0.5037615	DVT2	= -0.0963638
+U0 = 216.8004604	UA	= 2.933658E-9	UB	= 1E-21
+UC = -5.60899E-11	VSAT	= 2E5	A0	= 0.8656114
+AGS = 0.1446194	B0	= 8.79758E-7	B1	= 5E-6
+KETA = -3.911589E-3	A1	= 0	A2	= 0.3
+RDSW = 3E3	PRWG	= -0.054537	PRWB	= -0.0379172
+WR = 1	WINT	= 2.899182E-7	LINT	= 4.581285E-8
+XL = 0	XW	= 0	DWG	= -1.617949E-8
+DWB = 2.330863E-8	VOFF	= -0.063762	NFACTOR	= 0.9168444
+CIT = 0	CDSC	= 2.4E-4	CDSCD	= 0
+CDSCB = 0	ETA0	= 0.0228777	ETAB	= -0.112099
+DSUB = 1	PCLM	= 2.0845927	PDIBLC1	= 0.1016884
+PDIBLC2 = 5.000285E-3	PDIBLCB	= -0.0444413	DROUT	= 0.292315
+PSCBE1 = 1.444005E10	PSCBE2	= 1.405429E-9	PVAG	= 0
+DELTA = 0.01	RSH	= 104.1	MOBMOD	= 1
+PRT = 0	UTE	= -1.5	KT1	= -0.11
+KT1L = 0	KT2	= 0.022	UA1	= 4.31E-9
+UB1 = -7.61E-18	UC1	= -5.6E-11	AT	= 3.3E4
+WL = 0	WLN	= 1	WW	= 0
+WWN = 1	WWL	= 0	LL	= 0
+LLN = 1	LW	= 0	LWN	= 1
+LWL = 0	CAPMOD	= 2	XPART	= 0.5
+CGDO = 2.38E-10	CGSO	= 2.38E-10	CGBO	= 1E-9
+CJ = 7.275007E-4	PB	= 0.9494394	MJ	= 0.4937011
+CJSW = 2.884359E-10	PBSW	= 0.99	MJSW	= 0.3331605
+CJSWG = 6.4E-11	PBSWG	= 0.99	MJSWG	= 0.3331605
+CF = 0	PVTH0	= 5.98016E-3	PRDSW	= 14.8598424
+PK2 = 3.73981E-3	WKETA	= 5.957334E-3	LKETA	= -3.385326E-3

)



**Ek 3 MOSIS-AMIS 0.35 $\mu$ m Proses ve Model Parametreleri**

## MOSIS PARAMETRIC TEST RESULTS

RUN: T46W  
 TECHNOLOGY: SCN035  
 microns

VENDOR: AMIS  
 FEATURE SIZE: 0.35

INTRODUCTION: This report contains the lot average results obtained by MOSIS

from measurements of MOSIS test structures on each wafer of this fabrication lot. SPICE parameters obtained from similar measurements on a selected wafer are also attached.

COMMENTS: SMSCN4ME04\_AMI

TRANSISTOR PARAMETERS	W/L	N-CHANNEL	P-CHANNEL	UNITS
MINIMUM Vth	0.6/0.4	0.55	-0.47	volts
SHORT Idss	20.0/0.4	505	-241	$\mu$ A/ $\mu$ m
Vth		0.53	-0.50	volts
Vpt		10.0	-9.5	volts
WIDE Ids0	20.0/0.4	< 2.5	< 2.5	pA/ $\mu$ m
LARGE Vth	50/50	0.45	-0.54	volts
Vjbkd		9.3	-9.2	volts
Ijlk		<50.0	<50.0	pA
Gamma		0.44	0.47	V <sup>0.5</sup>
K' (Uo*Cox/2)		93.1	-22.2	$\mu$ A/V <sup>2</sup>
Low-field Mobility		431.39	102.87	cm <sup>2</sup> /V*s

COMMENTS: XL\_AMI\_C30

FOX TRANSISTORS	GATE		N+ACTIVE		P+ACTIVE		UNITS
Vth	Poly		>10.0		<-10.0		volts
PROCESS PARAMETERS	N+	P+	POLY	POLY2	N+BLK	PLY+BLK	M1
UNITS							
Sheet Resistance	3.9	2.8	2.7	9.9	92.7	789.5	0.06
ohms/sq							
Contact Resistance	4.0	3.2	3.9	3.8			ohms
Gate Oxide Thickness	80						
angstrom							
PROCESS PARAMETERS	M2	M3	M4	POLY2_ME	N\PLY	N_W	
UNITS							
Sheet Resistance	0.06	0.06	0.05	3.0	1356	1308	
ohms/sq							
Contact Resistance	2.15	1.72	1.64				
ohms							

COMMENTS: N\POLY is N-well under polysilicon.

CAPACITANCE PARAMETERS	N+	P+	POLY	POLY2	M1	M2	M3	M4	N_W
UNITS									
Area (substrate)	1009	983	112		31	17	7	--	100
aF/um <sup>2</sup>									
Area (N+active)			4339		40	17	12	10	
aF/um <sup>2</sup>									
Area (P+active)			4176						
aF/um <sup>2</sup>									
Area (poly)				922	50	15	9	6	
aF/um <sup>2</sup>									
Area (poly2)					52				
aF/um <sup>2</sup>									
Area (metall1)						32	12	8	
aF/um <sup>2</sup>									
Area (metal2)							31	13	
aF/um <sup>2</sup>									
Area (metal3)								37	
aF/um <sup>2</sup>									
Fringe (substrate)	273	294			47	32	--	13	
aF/um									
Fringe (poly)					69	38	28	23	
aF/um									
Fringe (metall1)						62	34	26	
aF/um									
Fringe (metal2)							60	33	
aF/um									
Fringe (metal3)								51	
aF/um									
Overlap (N+active)			258						
aF/um									
Overlap (P+active)			312						
aF/um									

CIRCUIT PARAMETERS			UNITS
Inverters	K		
Vinv	1.0	1.33	volts
Vinv	1.5	1.48	volts
Vol (100 uA)	2.0	0.30	volts
Voh (100 uA)	2.0	2.87	volts
Vinv	2.0	1.60	volts
Gain	2.0	-17.23	
Ring Oscillator Freq.			
DIV256 (31-stg,3.3V)		154.27	MHz
Ring Oscillator Power			
DIV256 (31-stg,3.3V)		0.16	uW/MHz/gate

COMMENTS: SUBMICRON

T46W SPICE BSIM3 VERSION 3.1 PARAMETERS

SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8

```

* DATE: Sep 14/04
* LOT: T46W WAF: 1102
* Temperature_parameters=Default
.MODEL CMOSN NMOS (
+VERSION = 3.1 TNOM = 27 LEVEL = 49
+XJ = 1E-7 NCH = 2.2E17 TOX = 8E-9
+K1 = 0.4728294 K2 = 3.621074E-3 K3 = 70.0489524
+K3B = -10 W0 = 1.830495E-5 NLX = 2.193565E-7
+DVT0W = 0 DVT1W = 0 DVT2W = 0
+DVT0 = 0.802594 DVT1 = 0.4276766 DVT2 = -0.3

```

```

+U0      = 361.3464355      UA      = -9.67751E-10      UB      = 2.889157E-18
+UC      = 4.669186E-11    VSAT    = 1.898742E5        A0      = 1.3381235
+AGS     = 0.2592162       B0      = 2.220067E-6      B1      = 5E-6
+KETA    = -9.077245E-3    A1      = 0                A2      = 0.3487525
+RDSW    = 780.376869     PRWG    = 0.0713836      PRWB    = -7.21866E-3
+WR      = 1               WINT    = 1.389179E-7    LINT    = 1.24319E-9
+DWG     = -1.034792E-8    DWB     = 9.824117E-9    VOFF    = -0.0869274
+NFACTOR = 0.7366118      CIT      = 0                CDSC    = 2.4E-4
+CDSCD   = 0              CDSCB   = 0                ETA0    = 0.0346215
+ETAB    = -7.988336E-3   DSUB    = 0.3317286     PCLM    = 1.9546403
+PDIBLC1 = 4.161735E-3    PDIBLC2 = 1.19743E-5     PDIBLCB = 0.1
+DROUT   = 2.748338E-3    PSCBE1  = 7.42428E8     PSCBE2  = 1E-3
+PVAG    = 0              DELTA   = 0.01            RSH     = 3.9
+MOBMOD  = 1              PRT     = 0                UTE     = -1.5
+KT1     = -0.11         KT1L    = 0                KT2     = 0.022
+UA1     = 4.31E-9       UB1     = -7.61E-18     UC1     = -5.6E-11
+AT      = 3.3E4         WL      = 0                WLN     = 1
+WW      = 0              WWN     = 1                WWL     = 0
+LL      = 0              LLN     = 1                LW      = 0
+LWN     = 1              LWL     = 0                CAPMOD  = 2
+XPART   = 0.5           CGDO    = 2.58E-10     CGSO    = 2.58E-10
+CGBO    = 1E-12         CJ      = 1.012513E-3   PB      = 0.8
+MJ      = 0.3510986     CJSW    = 2.862666E-10  PBSW    = 0.8
+MJSW    = 0.1518459    CJSWG   = 1.82E-10     PBSWG   = 0.8
+MJSWG   = 0.1518459    CF      = 0                PVTH0   = -0.0100437
+PRDSW   = -73.5674578  PK2     = 3.087074E-3   WKETA   = 3.003636E-3
+LKETA   = 2.647195E-3  )
*
.MODEL CMOSP PMOS (
+VERSION = 3.1            TNOM    = 27           LEVEL   = 49
+XJ      = 1E-7          NCH     = 8.52E16      TOX     = 8E-9
+K1      = 0.3939412     K2      = 0.0308482   VTH0    = -0.6831778
+K3B     = 15.35112     W0      = 1E-5        K3      = 0
+DVT0W   = 0            DVT1W   = 0           NLX     = 1E-9
+DVT0    = 1.4617205    DVT1    = 0.3569339  DVT2W   = 0
+U0      = 221.3795636   UA      = 1.573901E-9  DVT2    = -0.0368562
+UC      = 8.567678E-11 VSAT    = 2E5          UB      = 5E-18
+AGS     = 0.389467     B0      = 2.419633E-6  A0      = 1.999067
+KETA    = -6.020293E-3 A1      = 4.394989E-5  B1      = 5E-6
+RDSW    = 4E3          PRWG    = -0.2146377  A2      = 0.6320223
+WR      = 1            WINT    = 1.569174E-7  PRWB    = 0.1688991
+DWG     = -2.578547E-8 DWB     = 9.89001E-9   LINT    = 0
+NFACTOR = 1.8063821    CIT      = 0           VOFF    = -0.1219424
+CDSCD   = 0            CDSCB   = 0           CDSC    = 2.4E-4
+ETAB    = 4.735705E-3  DSUB    = 0.4254421  ETA0    = 0.0518465
+PDIBLC1 = 0            PDIBLC2 = 4.344554E-3   PCLM    = 2.7235598
+DROUT   = 5.604876E-3  PSCBE1  = 8E10         PDIBLCB = 4.528856E-3
+PVAG    = 4.6592572    DELTA   = 0.01        PSCBE2  = 5.04016E-10
+MOBMOD  = 1            PRT     = 0           RSH     = 2.8
+KT1     = -0.11         KT1L    = 0           UTE     = -1.5
+UA1     = 4.31E-9       UB1     = -7.61E-18  KT2     = 0.022
+AT      = 3.3E4         WL      = 0           UC1     = -5.6E-11
+WW      = 0              WWN     = 1           WLN     = 1
+LL      = 0              LLN     = 1           WWL     = 0
+LWN     = 1              LWL     = 0           LW      = 0
+XPART   = 0.5           CGDO    = 3.12E-10    CAPMOD  = 2
+CGBO    = 1E-12         CJ      = 9.916255E-4  CGSO    = 3.12E-10
+MJ      = 0.392439     CJSW    = 2.91776E-10  PB      = 0.8896731
+MJSW    = 0.1676363    CJSWG   = 4.42E-11    PBSW    = 0.99
+MJSWG   = 0.1676363    CF      = 0           PBSWG   = 0.99
+PRDSW   = -233.4720278 PK2     = 1.861393E-3   PVTH0   = 0.0107102
+LKETA   = -0.0207051  )                    WKETA   = -6.345721E-3

```

**Ek 4 MOSIS-TSMC 0.35µm Proses ve Model Parametreleri**

MOSIS WAFER ACCEPTANCE TESTS

RUN: T83U (MM\_NON-EPI)  
 TECHNOLOGY: SCN035  
 microns

VENDOR: TSMC  
 FEATURE SIZE: 0.35

Run type: SKD

INTRODUCTION: This report contains the lot average results obtained by  
 MOSIS

from measurements of MOSIS test structures on each wafer of  
 this fabrication lot. SPICE parameters obtained from similar  
 measurements on a selected wafer are also attached.

COMMENTS: TSMC 035

TRANSISTOR PARAMETERS	W/L	N-CHANNEL	P-CHANNEL	UNITS
MINIMUM	0.6/0.4			
Vth		0.55	-0.74	volts
SHORT	20.0/0.4			
Idss		522	-246	uA/um
Vth		0.58	-0.71	volts
Vpt		9.4	-9.7	volts
WIDE	20.0/0.4			
Ids0		< 2.5	< 2.5	pA/um
LARGE	50/50			
Vth		0.51	-0.74	volts
Vjbkd		8.7	-8.6	volts
Ijlk		<50.0	<50.0	pA
Gamma		0.58	0.37	V^0.5
K' (Uo*Cox/2)		93.3	-32.2	uA/V^2
Low-field Mobility		416.10	143.61	cm^2/V*s

COMMENTS: Poly bias varies with design technology. To account for mask  
 bias use the appropriate value for the parameter XL in your  
 SPICE model card.

	Design Technology		XL (um)	XW (um)			
	SCMOS_SUBM (lambda=0.20)		-0.05	0.15			
	thick oxide		-0.10	0.15			
	SCMOS (lambda=0.25)		-0.15	0.15			
	thick oxide		-0.25	0.15			
FOX TRANSISTORS	GATE	N+ACTIVE	P+ACTIVE	UNITS			
Vth	Poly	>10.0	<-10.0	volts			
PROCESS PARAMETERS	N+	P+	POLY	POLY2	POLY2_ME	M1	M2
UNITS							
Sheet Resistance	79.1	148.3	9.3	48.4	48.4	0.07	0.07
ohms/sq							
Contact Resistance	65.8	121.9	7.2	38.3			1.22
ohms							
Gate Oxide Thickness	77						
angstrom							

PROCESS PARAMETERS	M3	M4	N_W	N\PLY	UNITS
Sheet Resistance	0.07	0.04	992	1035	ohms/sq
Contact Resistance	1.30	1.40			ohms

CAPACITANCE PARAMETERS	N+	P+	POLY	POLY2	M1	M2	M3	M4	N_W
UNITS									
Area (substrate)	932	1392	108		24	11	8	8	105
aF/um <sup>2</sup>									
Area (N+active)			4511		34	17	12	10	
aF/um <sup>2</sup>									
Area (P+active)			4544						
aF/um <sup>2</sup>									
Area (poly)				886	42	15	9	6	
aF/um <sup>2</sup>									
Area (poly2)					41				
aF/um <sup>2</sup>									
Area (metall1)						35	13	8	
aF/um <sup>2</sup>									
Area (metal2)							35	14	
aF/um <sup>2</sup>									
Area (metal3)								36	
aF/um <sup>2</sup>									
Fringe (substrate)	279	332			49	31			
aF/um									
Fringe (poly)					62	36	28	23	
aF/um									
Fringe (metall1)						50	35	27	
aF/um									
Fringe (metal2)							55	36	
aF/um									
Fringe (metal3)								54	
aF/um									

CIRCUIT PARAMETERS	UNITS		
Inverters	K		
Vinv	1.0	1.23	volts
Vinv	1.5	1.37	volts
Vol (100 uA)	2.0	0.21	volts
Voh (100 uA)	2.0	2.93	volts
Vinv	2.0	1.48	volts
Gain	2.0	-16.53	
Ring Oscillator Freq.			
DIV256 (31-stg,3.3V)		188.85	MHz
D256_THK (31-stg,5.0V)		136.14	MHz
Ring Oscillator Power			
DIV256 (31-stg,3.3V)		0.15	uW/MHz/gate
D256_THK (31-stg,5.0V)		0.30	uW/MHz/gate

COMMENTS: SUBMICRON  
T83U SPICE BSIM3 VERSION 3.1 PARAMETERS

SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8

```
* DATE: May 23/08
* LOT: T83U WAF: 5001
* Temperature_parameters=Default
.MODEL CMOSN NMOS (
+VERSION = 3.1 TNOM = 27 LEVEL = 49
+XJ = 1E-7 NCH = 2.2E17 TOX = 7.7E-9
+K1 = 0.605685 K2 = 7.401855E-4 K3 = 100
+K3B = -9.9978452 W0 = 3.104982E-5 NLX = 2.718863E-7
+DVT0W = 0 DVT1W = 0 DVT2W = 0
+DVT0 = 2.9399069 DVT1 = 0.8628462 DVT2 = -0.3
+U0 = 364.9848005 UA = -7.38738E-10 UB = 2.285693E-18
+UC = 3.664402E-11 VSAT = 1.566234E5 A0 = 1.1469517
+AGS = 0.1642206 B0 = 7.913741E-7 B1 = 5E-6
```

```

+KETA      = 1.59443E-3      A1         = 0                A2         = 0.4470956
+RDSW      = 957.4487567    PRWG        = -0.075128       PRWB        = -0.1078364
+WR         = 1              WINT        = 1.510787E-7     LINT        = 0
+XL         = -5E-8          XW          = 1.5E-7           DWG         = -5.692108E-9
+DWB       = 5.225149E-9    VOFF        = -0.0893518      NFACTOR     = 1.3113023
+CIT        = 0              CDSC        = 2.4E-4           CDSCD       = 0
+CDSCB     = 0              ETA0        = 1                ETAB        = 0.0295297
+DSUB      = 0.7823887      PCLM        = 1.676311     PDIBLC1     = 1.547328E-4
+PDIBLC2   = 4.724954E-3    PDIBLCB     = 0.0767737      DROUT       = 3.365824E-4
+PSCBE1    = 7.16268E8      PSCBE2      = 1E-3            PVAG        = 3.079663E-3
+DELTA     = 0.01           RSH         = 79.1           MOBMOD      = 1
+PRT        = 0              UTE         = -1.5            KT1         = -0.11
+KT1L      = 0              KT2         = 0.022          UA1         = 4.31E-9
+UB1       = -7.61E-18      UC1         = -5.6E-11       AT          = 3.3E4
+WL         = 0              WLN         = 1                WW          = 0
+WWN       = 1              WWL         = 0                LL          = 0
+LLN       = 1              LW          = 0                LWN         = 1
+LWL       = 0              CAPMOD      = 2                XPART       = 0.5
+CGDO      = 3.18E-10       CGSO        = 3.18E-10      CGBO        = 1E-12
+CJ         = 9.324477E-4    PB          = 0.8162386     MJ          = 0.362829
+CJSW      = 2.809158E-10   PBSW        = 0.8           MJSW       = 0.1824357
+CJSWG     = 1.82E-10       PBSWG       = 0.8           MJSWG      = 0.1824357
+CF         = 0              PVTH0       = -0.0279291      PRDSW      = -98.8829593
+PK2       = 1.6222E-3      WKETA       = -7.135466E-4   LKETA      = 3.68571E-4
)
.MODEL CMOSP PMOS (
+VERSION   = 3.1              TNOM        = 27                LEVEL      = 49
+XJ        = 1E-7            NCH         = 8.52E16           TOX        = 7.7E-9
+K1        = 0.4314573       K2          = -0.0129797        VTH0       = -0.7104638
+K3B       = -4.9887168     W0          = 6.790634E-6     K3         = 86.403366
+DVT0W     = 0              DVT1W       = 0                NLX        = 1.01238E-7
+DVT0      = 0.7043065      DVT1        = 0.7538793      DVT2W     = 0
+U0        = 152.0101039     UA          = 1.006463E-10    DVT2       = -0.1364644
+UC        = -1.74459E-11   VSAT        = 2E5           UB         = 1.890539E-18
+AGS       = 0.3405976      B0          = 2.107301E-6     A0         = 1.1765964
+KETA      = -6.90419E-3     A1          = 4.217794E-3      B1         = 5E-6
+RDSW      = 3.25395E3       PRWG        = -0.0251462      A2         = 0.9994396
+WR         = 1              WINT        = 1.513212E-7     PRWB       = -0.0345874
+XL         = -5E-8          XW          = 1.5E-7           LINT       = 0
+DWB       = 1.207799E-8    VOFF        = -0.1270571      DWG        = -1.856889E-8
+CIT        = 0              CDSC        = 2.4E-4           NFACTOR    = 1.9223541
+CDSCB     = 0              ETA0        = 0.0332936          CDSCD      = 0
+DSUB      = 0.270751       PCLM        = 5.2787472      ETAB       = 3.097432E-3
+PDIBLC2   = -4.147325E-6   PDIBLCB     = -1E-3            PDIBLC1    = 1.57371E-3
+PSCBE1    = 7.929595E10    PSCBE2      = 5.008484E-10      DROUT      = 8.531668E-4
+DELTA     = 0.01           RSH         = 148.3           PVAG       = 15
+PRT        = 0              UTE         = -1.5            MOBMOD     = 1
+KT1L      = 0              KT2         = 0.022          KT1        = -0.11
+UB1       = -7.61E-18      UC1         = -5.6E-11       UA1        = 4.31E-9
+WL         = 0              WLN         = 1                AT         = 3.3E4
+WWN       = 1              WWL         = 0                WW         = 0
+LLN       = 1              LW          = 0                LL         = 0
+LWL       = 0              CAPMOD      = 2                LWN        = 1
+CGDO      = 3.61E-10       CGSO        = 3.61E-10      XPART      = 0.5
+CJ         = 1.397166E-3     PB          = 0.99           CGBO       = 1E-12
+CJSW      = 3.172123E-10   PBSW        = 0.99           MJ         = 0.5775057
+CJSWG     = 4.42E-11       PBSWG       = 0.99           MJSW      = 0.3575424
+CF         = 0              PVTH0       = 0.0166636          MJSWG     = 0.3575424
+PK2       = 2.060693E-3     WKETA       = 4.168039E-3      PRDSW     = -89.3748363
)
LKETA      = -4.428159E-3

```

**Ek 5 MOSIS-TSMC 0.25µm Proses ve Model Parametreleri**

RUN: T7CZ (MM\_NON-EPI)  
 TECHNOLOGY: SCN025  
 microns

VENDOR: TSMC  
 FEATURE SIZE: 0.25

Run type: SKD

INTRODUCTION: This report contains the lot average results obtained by MOSIS

from measurements of MOSIS test structures on each wafer of this fabrication lot. SPICE parameters obtained from similar measurements on a selected wafer are also attached.

COMMENTS: TSMC 0251P5M

TRANSISTOR PARAMETERS	W/L	N-CHANNEL	P-CHANNEL	UNITS
MINIMUM	0.36/0.24			
Vth		0.50	-0.48	volts
SHORT	20.0/0.24			
Idss		603	-265	uA/um
Vth		0.50	-0.53	volts
Vpt		7.6	-7.2	volts
WIDE	20.0/0.24			
Ids0		6.5	< 2.5	pA/um
LARGE	50/50			
Vth		0.43	-0.57	volts
Vjblk		5.1	-6.6	volts
Ijlk		<50.0	<50.0	pA
Gamma		0.44	0.61	V^0.5
K' (Uo*Cox/2)		121.5	-25.8	uA/V^2
Low-field Mobility		401.12	85.18	cm^2/V*s

COMMENTS: Poly bias varies with design technology. To account for mask bias use the appropriate value for the parameters XL and XW in your SPICE model card.

Design Technology	XL (um)	XW (um)
SCN5M_DEEP (lambda=0.12)	0.00	-0.04
thick oxide, NMOS	-0.01	-0.04
thick oxide, PMOS	-0.06	
SCN6M_SUBM (lambda=0.15)	-0.06	0.00
thick oxide, NMOS	-0.10	0.00
thick oxide, PMOS	-0.15	

FOX TRANSISTORS	GATE	N+ACTIVE	P+ACTIVE	UNITS			
Vth	Poly	>6.6	<-6.6	volts			
PROCESS PARAMETERS	N+	P+	PLY+BLK	N+BLK	POLY	M1	M2
Sheet Resistance	3.7	2.9	179.1	59.7	3.2	0.08	0.07
ohms/sq							
Contact Resistance	5.9	5.2			4.8		2.53
Gate Oxide Thickness	57						
angstrom							

PROCESS PARAMETERS	M3	M4	M5	N_W	UNITS
Sheet Resistance	0.07	0.07	0.04	1040	ohms/sq
Contact Resistance	5.14	7.71	10.39		ohms

COMMENTS: BLK is silicide block.

CAPACITANCE PARAMETERS	N+	P+	POLY	M4P	M1	R_W	M2	N_W	D_N_W
Area (substrate)	1750	1896	106		33		13	124	121
aF/um <sup>2</sup>									
Area (N+active)			6067						
aF/um <sup>2</sup>									
Area (P+active)			5805						
aF/um <sup>2</sup>									
Area (poly)					65				
aF/um <sup>2</sup>									
Area (metall)							36		
aF/um <sup>2</sup>									
Area (metal4)				943					
aF/um <sup>2</sup>									
Area (r well)	1776								
aF/um <sup>2</sup>									
Area (d well)						520			
aF/um <sup>2</sup>									
Area (no well)	1129								
aF/um <sup>2</sup>									
Fringe (substrate)	515	348							
aF/um									

CIRCUIT PARAMETERS			UNITS
Inverters	K		
Vinv	1.0	1.00	volts
Vinv	1.5	1.08	volts
Vol (100 uA)	2.0	0.12	volts
Voh (100 uA)	2.0	2.24	volts
Vinv	2.0	1.14	volts
Gain	2.0	-17.64	
Ring Oscillator Freq.			
DIV1024 (31-stg,2.5V)		262.37	MHz
D1024_THK (31-stg,3.3V)		194.63	MHz
Ring Oscillator Power			
DIV1024 (31-stg,2.5V)		0.06	uW/MHz/gate
D1024_THK (31-stg,3.3V)		0.10	uW/MHz/gate

T7CZ SPICE BSIM3 VERSION 3.1 PARAMETERS

SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8

\* DATE: Feb 12/08

\* LOT: T7CZ WAF: 3003

\* Temperature\_parameters=Default

.MODEL CMOSN NMOS (	LEVEL	= 49
+VERSION = 3.1	TNOM	= 27
+XJ = 1E-7	TOX	= 5.7E-9
+K1 = 0.4672113	NCH	= 2.3549E17
+K3B = 2.8108048	K2	= -1.683783E-5
+DVT0W = 0	W0	= 1E-7
+DVT0 = 0.4106759	NLX	= 1.760176E-7
+U0 = 306.2301762	DVT1W	= 0
+UC = 4.051886E-11	DVT1	= 0.5453796
	DVT2	= -0.5
	UB	= 2.598069E-18
	A0	= 1.756701



```

+AGS      = 0.3352187      B0       = -2.591219E-8      B1       = -1E-7
+KETA     = -8.258898E-3   A1       = 1.756652E-4      A2       = 0.5892847
+RDSW    = 181.4902439    PRWG     = 0.274332      PRWB     = -0.2
+WR       = 1             WINT     = 0             LINT     = 0
+XL       = 0             XW       = -4E-8          DWG      = -1.653638E-8
+DWB     = 5.090831E-9    VOFF     = -0.1001623     NFACTOR  = 1.2853828
+CIT      = 0             CDSC     = 2.4E-4         CDSCD    = 0
+CDSCB   = 0             ETA0     = 6.197791E-3     ETAB     = -4.679264E-5
+DSUB    = 0.0453118     PCLM     = 1.6149442     PDIBLC1  = 0.9704595
+PDIBLC2 = 2.718177E-3    PDIBLCB  = 0.0860062     DROUT    = 1
+PSCBE1  = 6.838787E8    PSCBE2   = 2.337559E-4    PVAG     = 9.91473E-3
+DELTA   = 0.01          RSH      = 3.7          MOBMOD   = 1
+PRT     = 0             UTE      = -1.5         KT1      = -0.11
+KT1L    = 0             KT2      = 0.022        UA1      = 4.31E-9
+UB1     = -7.61E-18     UC1      = -5.6E-11     AT       = 3.3E4
+WL      = 0             WLN      = 1           WW       = 0
+WWN     = 1             WWL      = 0           LL       = 0
+LLN     = 1             LW       = 0           LWN      = 1
+LWL     = 0             CAPMOD   = 2           XPART    = 0.5
+CGDO    = 5.43E-10      CGSO     = 5.43E-10     CGBO     = 1E-12
+CJ       = 1.74333E-3    PB        = 0.99          MJ       = 0.471009
+CJSW    = 4.876637E-10  PBSW     = 0.8109811     MJSW    = 0.5192557
+CJSWG   = 3.29E-10     PBSWG    = 0.8109811     MJSWG   = 0.5192557
+CF       = 0             PVTH0    = -6.686199E-3    PRDSW   = -10
+PK2     = 2.902371E-3   WKETA    = 0.0114116     LKETA    = 1.570695E-3
)
.MODEL CMOSP PMOS (
+VERSION = 3.1            TNOM     = 27          LEVEL    = 49
+XJ      = 1E-7          NCH      = 4.1589E17   TOX      = 5.7E-9
+K1      = 0.6373333     K2       = -5.698396E-4 VTH0     = -0.5595525
+K3B     = 5.9864728    W0       = 1E-6        K3       = 0.0987153
+DVT0W   = 0            DVT1W    = 0          NLX      = 4.508531E-9
+DVT0    = 1.9450693    DVT1     = 0.7642149  DVT2W   = 0
+U0      = 104.1028181  UA       = 1.079446E-9 DVT2     = -0.2032512
+UC      = -1E-10       VSAT     = 1.59786E5   UB       = 1.001761E-21
+AGS     = 0.1454129    B0       = 1.284002E-6  A0       = 0.9472846
+KETA    = 0.0153186    A1       = 0.0284971   B1       = 5E-6
+RDSW    = 1.408464E3   PRWG     = 1.252501E-3 A2       = 0.3
+WR      = 1            WINT     = 0          PRWB    = -0.1815305
+XL      = 0            XW       = -4E-8      LINT     = 2.86328E-8
+DWB     = -8.424316E-9 VOFF     = -0.1286239   DWG      = -3.797695E-8
+CIT      = 0            CDSC     = 2.4E-4         NFACTOR  = 1.108915
+CDSCB   = 0            ETA0     = 0.4343806     CDSCD    = 0
+DSUB    = 1.2081315    PCLM     = 1.2703155   ETAB     = -0.1253306
+PDIBLC2 = -1.612234E-8 PDIBLCB  = -4.501784E-4 PDIBLC1  = 5.480623E-3
+PSCBE1  = 2.160313E9   PSCBE2   = 5E-10        DROUT    = 0.0650201
+DELTA   = 0.01          RSH      = 2.9          PVAG     = 2.520147E-3
+PRT     = 0            UTE      = -1.5         MOBMOD   = 1
+KT1L    = 0            KT2      = 0.022        KT1      = -0.11
+UB1     = -7.61E-18     UC1      = -5.6E-11     UA1      = 4.31E-9
+WL      = 0            WLN      = 1           AT       = 3.3E4
+WWN     = 1            WWL      = 0           WW       = 0
+LLN     = 1            LW       = 0           LL       = 0
+LWL     = 0            CAPMOD   = 2           LWN      = 1
+CGDO    = 6.77E-10     CGSO     = 6.77E-10     XPART    = 0.5
+CJ       = 1.893734E-3  PB        = 0.9889579   CGBO     = 1E-12
+CJSW    = 3.124347E-10 PBSW     = 0.8           MJ       = 0.4705132
+CJSWG   = 2.5E-10     PBSWG    = 0.8           MJSW    = 0.2786992
+CF       = 0            PVTH0    = 4.864185E-3     MJSWG   = 0.2786992
+PK2     = 1.818625E-3  WKETA    = 0.0135399   PRDSW   = 10.7621926
)
LKETA    = -7.787543E-3

```

**Ek 6 MOSIS-TSMC 0.18µm Proses ve Model Parametreleri**

RUN: T77A (MM\_NON-EPI)  
 TECHNOLOGY: SCN018  
 microns

VENDOR: TSMC  
 FEATURE SIZE: 0.18

Run type: SKD

INTRODUCTION: This report contains the lot average results obtained by MOSIS

from measurements of MOSIS test structures on each wafer of this fabrication lot. SPICE parameters obtained from similar measurements on a selected wafer are also attached.

COMMENTS: DSCN6M018\_TSMC

TRANSISTOR PARAMETERS	W/L	N-CHANNEL	P-CHANNEL	UNITS
MINIMUM	0.27/0.18			
Vth		0.51	-0.50	volts
SHORT	20.0/0.18			
Idss		565	-259	uA/um
Vth		0.51	-0.50	volts
Vpt		4.8	-5.4	volts
WIDE	20.0/0.18			
Ids0		15.2	-8.9	pA/um
LARGE	50/50			
Vth		0.43	-0.42	volts
Vjbkd		3.2	-4.3	volts
Ijlk		<50.0	<50.0	pA
K' (Uo*Cox/2)		171.6	-35.2	uA/V^2
Low-field Mobility		407.50	83.59	cm^2/V*s

COMMENTS: Poly bias varies with design technology. To account for mask bias use the appropriate value for the parameters XL and XW in your SPICE model card.

Design Technology	XL (um)	XW (um)
SCN6M_DEEP (lambda=0.09)	0.00	-0.01
thick oxide	0.00	-0.01
SCN6M_SUBM (lambda=0.10)	-0.02	0.00
thick oxide	-0.02	0.00

FOX TRANSISTORS	GATE	N+ACTIVE	P+ACTIVE	UNITS			
Vth	Poly	>6.6	<-6.6	volts			
PROCESS PARAMETERS	N+	P+	POLY N+BLK	PLY+BLK	M1	M2	
Sheet Resistance	6.8	7.5	7.9	61.7	331.5	0.08	0.08
ohms/sq							
Contact Resistance	10.4	10.8	9.7				5.05
ohms							
Gate Oxide Thickness	41						
angstrom							
PROCESS PARAMETERS	M3	POLY_HRI	M4	M5	M6	N_W	
Sheet Resistance	0.08	1098.8	0.08	0.07	0.03	950	
ohms/sq							
Contact Resistance	10.75		15.87	20.15	22.15		
ohms							

COMMENTS: BLK is silicide block.

CIRCUIT PARAMETERS			UNITS
Inverters	K		
Vinv	1.0	0.75	volts
Vinv	1.5	0.79	volts
Vol (100 uA)	2.0	0.09	volts
Voh (100 uA)	2.0	1.62	volts
Vinv	2.0	0.83	volts
Gain	2.0	-25.26	
Ring Oscillator Freq.			
D1024_THK (31-stg,3.3V)		292.38	MHz
DIV1024 (31-stg,1.8V)		351.70	MHz
Ring Oscillator Power			
D1024_THK (31-stg,3.3V)		0.07	uW/MHz/gate
DIV1024 (31-stg,1.8V)		0.02	uW/MHz/gate

COMMENTS: DEEP\_SUBMICRON

T77A SPICE BSIM3 VERSION 3.1 PARAMETERS

SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8

```

* DATE: Oct 3/07
* LOT: T77A WAF: 1003
* Temperature_parameters=Default
.MODEL CMOSN NMOS (
+VERSION = 3.1 TNOM = 27 LEVEL = 49
+XJ = 1E-7 NCH = 2.3549E17 TOX = 4.1E-9
+K1 = 0.5815814 K2 = 6.025001E-3 K3 = 1E-3
+K3B = 1.4745568 W0 = 1E-7 NLX = 1.632187E-7
+DVT0W = 0 DVT1W = 0 DVT2W = 0
+DVT0 = 1.4728771 DVT1 = 0.4373426 DVT2 = 0.0213359
+U0 = 265.6444712 UA = -1.423009E-9 UB = 2.335093E-18
+UC = 5.245012E-11 VSAT = 9.412881E4 A0 = 1.8428561
+AGS = 0.4038804 B0 = 5.524599E-7 B1 = 5E-6
+KETA = -7.935044E-3 A1 = 0.8 A2 = 0.8804594
+RDSW = 105 PRWG = 0.4944853 PRWB = -0.2
+WR = 1 WINT = 2.60605E-9 LINT = 1.939129E-8
+XL = 0 XW = -1E-8 DWG = -2.843075E-9
+DWB = 2.865387E-9 VOFF = -0.0894361 NFACTOR = 2.3051876
+CIT = 0 CDSC = 2.4E-4 CDSCD = 0
+CDSCB = 0 ETA0 = 2.398164E-3 ETAB = 3.392679E-5
+DSUB = 8.234246E-3 PCLM = 0.7444877 PDIBLC1 = 0.185852
+PDIBLC2 = 3.274134E-3 PDIBLCB = -0.1 DROUT = 0.7550884
+PSCBE1 = 8E10 PSCBE2 = 1.726969E-9 PVAG = 1.068222E-3
+DELTA = 0.01 RSH = 6.8 MOBMOD = 1
+PRT = 0 UTE = -1.5 KT1 = -0.11
+KT1L = 0 KT2 = 0.022 UA1 = 4.31E-9
+UB1 = -7.61E-18 UC1 = -5.6E-11 AT = 3.3E4
+WL = 0 WLN = 1 WW = 0
+WWN = 1 WWL = 0 LL = 0
+LLN = 1 LW = 0 LWN = 1
+LWL = 0 CAPMOD = 2 XPART = 0.5
+CGDO = 8.28E-10 CGSO = 8.28E-10 CGBO = 1E-12
+CJ = 9.427065E-4 PB = 0.8 MJ = 0.3709737
+CJSW = 1.928292E-10 PBSW = 0.7 MJSW = 0.1902367
+CJSWG = 3.3E-10 PBSWG = 0.7 MJSWG = 0.1902367
+CF = 0 PVTH0 = 3.643308E-5 PRDSW = -0.8968745
+PK2 = 3.285774E-4 WKETA = -5.791315E-4 LKETA = -0.0101627
+PU0 = 10.0548745 PUA = 1.901573E-11 PUB = 1.831424E-24
+PVSAT = 1.433548E3 PETA0 = 5.358064E-5 PKETA = 1.519426E-3
)

```

\*

```

.MODEL CMOSF PMOS (
+VERSION = 3.1          TNOM    = 27          LEVEL  = 49
+XJ        = 1E-7       NCH    = 4.1589E17      TOX    = 4.1E-9
+K1        = 0.5899188  K2     = 0.0207529    VTH0   = -0.3887191
+K3B       = 4.9079533  W0     = 1E-6         K3     = 0.0996803
+DVT0W     = 0         DVT1W  = 0           NLX    = 7.820782E-8
+DVT0      = 0.5500873 DVT1   = 0.3455653   DVT2W  = 0
+U0        = 109.7547017 UA     = 1.381876E-9  DVT2   = 0.1
+UC        = -1E-10    VSAT   = 1.558387E5  UB     = 1.115366E-21
+AGS       = 0.404121  B0     = 2.986627E-7  A0     = 1.8416644
+KETA      = 0.0173044 A1     = 0.4159329    B1     = 5.817037E-7
+RDSW     = 224.0543155 PRWG   = 0.5         A2     = 0.4467425
+WR        = 1         WINT   = 0           PRWB   = -0.0577039
+XL        = 0         XW     = -1E-8       LINT   = 2.948671E-8
+DWB       = -9.12926E-10 VOFF   = -0.086012   DWG    = -2.393677E-8
+CIT       = 0         CDSC   = 2.4E-4      NFACTOR = 2
+CDSCB     = 0         ETA0   = 0.1514642   CDSCD  = 0
+DSUB      = 1.0119856 PCLM   = 0.6710126   ETAB   = -0.0631443
+PDIBLC2   = 0.016329 PDIBLCB = -1E-3        PDIBLC1 = 1.052378E-3
+PSCBE1    = 1.718561E9 PSCBE2 = 5E-10        DROUT  = 9.803072E-4
+DELTA     = 0.01     RSH    = 7.5         PVAG   = 14.8638824
+PRT       = 0         UTE    = -1.5       MOBMOD = 1
+KT1L      = 0         KT2    = 0.022      KT1    = -0.11
+UB1       = -7.61E-18 UC1     = -5.6E-11  UA1    = 4.31E-9
+WL        = 0         WLN    = 1         AT     = 3.3E4
+WWN       = 1         WWL    = 0         WW     = 0
+LLN       = 1         LW     = 0         LL    = 0
+LWL       = 0         CAPMOD = 2         LWN   = 1
+CGDO      = 7.79E-10 CGSO    = 7.79E-10  XPART  = 0.5
+CJ        = 1.17722E-3 PB      = 0.8611654  CGBO   = 1E-12
+CJSW      = 1.924705E-10 PBSW   = 0.9275508   MJ     = 0.4184273
+CJSWG     = 4.22E-10  PBSWG  = 0.9275508  MJSW   = 0.3248627
+CF        = 0         PVTH0  = 2.665377E-3 MJSWG  = 0.3248627
+PK2       = 2.387138E-3 WKETA  = 0.0143424  PRDSW  = 9.5152385
+PU0       = -2.0258474 PUA    = -7.30986E-11 LKETA  = -3.279135E-3
+PVSAT     = 50       PETA0  = 1E-4      PUB    = 1.973019E-22
)
PKETA     = -5.502283E-4

```

\*

**Ek 7 MOSIS-IBM 0.35µm Proses ve Model Parametreleri**

MOSIS WAFER ACCEPTANCE TESTS

RUN: T81C (5HPE\_QT)  
 BURLINGTON  
 TECHNOLOGY: SIGE035  
 microns

VENDOR: IBM-

FEATURE SIZE: 0.35

Run type: SKD

INTRODUCTION: This report contains the lot average results obtained by  
 MOSIS

from measurements of MOSIS test structures on each wafer of  
 this fabrication lot. SPICE parameters obtained from similar  
 measurements on a selected wafer are also attached.

COMMENTS: SIGE5HPE\_IBM-B

TRANSISTOR PARAMETERS	W/L	N-CHANNEL	P-CHANNEL	UNITS
MINIMUM	0.5/0.36			
Vth		0.40	-0.38	volts
SHORT	20.0/0.36			
Idss		582	-247	uA/um
Vth		0.51	-0.42	volts
Vpt		9.6	-8.4	volts
WIDE	20.0/0.36			
Ids0		4.8	-11.7	pA/um
LARGE	50/50			
Vth		0.54	-0.47	volts
Vjbkd		8.4	-7.8	volts
Ijlk		<50.0	<50.0	pA
Gamma		0.67	0.83	V <sup>0.5</sup>
K' (Uo*Cox/2)		96.6	-23.1	uA/V <sup>2</sup>
Low-field Mobility		442.01	105.70	cm <sup>2</sup> /V*s

PROCESS PARAMETERS	N+	P+	POLY	M1	PP+BLKPE	P+BLK	PPLY+BLK	UNITS
Sheet Resistance	4.3	3.3	3.6	0.06	2531.5	95.6	220.6	ohms/sq
Contact Resistance	4.6	3.9	3.5					ohms
Gate Oxide Thickness	79							angstrom

PROCESS PARAMETERS	PPBKPENW	P+PLY/NW	P+BLK_HV	N+BLK_HV	N+BLK	M2	M3	M4	UNITS
Sheet Resistance	2482.6	218.5	95.7	66.7	66.8	0.06	0.04		ohms/sq
Contact Resistance						0.61	1.15		ohms
	1.38 ohms								

COMMENTS: BLK is silicide block.

CAPACITANCE PARAMETERS	N+	P+	POLY	POLY2	M1	Q3	M2	M3	HV_N_WLL	P1_P2
M4 N_W UNITS										
Area (substrate)	1037	851	76		26		9	5	114	
1 124 aF/um <sup>2</sup>										
Area (N+active)			4360							
aF/um <sup>2</sup>										
Area (P+active)			4301							
aF/um <sup>2</sup>										
Area (poly)					44					
aF/um <sup>2</sup>										
Area (poly1)				1467						
aF/um <sup>2</sup>										
Area (p1_n_actv)										2809
aF/um <sup>2</sup>										
Area (metal3)						1946				
aF/um <sup>2</sup>										
Area (NMOS Cap)			1285							
aF/um <sup>2</sup>										
Area (NMOS varactor)			490							
aF/um <sup>2</sup>										
Area (N+ varactor)		321								
aF/um <sup>2</sup>										
Fringe (substrate)	112		92		48		46	29		
40 aF/um										
Fringe (poly)					60					
aF/um										

CIRCUIT PARAMETERS			UNITS
Inverters	K		
Vinv	1.0	1.23	volts
Vinv	1.5	1.36	volts
Vol (100 uA)	2.0	0.02	volts
Voh (100 uA)	2.0	3.27	volts
Vinv	2.0	1.48	volts
Gain	2.0	-19.04	
Ring Oscillator Freq.			
DIV256 (31-stg,3.3V)		220.79	MHz
D256_THK (31-stg,5.0V)		157.98	MHz
Ring Oscillator Power			
DIV256 (31-stg,3.3V)		0.13	uW/MHz/gate
D256_THK (31-stg,5.0V)		0.27	uW/MHz/gate

COMMENTS: SUBMICRON

T81C SPICE BSIM3 VERSION 3.1 PARAMETERS

SPICE 3f5 Level 8, Star-HSPICE Level 49, UTMOST Level 8

\* DATE: May 15/08

\* LOT: T81C WAF: 2002

\* Temperature\_parameters=Default

.MODEL CMOSN NMOS (	LEVEL	= 49
+VERSION = 3.1	TNOM	= 27
+XJ = 1.5E-7	NCH	= 1.7E17
+K1 = 0.5848078	K2	= 0.0256449
+K3B = 2.4512591	W0	= 1E-8
+DVT0W = 0	DVT1W	= 0
+DVT0 = 0.8298922	DVT1	= 0.4012276
+U0 = 479.9655586	UA	= 1E-13
+UC = 8.133738E-11	VSAT	= 1.161202E5
	TOX	= 7.9E-9
	VTH0	= 0.5305185
	K3	= -3
	NLX	= 1.116156E-7
	DVT2W	= 0
	DVT2	= -0.1569447
	UB	= 2.476874E-18
	A0	= 1.2416667

```

+AGS      = 0.1743661      B0      = -1.004933E-7      B1      = 0
+KETA     = -1.845864E-3   A1      = 0                A2      = 0.8965406
+RDSW     = 863.2674781   PRWG    = 4.950988E-12    PRWB    = -0.0459966
+WR       = 1              WINT    = 7.966885E-8     LINT    = 7.273807E-8
+DWG      = -4.42467E-9    DWB     = 7.052884E-9     VOFF    = -0.15
+NFACTOR  = 2.5            CIT      = 0                CDSC    = 2.4E-4
+CDSCD    = 0              CDSCB   = 0                ETA0    = 0.0931799
+ETAB     = -0.0430887    DSUB    = 0.7493076     PCLM    = 0.7683886
+PDIBLC1  = 2.941556E-3   PDIBLC2 = 8.974426E-4     PDIBLCB = 0.1027437
+DROUT    = 0.0287103    PSCBE1  = 4.084813E8      PSCBE2  = 9.12618E-6
+PVAG     = 0.4173371    DELTA   = 0.01            RSH     = 4.3
+MOBMOD   = 1              PRT     = 0                UTE     = -1.5
+KT1      = -0.11         KT1L    = 0                KT2     = 0.022
+UA1      = 4.31E-9       UB1     = -7.61E-18       UC1     = -5.6E-11
+AT       = 3.3E4        WL      = 0                WLN     = 1
+WW       = 0              WWN     = 1                WWL     = 0
+LL       = 0              LLN     = 1                LW      = 0
+LWN      = 1              LWL     = 0                CAPMOD  = 2
+XPART    = 0.5           CGDO    = 3.6E-10        CGSO    = 3.6E-10
+CGBO     = 1E-10        CJ      = 1.035131E-3   PB      = 0.8
+MJ       = 0.3455003    CJSW   = 1.17517E-10   PBSW    = 0.8
+MJSW     = 0.1256018    CJSWG  = 1.64E-10      PBSWG   = 0.8
+MJSWG    = 0.1256018    CF      = 0                PVTH0   = -7.901503E-3
+PRDSW    = -37.2174015  PK2     = -6.2714E-4      WKETA   = 3.807816E-3
+LKETA    = -7.438318E-3 )
*

```

```

.MODEL CMOSP PMOS (
+VERSION = 3.1              TNOM    = 27              LEVEL   = 49
+XJ      = 1.5E-7          NCH     = 1.7E17          TOX     = 7.9E-9
+K1      = 0.9264395      K2      = -0.0236824     VTH0    = -0.4312939
+K3B     = 4.0511173      W0      = 1E-8           K3      = 0.0991416
+DVT0W   = 0              DVT1W  = 0              NLX     = 1E-9
+DVT0    = 0.5149005     DVT1    = 0.4423141     DVT2W  = 0
+U0      = 114.9525445    UA      = 1.230051E-9   DVT2    = -0.2999462
+UC      = -1E-10        VSAT    = 1.111953E5    UB      = 1.564326E-21
+AGS     = 0.0962412     B0      = 1.501222E-6    A0      = 0.7653886
+KETA    = 8.431203E-3   A1      = 0.0191686     B1      = 5E-6
+RDSW    = 2.937222E3    PRWG    = -0.1136741    A2      = 0.3
+WR      = 1              WINT    = 6.679717E-8   PRWB    = -0.2065122
+DWG     = -1.290969E-8  DWB     = 1.841249E-9   LINT    = 4.758657E-8
+NFACTOR = 0.8753188    CIT      = 0              VOFF    = -0.0361606
+CDSCD   = 0              CDSCB   = 0              CDSC    = 2.4E-4
+ETAB    = -0.2          DSUB    = 1              ETA0    = 0.2918678
+PDIBLC1 = 4.813832E-3   PDIBLC2 = 1.835567E-3   PCLM    = 1.3412772
+DROUT   = 0.1183752    PSCBE1  = 8E10             PDIBLCB = 0.0163847
+PVAG    = 0.0149878    DELTA   = 0.01           PSCBE2  = 8.505157E-10
+MOBMOD  = 1              PRT     = 0              RSH     = 3.3
+KT1     = -0.11         KT1L    = 0              UTE     = -1.5
+UA1     = 4.31E-9       UB1     = -7.61E-18     KT2     = 0.022
+AT      = 3.3E4        WL      = 0              UC1     = -5.6E-11
+WW      = 0              WWN     = 1              WLN     = 1
+LL      = 0              LLN     = 1              WWL     = 0
+LWN     = 1              LWL     = 0              LW      = 0
+XPART   = 0.5           CGDO    = 3.58E-10      CAPMOD  = 2
+CGBO    = 1E-10        CJ      = 8.416488E-4   CGSO    = 3.58E-10
+MJ      = 0.3318387    CJSW   = 8E-13          PB      = 0.7374637
+MJSW    = 0.91         CJSWG  = 6.4E-11        PBSW    = 0.7500733
+MJSWG   = 0.91         CF      = 0              PBSWG   = 0.7500733
+PRDSW   = 14.8598424   PK2     = 3.73981E-3     PVTH0   = 5.98016E-3
+LKETA   = -0.0284721   )                WKETA   = -6.631518E-3

```

**Tez Konusu ile İlgili Yapılan Yayınlar**

Kahraman, N., Yıldırım T., “Technology Independent Circuit Sizing for Standard Cell Based Design Using Neural Networks”, Digital Signal Processing dergisinde revizyon aşamasında.

Kahraman, N., Yıldırım T., “Technology Independent Circuit Sizing for Fundamental Analog Circuits Using Artificial Neural Networks”, PRIME08, sunulmak üzere kabul edildi, 2008

Kahraman N., Erkmen B, Acar Vural R., “Technology Independent Neural Network Modeling for VLSI Design Automation”, CADENCE Design Contest for PhD Students, Uluslararası Mikroelektronik Tasarım Yarışması’nda 4.lük.

Odacıođlu EC.,Kahraman N., Yıldırım T., “Two Stage Comparator Design with Artificial Neural Networks”, INISTA, International Symposium on INnovations in Intelligent Systems and Applications, Istanbul, pp: 174-176, 2007

Ünal, C., Coşkun, N., Yıldırım, T., “Transistor Size Estimation Based on Propagation Delay in CMOS Digital Circuits Using Neural Networks”, Proc. of INISTA 2005 International Symposium on Innovations in Intelligent SysTems and Applications, pp.255-257, İstanbul, Turkey, June 15-18, 2005.

Coşkun, N., Yıldırım, T., “Yapay Sinir Ağları ile Sayısal Devrelerde Gecikme Kestirimi”, EMO 2005 Elektrik-Elektronik-Bilgisayar Mühendisliği 11. Ulusal Kongresi pp. 60-62, İstanbul, 22-25 Eylül, 2005.



**ÖZGEÇMİŞ**

Doğum tarihi	28.09.1979	
Doğum yeri	Eskişehir	
Lise	1993-1997	Haydarpaşa Süper Lisesi
Lisans	1997-2001	Yıldız Teknik Üniversitesi, Elektrik-Elektronik Fakültesi, Elektronik ve Haberleşme Mühendisliği Bölümü
Yüksek Lisans	2001-2003	Yıldız Teknik Üniversitesi, Fen Bilimleri Enstitüsü, Elektronik ve Haberleşme Müh. Ana Bilim Dalı, Elektronik Programı
Doktora	2003-2008	Yıldız Teknik Üniversitesi, Fen Bilimleri Enstitüsü, Elektronik ve Haberleşme Müh. Ana Bilim Dalı, Elektronik Programı
Çalıştığı kurum	2001-Devam ediyor	Yıldız Teknik Üniversitesi, Elektronik Ana Bilim Dalı Araştırma Görevlisi