

Olivetti pc M24 Bilgisayarı için
Endüstriyel Amaçlı Frekans

Mustafa Ömür

Yüksek Lisans Tezi

YILDIZ UNİVERSİTESİ
GENEL KİTAPLIĞI

R 368

39

Kot :

Alındığı Yer : .. Fen Bilimleri Enst.

Tarih : .. 09/05/1991

Fatura :

Fiatı : .. 7000 TL

Ayniyat No : .. 1/3

Kayıt No : .. 47630

UDC : .. 001.64 378.242

Ek :

x

YILDIZ ÜNİVERSİTESİ

FEN BİLİMLERİ ENSTİTÜSÜ

YILDIZ ÜNİVERSİTESİ

D.B. No. 45358

OLİVETTİ PC M24 BİLGİSAYARI İÇİN ENDÜSTRİYEL AMAÇLI
FREKANS VE GERİLİM ÖLÇEN ARABİRİM KARTI

YÜKSEK LİSANS TEZİ
MÜH. MUSTAFA ÖMÜR

İSTANBUL - 1988

İÇİNDEKİLER	A/S Dönüştürme Yöntemleri	23
ÖZET	IV
SUMMARY	V
GİRİŞ	1
BİRİNCİ BÖLÜM	Altaj Frekans Çevirme Yöntemi	27
OLIVETTI PC M24 DONANIMI	2
1.1 Giriş	3
1.2 OLIVETTI PC M24 Donanımının Genel Tanıtımı	...	4
1.3 Mikro İşlemci Kesinti İsteği	6
1.4 Hafıza Birimi	6
1.4.1 Sistem Bellek Haritası	7
1.5 I/O Kanalı	8
1.5.1 I/O Bellek Haritası	9
1.5.2 I/O Kanal İşaretlerinin Açıklaması	...	10
1.5.3 I/O Kanal Şeması	13
İKİNCİ BÖLÜM	MOD1	28
FREKANS VE GERİLİM ÖLÇME YÖNTEMLERİ	15
2.1 Giriş	16
2.2 Sayısal Frekansmetrenin Temel Prensipleri	17
2.2.1 Giriş Katı	18
2.2.2 Darbe Şekillendirici	18
2.2.3 Ölçüm Süresi	18
2.2.4 Sayıcı ve Kontrol Devresi	19
2.3 Analog/Sayısal (A/S) Dönüştürücüler	21
2.3.1 A/S Dönüştürücü Parametreleri	22

2.3.2	A/S Dönüştürme Yöntemleri	23
4.2.4	Entegral Alma Yöntemi	23
4.2.5	Basamak Yöntemi	26
4.2.6	Ardışıl Yaklaşım Yöntemi	27
4.2.7	Voltajı Frekansa Çevirme Yöntemi	27

ÜÇÜNCÜ BÖLÜM

8253	SAYICI ZAMANLAYICI ÇEVRE BİRİMİ	29
3.1	Giriş	30
3.2	8253 Sayıcı Zamanlayıcı Tüm Devresinin Tanıtımı	31
3.2.1	Kontrol Kelime Yazmacı	33
3.2.2	Çalışma Modlarının İzahı	34
	MOD0	34
	MOD1	35
	MOD2	35
	MOD3	35
	MOD4	36
	MOD5	36
3.2.3	8253'ün Programlanması	37

DÖRDÜNCÜ BÖLÜM

FREKANSMETRE VE VOLTMETRE ARABİRİM KARTI	39	
4.1	Giriş	40
4.2	Devrenin Genel Tanıtımı	41
4.2.1	Adres Çözücü Devre	44
4.2.2	Kanal Seçici Devre	46
4.2.3	ölçüm Süresi	47

4.2.4	Sayıcıların Çalışma Şekli	49
4.2.5	Voltaj Frekans Çeviricisi	52
4.2.6	Baskılı Devre	55
4.2.7	Giriş Çıkış Konnektör Bacaklarının Tanıtımı	56
4.2.8	Yerleştirme Planı ve Kullanılan Yarı iletken Malzemeler	57
4.3	Programlama Uygulamaları	58
4.3.1	1 Kanallı Frekansmetre Programı	59
4.3.2	8 Kanallı Frekansmetre Programı	61
4.3.3	1 Kanallı Voltmetre Programı	62
4.3.4	8 Kanallı Voltmetre Programı	63
SONUÇ		64
EK		65
KAYNAK		80
ÖZGEÇMİŞ		81

ÖZET

Gerçekleştirilen bu proje ile elektriksel büyüklükler olan, frekansın ve gerilimin bilgisayar aracılığı ile ölçülmesi, analizi ve kontrol imkanı sağlanmıştır. Bu çalışma 4 bölümden oluşmaktadır.

Birinci bölümde, IBM uyumlu OLIVETTI PC M24 bilgisayarının donanımı, merkezi işlem birimi ve çevre elemanları, ROM, RAM bellek sistemleri, giriş çıkış kanalları incelenmiştir.

İkinci bölümde sayısal frekans ölçme yöntemi ve sayısal gerilim ölçme yöntemleri açıklanmıştır.

Üçüncü bölümde, projede kullanılan mikro işlemci çevre birimi 8253 Sayıcı Zamanlayıcı'nın özellikleri, çalışma modları, programlama şekilleri anlatılmıştır.

Son bölümde ise gerçekleştirilen ara birim kartının çalışma şekli, donanımı ve yazılımı hakkında gerekli bilgiler ayrıntılı olarak verilmiştir.

SUMMARY

Realizing this project provides to measure, analyse and control the frequency and potential difference which are the electrical quantities by the computer this work includes 4 chapters.

In the 1st chapter, hardware, central processing unit and peripheral elements, ROM, RAM memory systems, input output channels of the IBM compatible computer OLIVETTI PC M24 is examined.

In the 2nd chapter, methods of digital measuring the frequency and potential differences are explained.

In the 3rd chapter, properties, running modes, programming ways of the microprocessor peripheral unit 8253 timer counter used in this project are explained.

In the last chapter, knowledges about the hardware, running ways and software of the verified interface card are given in detail.

GİRİŞ

Sayısal bilgisayarların dış dünya ile bilgi diyalogunun kurulması, endüstride kullanımlarına olanak sağlamıştır. Endüstri cihazlarının bilgisayarla kontrolü sağlamak amacı ile ara birim kartları geliştirilmiştir.

Endüstriyel amaç için gerçekleştirilmiş olan bu arabirim kartı, önemli elektriksel büyüklükler olan frekans ve gerilim değerlerini ölçebilmekte, gerekli yazılım ile analiz edilebilmektedir. 8 ayrı kanaldan ölçüm yapılmasına olanak sağlamaktadır.

Böyle bir kartın yapımını gerçekleştirmek için bilgisayar donanımı, sayısal ölçüm yöntemleri, 8253 mikroişlemci çevre birimi incelenmiştir.

1.1 Birim

IBM PC uyumlu Olivetti PC 'nin ana sistem kartı bes ayrı işlem biriminden oluşur. Bu birimleri; Merkezi İşlem Birimi ve yan elemanları, Yanlış Okunabilir ROM bellek kiti, Okuma-Yazma (Read-Write) R/W bellek alt sistemi, giriş çıkış (Input/Output) I/O kartları ve tamamlanmış I/O adaptörleridir.

Bu bölümde merkezi işlem birimi tezintisi listesi, ROM,ROM bellek birimlerinin bulunduğu adres haritaları giriş çıkış (Input/Output) I/O kartları ve üzerinde

bulunan birimlerin tanımlanması ile kanal adresleri, ara birimler ve adaptörlerin tanıtılması ile kanal adresleri verilmiştir.

BİRİNCİ BÖLÜM

OLİVETTİ PC M24 DONANIMI

1.1 Giriş TI PC DONANIMININ GENEL TANITIMI

IBM PC uyumlu Olivetti PC 'nin ana sistem kartı beş ayrı işlem biriminden oluşur. Bu birimler; Merkezi İşlem Birimi ve yan elemanları, Yanlız okunabilir ROM bellek sistemi, Okuma- Yazma (Read-Write) R / W bellek alt sistemi, giriş çıkış (Input/Output) I/O kanalı ve tümleşik I/O adaptörleridir.

Bu bölümde; merkezi işlem birimi kesinti listesi, RAM,ROM hafıza birimlerinin buldukları adres haritaları giriş çıkış (I/O) kanallarının incelenmesi ve üzerinde bulunan işaretlerin tanımlanması ile kanal seması, ara birim kartları için gerekli olan bellek adres haritası verilmiştir. Sistem aşağıdaki kısımlardan oluşur.

- Mikroişleci ve diğer devreler
- Saat (Clock) devresi
- NMİ lojik
- Kod çözücü devreler
- ROM , RAM hafıza birimleri
- Yal sürücüler
- Programlanabilir zamanlayıcı (8255A-5)
- Programlanabilir paralel arabirim (8255A-5)
- Seri haberleşme lojigi
- Klavye lojigi
- Paralel printer lojigi
- Giriş çıkış (I/O) kanalı

8086 mikroişleci, 16 bitlik işlem ve 20 bitlik

1.2 OLIVETTI PC DONANIMININ GENEL TANITIMI

IBM PC uyumlu Olivetti PC 'nin ana sistem kartı beş ayrı işlem biriminden oluşur. Bu birimler; Merkezi İşlem Birimi ve yan elemanları, Yanlız okunabilir ROM bellek sistemi, Okuma- Yazma (Read-Write) R / W bellek alt sistemi, giriş çıkış (Input/Output) I / O kanalı ve tümleşik I / O adaptörleridir.

Sistemin Merkezi işlem birimi Intel 8086 micro işlemcisidir. 8086 microişlemcisi Intel'in 8088 microişlemcisi ile yazılım uyumludur. 8088 ' de A8-A15 olan adres yolları çoğullayıcı değildir. (8088 ' de BHE yerine SSO kullanılmıştır. 8086 ' daki M / IO , 8088 'de IO / M 'dir. Sistem aşağıdaki kısımlardan oluşur.

- Microişlemci ve özel devreler
- Saat(clock) devresi
- NMI lojik
- Kod çözücü devreler
- ROM , RAM hafıza birimi
- Yol sürücüler
- Programlanabilir zamanlayıcı (8253A-5)
- Programlanabilir paralel arabirim(8255A-5)
- Seri haberleşme lojiği
- Klavye lojiği
- Paralel printer lojiği
- Giriş çıkış (I/O) kanalı

8086 microişlemcisi 16 bitlik işlem ve 20 bitlik

adresleme (1 MByte) yeteneğine sahiptir. İşlem ünitesi 8284A clock generatör ve bölücü entegresi ile 24 MHz'lik kristal frekansını 3'e bölerek elde edilen 8 MHz'lik saat(clock) frekans ile çalışmaktadır.

İşlem ünitesi 20 bitlik doğrudan hafıza erişimi (DMA) olan 4 kanal, 16 bitlik zamanlama - sayma kanalları ve 8 adet öncelikli kesinti (interrupt) seviyesi içerir.

Olivetti PC, 5 ayrı kart kullanılabilmesine olanak sağlar .Her bir kart yeri için ; biri 62'li diğeri 38'li olmak üzere karşılıklı iki konnektörü vardır. IBM PC'de ise 38'li konnektör yoktur.Olivetti PC'deki 62'lik konnektör IBM PC'deki 62'lik konnektörden bir kaç farklı yanı vardır. Bu projede gerekli olan \overline{IOR} \overline{IOW} ve A0 gibi.

DMA kanalının dördünden üçü I/O yolları üzerinde olup, işlem ünitesinin araya girmesine gerek kalmadan I/O cihazları ile hafıza ünitesi arasında yüksek hızda veri iletimini sağlar. Biri ise dinamik bellekleri tazelemek üzere programlanmıştır. Bu işlem zamanlayıcı-sayıcı devresine bir kanal programlıyarak bir boş hafıza erişimi gerçekleştirmesini sağlamak suretiyle yapılır. Bu yapıldığında hem sistem kartı hemde sistem geliştirme bağlantıları üzerinde dinamik hafıza tazelemesini gerçekleştiren bir hafıza okuma çevrimi oluşturur.

Sistemde bulunan zamanlama-sayma (timer- counter) ünitesi 8253'den oluşur. 3 ayrı şekilde kullanılmaktadır.

1. Kanal ; gerçek zaman sabiti elde etmek , gerekli

ve sürekli düzgün zaman aralıklarını elde etmek için, genel amaçlı sayıcı olarak kullanılır.

2. Kanal ; DMA kanalında zamanlama ve tazeleme işlemleri elde etmek için kullanılır.

3. Kanal ise hoparlör çıkışı için gerekli ses frekansında işaret üretir.

1.3 Mikroişlemci kesinti isteği

Sistemde 8 tane öncelikli kesinti isteği vardır. Bunlardan 6 tanesi dış fonksiyon kartlarının bağlandığı sisteme ilaveler için gereken yolları oluşturur. Diğer ikisi ise sistem kartı üzerinde kullanılır. En yüksek önceliğe "0" nolu kesinti isteği sahiptir. Bu gerçek zaman sabitine bağlıdır. "1" nolu kesinti seviyesi tuş takımı adaptörüne bağlı olup, tuş takımı tarafından gönderilen her bir tarama kodu için "1" olur. Maskelenemeyen kesinti (NMI) ise hafıza parity hatalarını bildirmede kullanılır.

1.4 Hafıza Birimi

Sistem kartında RAM ve ROM hafızaları vardır. Bu ROM Sistemi BIOS'un 6 Kbyte'nı, kendi kendine sistem test için 2 Kbyte'nı kullanılmaktadır. Kullanıcı 40 Kbyte'a çıkabilir. Toplam 640 Kbyte RAM bellek, sistem board'da vardır. Rom adres bölgesi 0F400H den 0FFFFH ' e kadardır. 8Kx8 (2716)' lı 6 adet eprom kullanılmıştır. ROM'a erişmek için A16, A17, A18 ve A19 lojik 1 olmalıdır. Her bir ROM 8K byte olduğundan, ROM ların seçilmesi için A13, A14,

A15 adres uçları kullanılmıştır. Sistem ünitesinde RAM bölgesi 00000H ile A0000H adresleri arasındır. RAM belleklerin donanımı 64'ün katları olarak 640K'ya kadar genişletilebilmektedir. 41256 ve 4164 RAM'lere ait soketler vardır. Dinamik RAM'lerin tazelenmesi için 8237A-5'in sıfırinci kanalı kullanılmıştır.

1.4.1 Sistem Bellek Haritası

Başlangıç Haritası		Fonksiyonlar
onlalık	onaltılı	
0	00000	640' lık RAM Bölgesi
.	.	
.	.	
640K	A0000	
644K	A1000	Sisteme ayrılmış
656K	A4000	
672K	A8000	112KB Grafik/Display
688K	AC000	Video Buffer
704K	B0000	Tek renk ekran
720K	B4000	
736K	B8000	Renkli Grafik Ekran
752K	BC000	
768K	C0000	192KB ROM Hafıza genişletme
960K	F0000	Sisteme ayrılmış
976K	F4000	ROM Bölgesi
984K	F6000	Sisteme ayrılmış
1016K	FE000	Power-on Diagnostic ve BIOS

1.5 I/O Kanalı

5 Giriş Çıkış slot'u ana sistem kartında, geliştirme amacı için ayrılmıştır. I/O kanalı şunları içermektedir.

- 20 adres hattı
- 8 bit sistem hattı
- Ara birim kartları için besleme voltajı
- Saat(clock) ve zamanlama sinyalleri
- Hafıza için kontrol yolları, DRQ1 den DRQ3'e, DACK1'den DACK3'e veya I/O okuma ve yazma
- 6 adet kesinti seviyesi
- Hafızayı tazeleme kontrol hatları

Bu sinyal yolları 62 ve 38'li bağlantı kartlarında bulunur. Arabirim kartları için +5V DC , -5V DC , +12V DC ve -12V DC , 4 adet voltaj seviyesi bulunur. Bütün kartları besleyecek kapasiteye sahiptir.

$\overline{DACK1}$ 'den $\overline{DACK3}$ 'e kadar olan ayaklar çıkıştırlar. Buna karşılık IR2'den IR7'ye kadar ve DRQ1'den DRQ3'e kadar olanlar giriştirler. Seri haberleşme kontrolcüsü 8250, floppy disk kontrolcüsü ve paralel yazıcı kontrolcüsü sistem ana kartında mevcuttur.

IR6, DRQ2 ve $\overline{DACK2}$ direkt olarak floppy disk sürücüsünün devresine bağlıdır. Processörün yavaş hafıza veya I/O devreleri ile bilgi transferi oluşturmak için , I/O Ready line I/O CH RDY I/O kanalı ile sağlanır. I/O Ready, seçilmiş bir I/O devreleri ile aktive edilmemişse,

bütün processor okuma ve yazma süreleri 210 veya 125 sn olan 4 saat(clock) peryodu tutar. Bu ise processor üzerindeki hız moduna bağlıdır. Her DMA bilgi transferi her byte için 5 saat peryodu alır.

1.5.1 I/O Bellek Haritası

000 - 00F	8237A-5 DMA devresi
020 - 021	8259A kesinti devresi
040 - 043	8253-5 zamanlayıcı devresi
060 - 063	8255A-5 çevre ara birimi
080 - 083	DMA Sayfa kaydediciler
0AX	NMI Maskeleye kaydedicisi
0CX	
0EX	Sistem için ayrılmıştır
100 - 1FF	Kullanılamaz
200 - 20F	Oyun kontrol adaptörü
210 - 217	Sistem genişletme
220 - 24F	Sisteme ayrılmıştır
278 - 27F	Sisteme ayrılmıştır.
2F0 - 2F7	Sisteme ayrılmıştır.
2F8 - 2FF	Asenkron haberleşme (ikincil)
300 - 31F	Prototip kartı
320 - 32F	Sabit disk ünitesi
378 - 37F	Yazıcı
380 - 38C	SDLC haberleşme
390 - 398	İkili tabanda senkron haberleşme (ikincil)

3A0 - 3A9	İkili tabanda senkron haberleşme (birincil)
3B0 - 3BF	Tek renkli ekran / yazıcı
3C0 - 3CF	Sisteme ayrılmış
3D0 - 3DF	Renkli ekran / grafik
3E0 - 3EF	Sisteme ayrılmış
3F0 - 3F7	Disket
3F8 - 3FF	Asenkron haberleşme (birincil)

1.5.2 I/O Kanal İşaretlerinin Açıklaması

D0 - D7 (Giriş/Çıkış)

Bu Yollar sistemin veri yoluna bağlanmıştır. Aktif seviyesi lojik "1" dir.

A0 - A19 (çıkış)

A0 - A19 Bu hatlar sistemin adres yoluna bağlıdır. hafıza adresi 1 MByte 'a kadar çıkartılabilir. Aktif seviyesi lojik "1" dir ve microişlemci veya DMA kontrolcüsü tarafından üretilir.

IRQ2 - IRQ7 (giriş)

Bu hatlar CPU'ya , 2'den 7'ye kadar kesinti isteklerini oluşturmak için I/O devreleri tarafından kullanılır. öncelik sırası IRQ2'den IRQ7'ye doğrudur. Kesinti isteği olduğu zaman, bu uc CPU kabul edene kadar, 1'de kalır.

\overline{IOR} (çıkış)

Bu kontrol sinyali (aktif low) adreslenmiş bir I/O

devresindeki bilgiyi data yoluna verir. CPU veya DMA kontrolcüsü vasıtasıyla sürülür.

$\overline{\text{IOW}}$ (çıkış)

Bu kontrol sinyali (aktif low), adreslenmiş I/O devresinin data yolunda mevcut bilgiyi okumayı sağlar. CPU veya DMA kontrolcüsü tarafından sürülür.

$\overline{\text{MEMR}}$ (çıkış)

Aktif low olan bu kontrol sinyali, adreslenmiş devresine veri yolundaki bilgiyi sunmasına sebep olur. DMA kontrolcüsü tarafından üretilir.

$\overline{\text{MEMW}}$ (çıkış)

Aktif "0" olan bu kontrol sinyali adreslenmiş hafıza devresinin veri yolundaki mevcut bilgiyi almasını sağlar. Buda CPU veya DMA kontrolcüsü tarafından üretilir.

I/O CH RDY (giriş)

Bu işaret genelde "1" seviyesinde olup I/O kanalı üzerindeki yavaş hafıza veya I/O ünitelerinden bir okuma yapılırken okuma işleminin süresini uzatmak için "0" a çekilir. "0" seviyesinde kaldığı sürece I/O kanalı hazır değildir. Bu seviyede kalış süresi 10 saat darbesini geçmemelidir.

I/O CH CK (giriş)

Aktif "0" olan bu hat, I/O kanalı üzerindeki hafıza veya diğer ünitelere ait parity hatalarını belirtir. Eğer "0" ise bir parity hatasına rastlanmış demektir. Bu işaret maskelenmeyen bir kesintiye sebep olmadan önce

serbest bırakılmalıdır. I/O üzerinde yavaş gerçekleşen giriş çıkış işlemleri veya yavaş hafıza elemanları için bir "ready" işareti mevcuttur. I/O üniteleri, hafıza haritasındaki I/O adresleri kullanılarak seçilirler.

DRQ1 - DRQ3 (giriş)

Aktif "1" olan bu hatlar hafıza erişimi isteğini bildirir. DMA gereksinimi için kullanılır. En yüksek önceliğe DRQ1, en düşük önceliğe DRQ3 sahiptir. DMA isteği, \overline{DACK} işareti aktif oluncaya kadar, bu seviyede tutulması ile belirtilir.

$\overline{DACK0}$ - $\overline{DACK3}$ (çıkış)

Bu hatlar, DMA alındığını göstermek için ve sistem dinamik RAM'inin tazelenmesi için kullanılır. Aktif seviyesi "0" dir.

AEN (çıkış)

Aktif "1" olan bu işaret, DMA kontrol ünitesi, sistemin adres yollarını, veri yollarını, hafıza veya I/O devreleri için okuma ve yazma komutlarını kontrol eder. Ayrıca sistem yolları üzerindeki I/O adreslerini etkisiz kılar.

T/C (çıkış)

Terminal sayıcısıdır. Aktif seviyesi "1" dir. Erişilen bir DMA transferi için terminal sayısına ulaşıldığı zaman bir darbe gönderir.

OSC (çıkış)

Bu sinyal osilatör işleminin frekansını gösterir.

Bu % 50 darbe oranına sahip 24 MHz'lik bir işarettir.

CLK (çıkış)

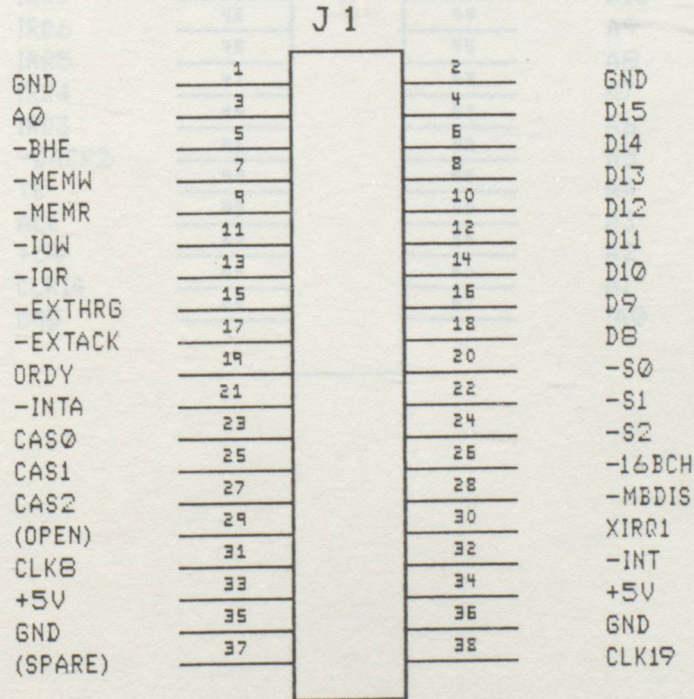
% 33 darbe oranlı 8 MHz'lik sistem saatidir. OSC'ün 3'e bölünmesi ile elde edilir. Bir saatlik periyod süresi 125 ns'dir.

RESET DRV (çıkış)

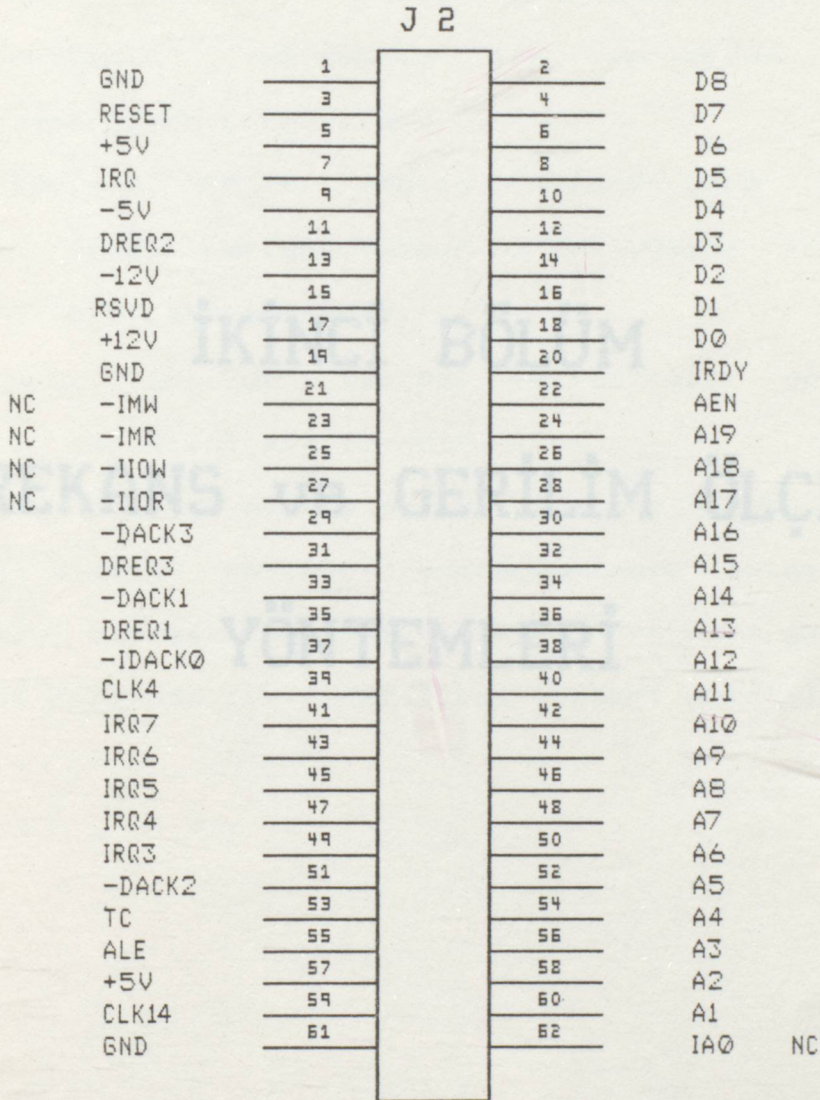
Aktif seviyesi "1" olan bu sinyal, sisteme güç uygulandığında sistemi sıfırlar. Saat darbesinin düşen kenarı ile senkronize edilmiştir.

1.5.3 I/O Kanal Şemaları

Giriş çıkış kanalı, 62'li ve 38'li olmak üzere iki ayrı bağlantı soketinden oluşur. 38'li bağlantı soketi Şekil 1.1 de, 62'lisi ise Şekil 1.2 de gösterilmiştir.



Şekil 1.1 : 38'li I/O soketin şeması



Şekil 1.2 : 62'li I/O soketin şeması

2.1 BİRİS

Frekans ölçme yöntemleri analog ve sayısal olmak üzere iki çeşittir. Analog frekansmetreler, dijital elektronikinin gelişmesiyle yerlerini sayısal frekansmetrelere bıraktılar.

Sayısal FM'ler analog FM'lere göre doğruluğu yüksek, ölçme zorluğa yoktur ve çok yüksek frekanslara kadar çalışabilir.

İKİNCİ BÖLÜM

FREKANS ve GERİLİM ÖLÇME

YÖNTEMLERİ

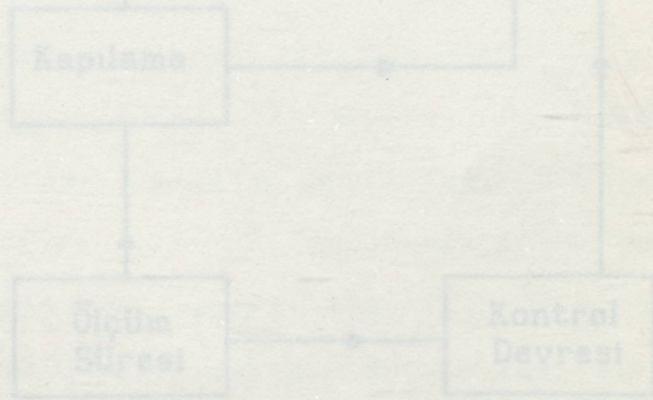
2.1 GİRİŞ

Frekans ölçme yöntemleri analog ve sayısal olmak üzere iki çeşittir. Analog frekansmetreler digital elektroninin gelişmesi ile yerlerini sayısal frekansmetrelere bıraktılar.

Sayısal FM'ler analog FM'lere göre doğruluğu yüksek, okuma zorluğu yoktur ve çok yüksek frekanslara kadar çıkılabilmektedir.

Aynı şekilde sayısal voltmetreler de analog VM'lerin yerlerini almışlardır.

Bu bölümde sadece sayısal frekans ölçme yöntemi, analog digital çevirici yöntemlerinden entegral alma yöntemi, basamak yöntemi, ardışıl yaklaşım yöntemi ve voltajı frekansa çevirerek ölçme yöntemi anlatılmıştır.

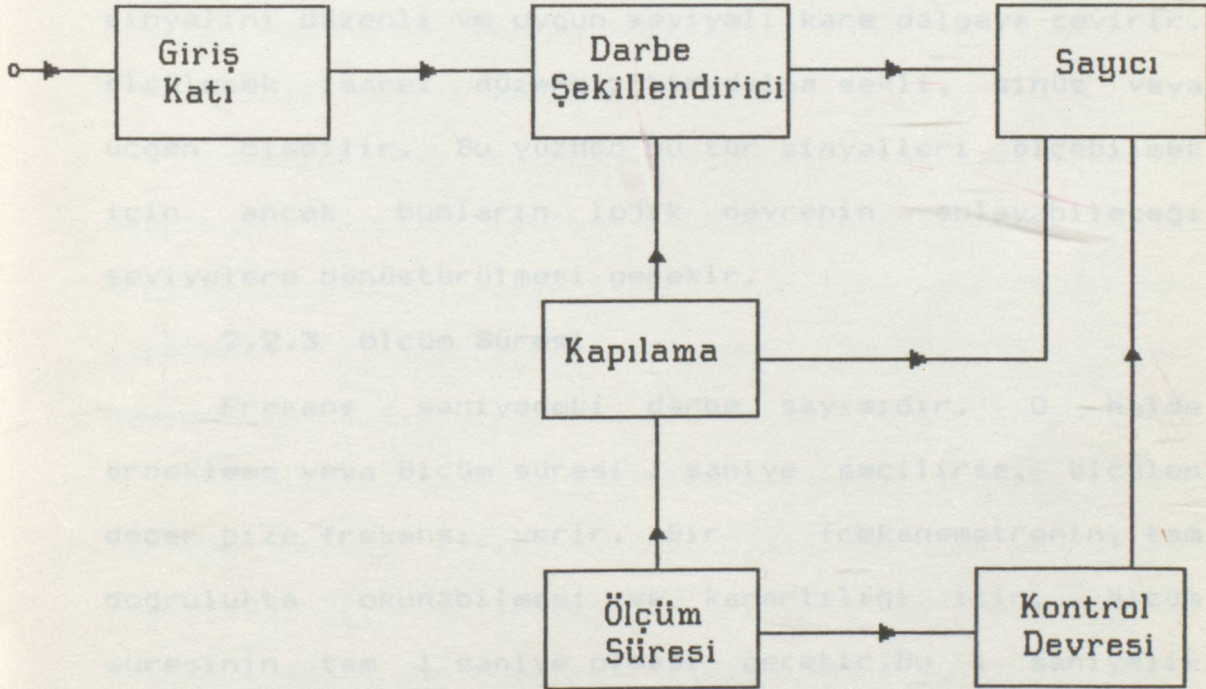


Şekil 2.1 : Bir sayısal frekansmetrenin blok şeması

2.2 SAYISAL FREKANSMETRENİN TEMEL PRENSİBİ

Genel olarak sayısal bir frekansmetre; bilinmeyen frekansı ölçen ve ölçülen frekansın kullanıcı tarafından direkt olarak okunmasını sağlayan, digital bir sistemdir.

Sayısal bir frekansmetre temel olarak; Şekil 2.1’de gösterildiği gibi; giriş katı, darbe şekillendirici, ölçüm süresi (time base), sayıcı ve kontrol devresi kısımlarından oluşur.



Şekil 2.1 : Bir sayısal frekansmetrenin blok şeması

2.2.1 Giriş Katı

Giriş katı kısmı; bir empedans uygunlaştırıcı ve kuvvetlendiriciden ibarettir. Empedans uygunlaştırıcı devre, çıkış empedansı yüksek sinyallerin bozunmasını ve zayıflamasını önler. Giriş direnci Mega ohm, giriş kapasitesi pF mertebesinde olmalıdır. Kuvvetlendirici kısmı ise; gerekli lojik seviyenin, altındaki sinyallerin ölçülebilmesini sağlamak için kullanılır. Böylelikle mV mertebesindeki sinyallerin frekansı ölçülür.

2.2.2 Darbe Şekillendirici

Darbe Şekillendirici (Schmitt Trigger) kısmı, giriş sinyalini düzenli ve uygun seviyeli kare dalgaya çevirir. Ölçülecek işaret düzensiz bir dalga şekli, sinüs veya üçgen olabilir. Bu yüzden bu tür sinyalleri ölçebilmek için ancak bunların lojik devrenin anlayabileceği seviyelere dönüştürülmesi gerekir.

2.2.3 Ölçüm Süresi

Frekans saniyedeki darbe sayısıdır. 0 halde örnekleme veya ölçüm süresi 1 saniye seçilirse, ölçülen değer bize frekansı verir. Bir frekansmetrenin, tam doğrulukta okunabilmesi ve kararlılığı için, ölçüm süresinin tam 1 saniye olması gerekir. Bu 1 saniyelik ölçüm süresi kristal osilatör ile elde edilirse hatası milyonda 1 in altına düşürülebilir. Kristal osilatör frekansının mertebesi M Hz civarındadır. Bu yüksek frekans sayısal bölücü devreler ile gereken değere

bölünerek ölçüm süresi olan 1 saniye sağlanır. ölçüm süresinin kısaltılması durumunda hata değeride ona bağlı olarak artar. Bu süre 0.1 saniye seçilirse; ölçüm hızı 10 kat artar. Bununla birlikte 10 Hz.lik bir hata olur. ölçülen değer, gerçek değerın 10 katıdır. Bu kadar bir hatanın önemli olmadığı, hızlı ölçüm yapılması gereken yerlerde kullanılabilir.

Frekans 0.1 Hertz'lik bir hassasiyetle ölçülmek istendiğinde, ölçüm süresi 10 sn.'ye çıkarılmalıdır. Hata değeri az olmasına karşılık cevap verme süresi uzundur. Sürenin önemli olmadığı, hassas ölçüm yapılması gereken yerlerde kullanılabilir.

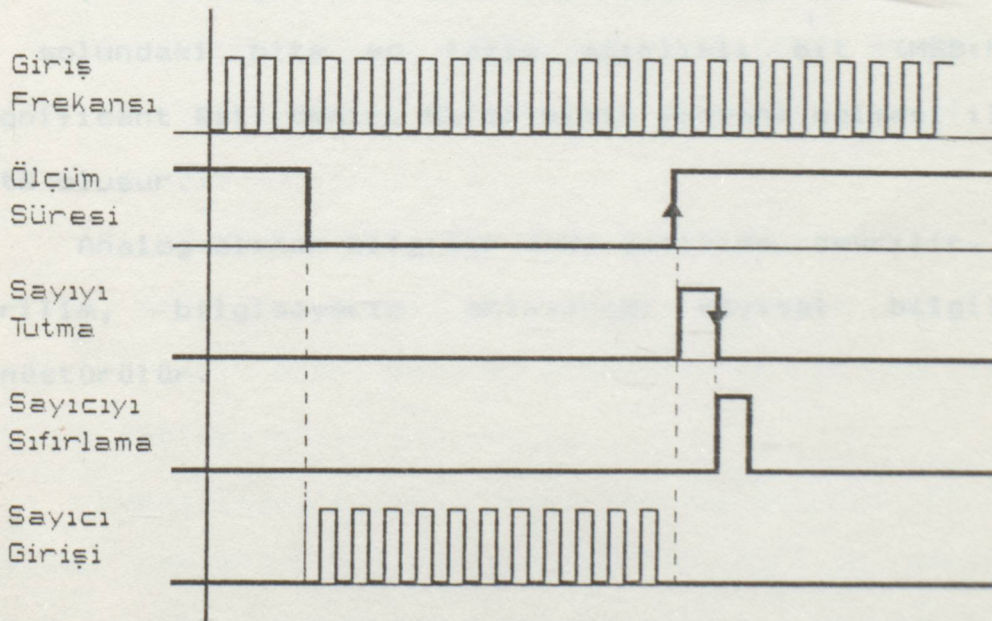
2.2.4 Sayıcı ve Kontrol Devresi

Frekansmetre sayıcısının bu kısmı ondalık (dekad) sayıcı ile yapılır.ölçülmek istenen frekansın büyüklüğüne göre 1,2,3,4,5,6,7 veya 8 dekad yapılır. 8 haneli ise; maksimum ölçülebilecek frekans 99.999.999 olur. Sayıcıdaki bu değer ondalık göstergelerde gözlenir.

Sayıcı kapılama ile birlikte saymaya başlar. ölçme süresi sonunda sayıcı durur. Sayıcının yeni bir ölçüm alabilmesi için eski değerinin silinmesi gerekir.Yeni bir ölçüme kadar eski değerinin silinmemesi için bu değer tutucu (latch) bir devreye iletilir.Bu iletimin ardından yeni sayım için sayıcı (reset) sıfırlanır. Bu işlem her ölçümde tekrarlanır. Tutma ve sıfırlama, Şekil 2.1' de kontrol devresi olarak gösterilmiştir. Frekansmetrenin

ölçüm süresi, giriş işareti, tutma ve sıfırlama dalga şekilleri Şekil 2.2'de gösterilmiştir.

Böyle basit bir sayısal frekansmetre geniş kullanım amaçları için geliştirilebilir. Göstergeden görülebilecek maksimum frekans, girişe konulan bir bölücü devre ile Giga Hz'ler mertebesine çıkarılabilir. Hanesi az olan bir frekansmetre ile daha fazla frekans ölçmek için, girişine konulacak olan bölücü devre elle değiştirilebileceği gibi otomatik olarak (otorang frekansmetreler) yapılabilir. Bir frekansmetrenin girişine eklenen bir 10'a bölücü devresi ile ölçülebilecek frekans 10 kat arttırılabilir. Gerçek değer, göstergeden görülen değer 10 katıdır. Buna karşılık hata ± 10 Hz'dir.



Şekil 2.2 : Sayısal frekansmetrenin bazı dalga şekilleri

2.3 A/S DÖNÜŞTÜRÜCÜLER

Bütün fiziksel olaylar analog özellik gösterir. Örneğin bir ışık olayı, sıcaklık olayı, malzemenin uzaması, sonuçta bize analog bilgi verir. Bilgisayarların kullanımından önce bunların ölçümü analog idi. Ölçümlerin daha doğru ve rahat okunması sayısal elektronik ile gerçekleştirilmiştir. Sayısal bilgisayar ile ölçüm yapabilmek için analog işaretler, lojik mantık seviyeleri olan "1" ve "0" lara dönüştürülmelidir.

Bilgisayar mantığı "1" ve "0" lardan oluşur. İki tabanlı (binary) sistem kullanılır. En düşük değeri 1 haneden oluşur. Buna Bit denir. Bir bitin iki olasılığı vardır. Bunlar 1 ve 0 ' dır. Bitlerin yanyana dizilişi ile olasılık sayısı artırılır. Dizilişin en sağındaki bit'e , en az ağırlıklı bit (LSB:Least Significant Bit) , en solundaki bite en fazla ağırlıklı bit (MSB:Most Significant Bit) denir. Sekiz bitin yanyana gelmesi ile 1 Byte oluşur.

Analog alınan bilgiler önce gerilime çevrilir. Bu gerilim, bilgisayarın anlayacağı sayısal bilgilere dönüştürülür.

Kuantalama hatası (kuantizasyon) : Analog sayısal dönüştürücülerde aynı her bir gerilim değerine değil, belli bir gerilim aralığına tek bir sayısal değer karşı düşürülmektedir. Örneğin, gelen bu data ile önce

2.3.1 A/S Dönüştürücü Parametreleri

A/S dönüştürücülerde olması gereken parametreler aşağıda açıklanmıştır.

Dönüştürme süresi (Conversion time): Belli bir andaki giriş gerilimine karşı düşen sayısal değerlerin belirlenmesi için gerekli olan süreye denir.

Tek Düzelik (Monotonicity): Bir dönüştürücünün giriş gerilimi artarken, çıkış geriliminin sürekli olarak artmasına denir.

Doğrusallık (linearty): Geçiş (transfer) fonksiyonu ile dönüştürücü çıkışının en küçük ve en büyük değerlerinden geçen doğru arasındaki farka denir.

Farksal Lineerlik (Differential linearty): Birbirini izleyen iki dönüştürme adımı ile ideal dönüştürücünün geçiş fonksiyonu arasındaki farka denir.

Dönüştürme Süresi (conversion time): Belli bir giriş gerilimine karşı çıkışta cevabın belirlenmesi için gereken süreye denir.

Ayırdevedebilirlik (resolution): Dönüştürücünün ; girişte meydana gelecek artma veya azalmaya karşılık, çıkış ifadesi olan sayısal bilginin en az ağırlıklı bitinin değişme miktarına denir.

Kuantalama Hatası (quantization error): Analog-sayısal dönüştürücülerde ayrı her bir gerilim değerine değil, belli bir gerilim aralığına tek bir sayısal değer karşı düşürülmektedir. Yöntemden gelen bu hata ile devre

elemanlarının tolerans hataları kuantalama hatasını arttırır. Bu hata ± 1 LSB kadardır. Bunun anlamı, en düşük ağırlıklı bitinin güvenilir olmadığıdır. Yukarıda açıklanan parametreler kullanılan devrelere bağlıdır ve üretici tarafından belirlenirler.

2.3.2 A/S Dönüştürme Yöntemleri

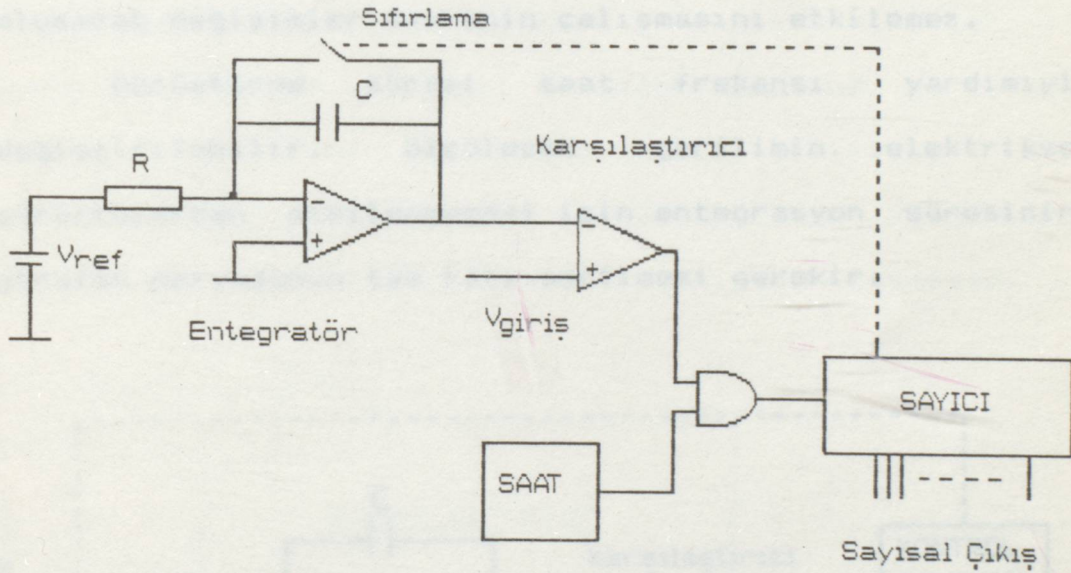
Dönüştürme yöntemleri ölçülecek büyüklüğün durumuna göre seçilir. Girişi sabit yada değişken, hızlı veya yavaş olabilir. Doğrusallığın ve ayırdedilebilirliğin gerekli olduğu durumlarda basamak yöntemi ve entegral alma yöntemi kullanılır. Çok hızlı ölçme gereken durumlarda karşılaştırma (flashing) yöntemi kullanılır. Endüstride kullanılan bir yöntemde Ardışıl Yaklaşım yöntemidir.

Entegral Alma Yöntemi

Tek Eğimli Dönüştürücü: Blok diyagramı Şekil 2.3' de gösterilen bu yöntem; karşılaştırıcı, sayıcı, kontrol ve testere dişi gerilim üreticinden ibarettir.

Dönüştürme işleminin başlangıcında entegre alıcı devre ve sayıcı sıfırlanır. Testere dişi gerilim üreticinin çalışmaya başlaması ile aynı anda sayıcı girişine saat (clock) darbeleri uygulanmaya başlar. Üreticinin çıkış gerilimi, ölçülecek olan gerilime geldiğinde karşılaştırıcının çıkışı konum değiştirir. Sayıcıya uygulanan saat darbesi kesilir ve sayıcı durur.

Sayıcı duruncaya kadar geçen süre giriş gerilimi ile orantılıdır. Dönüştürücünün kararlılığı entegral devresinde kullanılan direnç ve kondansatörün fiziksel karakteristiğine bağlıdır. Sıcaklıkla değişim katsayıları düşük olan elemanlar kullanılmalıdır. Devrenin tekrar ölçüm yapabilmesi için dolan kapasitenin boşalması gerekir. Bu sayıcının durmasından sonra olur.

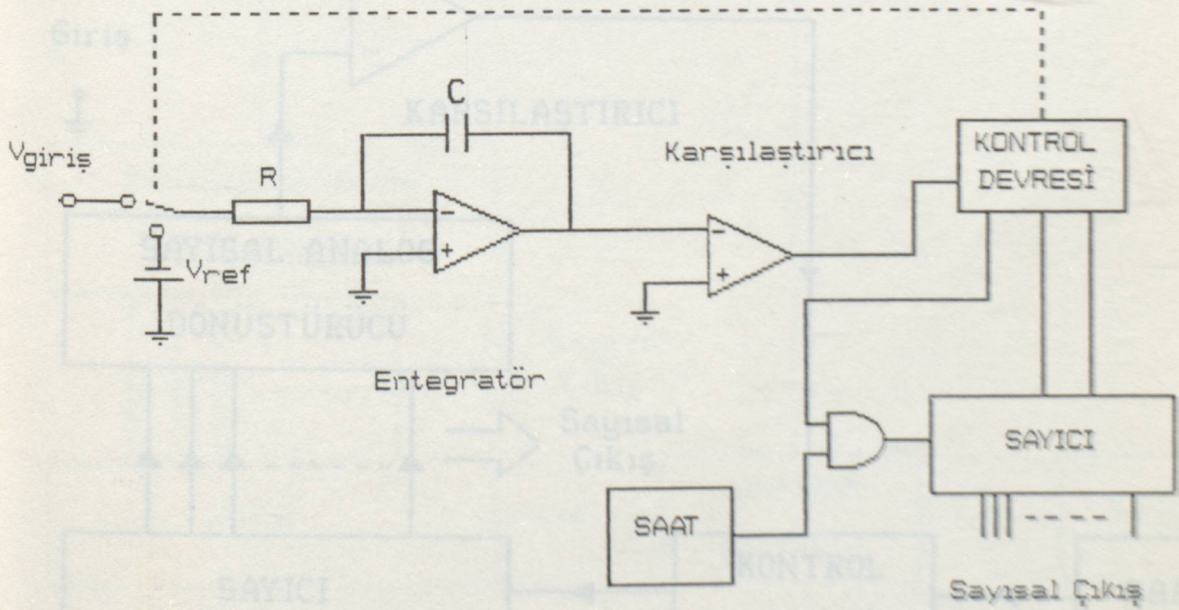


Şekil 2.3: Tek eğimli dönüştürücü

Çift eğimli dönüştürücü: Blok diyagramı Şekil 2.4' de gösterilmiştir. Bu yöntemde sayıcı sıfırdan son değerine gelinceye kadar geçen süre için giriş geriliminin entegrali alınır. Ardından sayıcı sıfırlanır ve entegral devresinin girişi negatif referans kaynağına

bağlanır. Kondansatörün boşalması ile birlikte sayıcı saymaya başlar. Entegratörün çıkışı sıfırı geçtiği anda komparatör çıkışı aktif duruma geçerek sayıcıyı durdurur. Kondansatörün boşalma süresi ölçülen değerle dolayısıyla giriş gerilimi ile orantılıdır. Bu dönüştürmenin üstünlüğü, saat frekansı ve RC zaman sabitinin yalnızca dönüştürme işlemi sırasında sabit kalmasının yeterli olmasıdır. Bu yüzden eleman değerlerindeki zamanla oluşacak değişimler devrenin çalışmasını etkilemez.

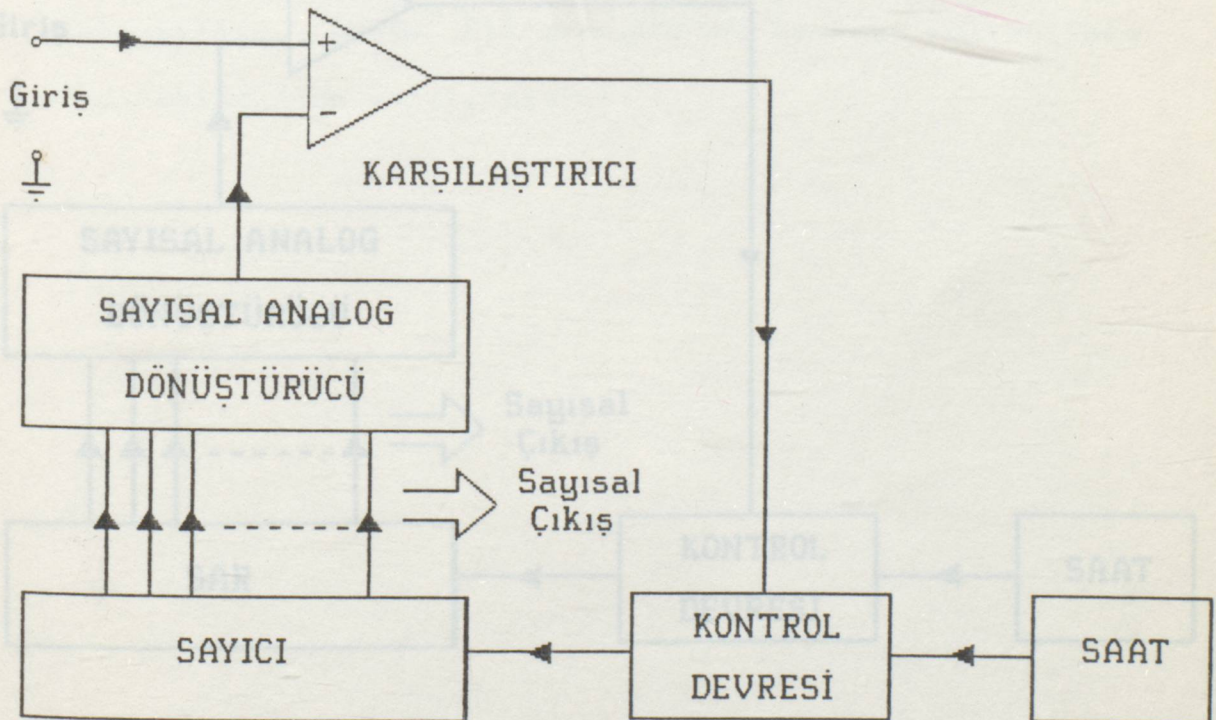
Dönüştürme süresi saat frekansı da yardımıyla değiştirilebilir. Ölçülecek gerilimin elektriksel gürültülerden etkilenmemesi için entegrasyon süresinin, gürültü periyodunun tam katı seçilmesi gerekir.



Sekil 2.4 : Çift Egimli Dönüştürücü

Basamak Yöntemi

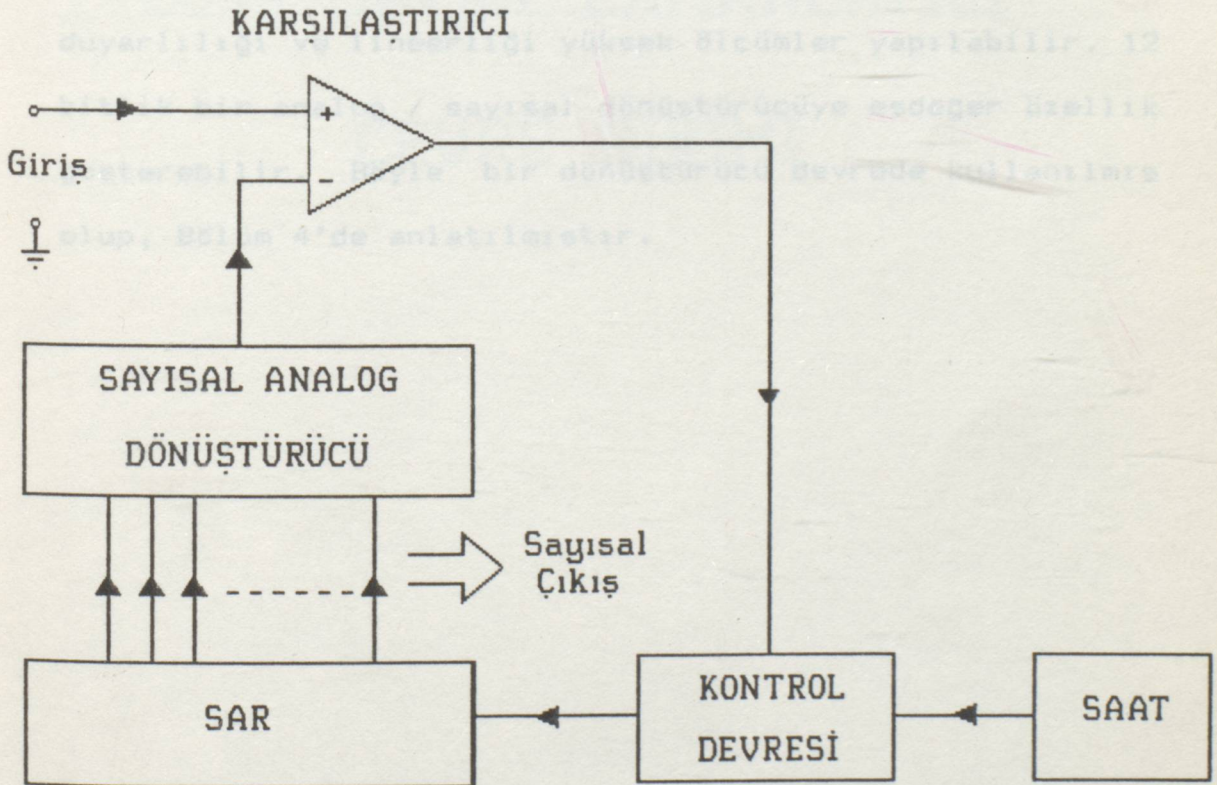
Blok diyagramı Şekil 2.5'de görülen bu yöntem bir sayıcı, saat devresi, karşılaştırma ve sayısal analog dönüştürücü içerir. İlk olarak sayıcı sıfırlanır ve sayıcı sıfır'dan artarak saat frekansında sayar. Sayıcı çıkışı analog'a çevrilerek bir komparatör ile bilinmeyen gerilim karşılaştırılır. Eşit olduğu zaman komparatör çıkışı konum değiştirir ve sayıcı durur. Sayıcıdaki değer bir tutucu devresinde saklanır. Bu değer aynı anda görtergeye iletilir. Yeni bir ölçüm için sayıcı sıfırlanır. Aynı işlemler tekrar eder. Bu dönüştürücünün kötü yanı, hassasiyeti artırıldıkça dönüştürme hızının düşmesidir.



Şekil 2.5: Basamak yöntemi

Ardışıl Yaklaşım Yöntemi

Yüksek hız gerektiren dönüştürme işlemlerinde yaygın olarak kullanılan bir dönüştürme yöntemidir. Blok şeması Şekil 2.6' de görüldüğü gibi kaydedici, kontrol devresi, S/A dönüştürücü, komparatör ve saat devresinden oluşur. Bu dönüştürücü tartı işlemine benzer şekilde çalışır. Her seferinde, girişi bir evvelki değerin yarısı ile kontrol edilir. Kontrolü, dönüştürücünün en büyük değerinden başlayarak yapar.



Şekil 2.6 : Ardışıl yaklaşım yöntemi

Bitlerin deęişimini, ardışıl yaklaşım yazmacı kontrol eder. Aynı anda S/A dönüştürücüyüde denetler. İlk olarak, S/A dönüştürücünün en ağırlıklı bitini set eder. S/A çıkışı giriş ile karşılaştırılır ve en ağırlıklı bitin 1'de kalıp kalmayacağına karar verir. Daha sonra diğer bitler üzerinde işlem yapar. Tüm bitler için işlemler yapıldığında karşılaştırmadan sonra SAR'ın çıkışındaki görülen sayısal deęer, giriş voltajının deęerini verir.

Voltajı Frekansa Çevirme Yöntemi

Bu yöntem ile çok hızlı olmamakla beraber duyarlılığı ve lineerliği yüksek ölçümler yapılabilir. 12 bitlik bir analog / sayısal dönüştürücüye eşdeğer özellik gösterebilir. Böyle bir dönüştürücü devrede kullanılmış olup, Bölüm 4'de anlatılmıştır.

3.1 Giriş

Gerçekleştirilen endüstriyel amaçlı frekans-gerilim ölçen bilgisayar arabirimi kartının yapımında, 8253 programlanabilir sayıcı-zamanlayıcı çevre birimi tüm devresi kullanılmıştır.

Bu bölümde 8253 çevre birimi tüm devresinin blok diyagramı, giriş kontrol uçları, bunların kullanılması ve sayıcıların programlanmasını sağlayan kontrol kaydedicisinin terimi hakkında bilgi verilmektedir. Ayrıca 8253 ün çalışma modları ve bu modların kullanılması şekilleri ile programlanması hakkında

ÜÇÜNCÜ BÖLÜM

8253 SAYICI ZAMANLAYICI

ÇEVRE BİRİMİ

3.1 Giriş

Gerçekleştirilen endüstriyel amaçlı frekans-gerilim ölçen bilgisayar arabirim kartının yapımında, 8253 programlanabilir sayıcı-zamanlayıcı çevre birimi tüm devresi kullanılmıştır.

Bu bölümde 8253 çevre birimi tüm devresinin ; blok diyagramı, giriş kontrol uçları, bunların kullanılışı ve sayıcıların programlanmasını sağlayan kontrol kaydedicisinin (Control Register, CR) içeriği hakkında bilgi verilmiştir. Ayrıca 8253'ün çalışma modları ve bu modların kullanılma şekilleri ile programlanması hakkında gereken bilgiler verilmiştir.

- Sayısal Tek Atılım (One-Shot)
- Kare dalga üretici
- Yarıda tetiklemeli strobe
- Donanı tetiklemeli strobe

8253'ün iç blok diyagramı ve ayak bağlantıları Şekil-3.1'de gösterilmiştir. Bilgi veri yolu (data bus) 3 temel fonksiyona sahiptir. Birincisi 8253'ün çalışma modlarını programlama; ikincisi kontrol kaydedicisine (register) yükleme yapma; üçüncüsü sayıcı değerlerini okuma.

RD (read) kontrol ucu Lojik 0 ise 8253'e sayıcı değerleri formunda CPU'dan bilgi gelir.

WR (write) kontrol ucu Lojik 0 ise 8253 sayıcı değerlerini CPU'ya gönderir.

3.2 8253 SAYICI ZAMANLAYICI TUM DEVRESİNİN TANITIMI

Intel 8253 bir mikrobisayar ara birim gibi kullanmak için tasarlanmış programlanabilir zamanlayıcı ve sayıcıdır. Yalnız +5 volt beslemeli nMOS teknolojisi kullanılmıştır ve 24 bacaklıdır.

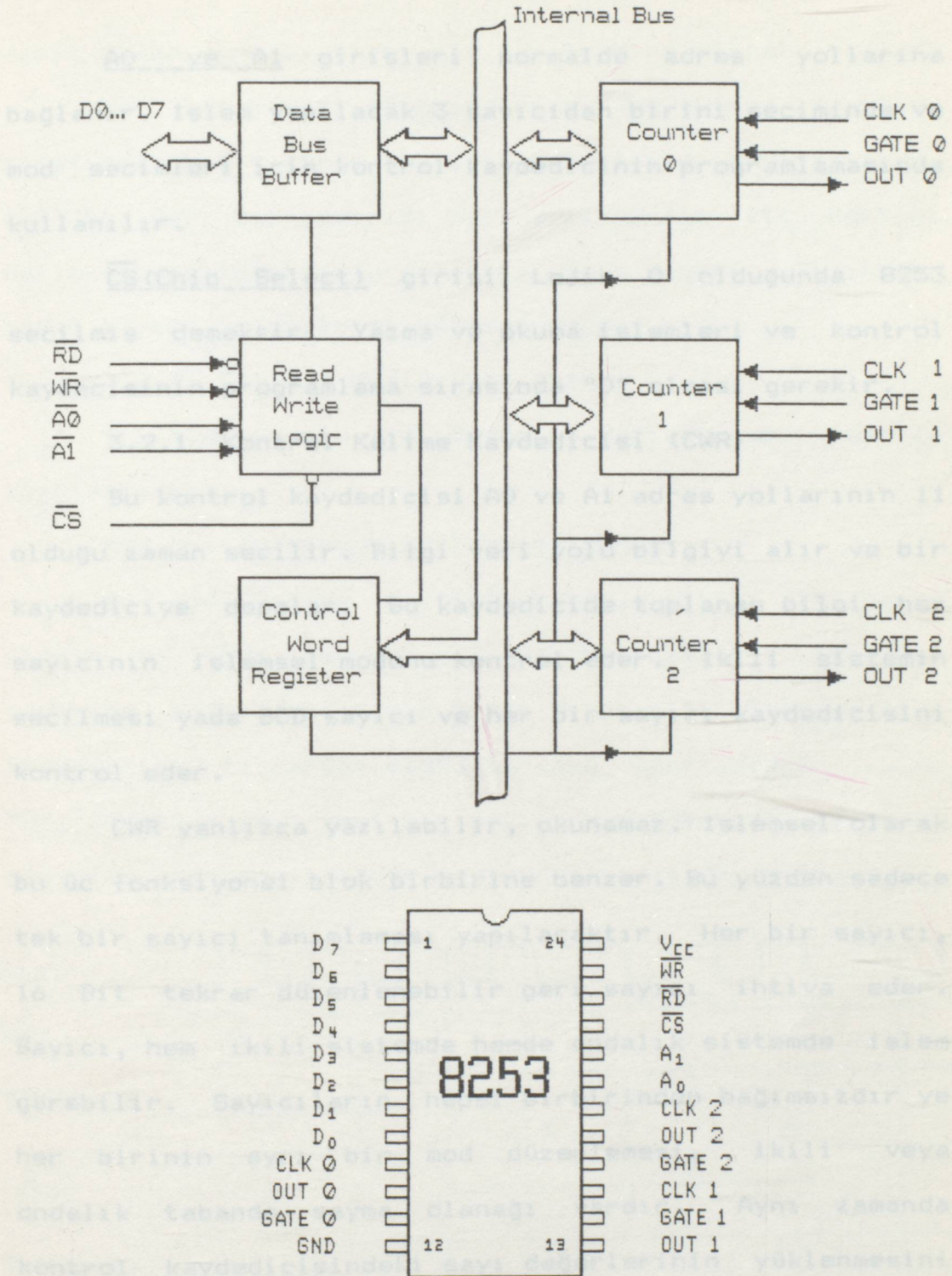
İç organizasyonu 3 ayrı 16 Bit'lik sayıcıdan ibarettir. Her biri 2.6 MHz'e kadar sayabilir. TTL uyumludur. Sayıcıları 6 değişik modda çalıştırılabilir. İşlemlerin bütün modları yazılım ile programlanmaktadır. Yapabildiği fonksiyonlar için şunlar söylenebilir.

- Programlanabilir Rate üretici
- Gerçek zaman saati
- Sayısal Tek Atılım (One-Shot)
- Kare dalga üretici
- Yazılım tetiklemeli strobe
- Donanım tetiklemeli strobe

8253'ün iç blok diyagramı ve ayak bağlantıları Şekil 3.1'de gösterilmiştir. Bilgi veri yolu (data Bus) 3 temel fonksiyona sahiptir. Biricisi 8253'ün çalışma modlarını programlama; ikincisi kontrol kaydedicisine (register) yükleme yapma; üçüncüsü sayıcı değerlerini okuma.

\overline{RD} (read) kontrol ucu Lojik 0 ise 8253'e sayıcı değerleri formunda CPU'dan bilgi gelir.

\overline{WR} (write) kontrol ucu Lojik 0 ise 8253 sayıcı değerlerini CPU' a gönderir.



Sekil 3.1: 8253 çevre birimi tümdevresinin iç organizasyonu ve bacak bağlantılarının şeması

A0 ve A1 girişleri normalde adres yollarına bağlanır. İşlem yapılacak 3 sayıcıdan birini seçiminde ve mod seçimleri için kontrol kaydedicinin programlamasında kullanılır.

CS (Chip Select) girişi Lojik 0 olduğunda 8253 seçilmiş demektir. Yazma ve okuma işlemleri ve kontrol kaydedicisinin programlama sırasında "0" olması gerekir.

3.2.1 Kontrol Kelime Kaydedicisi (CWR)

Bu kontrol kaydedicisi A0 ve A1 adres yollarınının 11 olduğu zaman seçilir. Bilgi veri yolu bilgiyi alır ve bir kaydediciye depolar. Bu kaydedicide toplanan bilgi her sayıcının işlemsel modunu kontrol eder. İkili sistemin seçilmesi yada BCD sayıcı ve her bir sayıcı kaydedicisini kontrol eder.

CWR yalnızca yazılabilir, okunamaz. İşlemsel olarak bu üç fonksiyonel blok birbirine benzer. Bu yüzden sadece tek bir sayıcı tanımlaması yapılacaktır. Her bir sayıcı, 16 Bit tekrar düzenlenebilir geri sayıcı ihtiva eder. Sayıcı, hem ikili sistemde hemde ondalık sistemde işlem görebilir. Sayıcıların hepsi birbirinden bağımsızdır ve her birinin ayrı bir mod düzenlemesi, ikili veya ondalık tabanda sayma olanağı vardır. Aynı zamanda kontrol kaydedicisindeki sayı değerlerinin yüklenmesini gösteren değişik özellikleri vardır ki, yazılım taşması bu fonksiyonlar için minimum olsun.

Her sayıcının içeriğinin okunması, programlayıcıya

basit okuma operasyonları ile yapılmasına olanak sağlar.

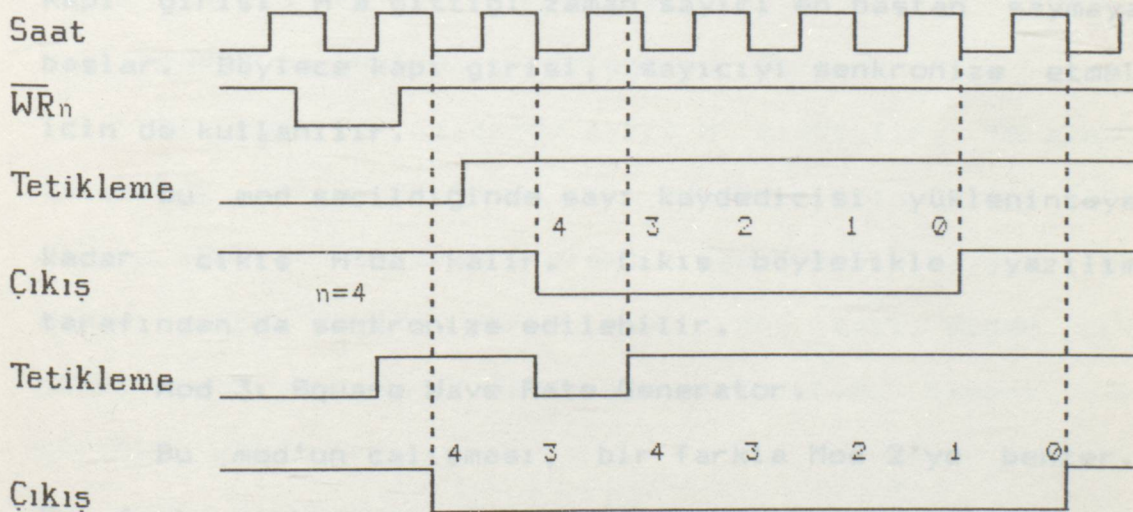
Her bir sayıcı için modların tümü system yazılımı tarafından basit giriş çıkış işlemleri ile programlanır. 8253'ün her bir sayıcısı ayrı ayrı CWR'ye bir kontrol kelimesi yazılarak programlanır. Sayı değeri yazılınca kadar sayıcı kaydedicisi yükleme yapmaz.

3.2.2 Çalışma Modlarının İzahı

Bu tümdevrenin çalıştığı 6 değişik mod aşağıda açıklanmıştır.

Mod 0 : Interrupt on Terminal Count.

Bu mod işleme geçtiği zaman, çıkış ilk başta (lojik 0) olur ve sayıcı saymaya başlar. Terminal sayısına erişildiği zaman çıkış H (high)'a gider ve sayı kaydedicisi tekrardan başka bir mod seçilinceye kadar "H" 'da kalır veya yeni bir sayı yüklenene kadar terminal sayısına erişinceye kadar sayıcı azalmaya devam eder.



Sekil 3.2: Mod1'in dalga şekilleri

Mod 1 : Programmable one-shot. Giren iki kenar tarafı Girişin yükselen kenarı ile çıkış L'a (low) gider. Terminal sayısında çıkış H'a gider. Çıkış L olduğu zaman yeni sayı değeri yüklenirse; tetikleninceye kadar, one-shot palsı etkilenmeden, geçerli sayı her hangi bir zamanda okunabilir. Bu çalışma mod'unda sayıcı tekrar tetiklenebilir. Girişin yükselen kenarından sonra tam sayım için çıkış L'da kalır. Bu mod'un dalga şekilleri Şekil 3.2'dedir. ve tam sayı tekrar yüklenir. Yükseleni takip

Mod 2: Programmable Rate Generator Runden sonra Giriş işareti N (yüklenen sayı) sayısına bölünür. Giriş saat darbesinin belli bir süresi için, çıkış L'da olur. Çıkış darbeleri arasında, sayı kaydedicisi tekrar yüklendiğinde o andaki peryod etkilenmez. Fakat bunu takip eden peryod yeni bir değer alır. Kapı (gate) girişi L'da olduğu zaman çıkış H olur. Kapı girişi H'a gittiği zaman sayıcı en baştan saymaya başlar. Böylece kapı girişi, sayıcıyı senkronize etmek için de kullanılır. edildiğinde çıkış H olacaktır. Terminal

Bu mod seçildiğinde sayı kaydedicisi yükleninceye kadar çıkış H'da kalır. Çıkış böylelikle yazılım tarafından da senkronize edilebilir. sayı diğer CLK

Mod 3: Square Wave Rate Generator. Buğu zaman, sayı

Bu mod'un çalışması, bir farkla Mod 2'ye benzer. Bu fark; çıkış sayıcı değerinin yarısı tamamlanıncaya kadar H'da kalması ve diğer yarısında çıkışın L'a

gitmesidir. Her saat darbesinin, düşen iki kenarı tarafından sayıcının azalması sağlanır. Sayıcı terminal sayısına eriştiği zaman çıkışın durumu değişir, sayıcıya tekrardan tam sayısı yüklenir ve işlemler bu şekilde tekrarlanır.

Eğer sayı tek ve çıkış "H" ise sayı yüklendikten sonraki ilk saat darbesinde sayı 1 azalır. Bunu takip eden saat darbesinde ise 2 azalır. Zaman bittikten sonra çıkış L'a gider ve tam sayı tekrar yüklenir. Yükleme takip eden ilk saat darbesi sayıcıyı 3 azaltır. Bundan sonra gelen darbeler, sayıcıyı süre bitene kadar 2 azaltır. Bütün işlemler bu şekilde tekrarlanır. Eğer sayı tek ise çıkış, $(n+1)/2$ sayıları için H, $(n-1)/2$ sayıları için L olur.

Mod2 ve Mod3'de sistem saat haricinde bir CLK (saat) kullanılırsa, Gate WR'in yeni bir sayı değerini takip eden sürede tetiklenmelidir.

Mod 4: Software Triggered Strobe.

Bu mod seçildiğinde çıkış H olacaktır. Terminal sayısında giriş CLK'unun bir periyodu için çıkış L'a gider. Sonra tekrar H'a gider. Eğer sayı kaydedicisi sayma anında tekrar yüklenirse, yeni sayı diğer CLK darbesinde yüklenir. Gate girişi L olduğu zaman, sayı girişi engellenir.

Mod 5: Hardware Triggered Strobe.

Sayı tetikleme girişinin yükselen kenarından

sonra saymaya başlar ve bir saat periyodu için (terminal sayısına eriştiği zaman) çıkış L'a gider. Sayıcı tekrar tetiklenebilir. Her hangi bir tetiklemenin yükselen kenarından sonra tam sayıya kadar çıkış L'a gitmez.

3.2.3 8253'ün Programlanması

Her bir sayıcı için modların hepsi, sistem yazılımı tarafından basit giriş/çıkış işlemleri ile programlanır. Her sayıcı için Kontrol Kaydedicisi (CR) ayrı ayrı programlanır. CR'ı 8 bittir. Kontrol bilgisi (CW) formatı ve izahı şu şekildedir.

D7	D6	D5	D4	D3	D2	D1	D0
SC1	SC0	RL1	RLO	M2	M1	M0	BCD

SC - Select Counter : Sayıcı seçimi

SC1	SC0	
0	0	0. sayıcıyı seçme
0	1	1. sayıcıyı seçme
1	0	2. sayıcıyı seçme
1	1	geçersiz

RL - Read / Load : Okuma / Yükleme

RL1	RLO	
0	0	Sayıcıyı tutma işlemi
0	1	Yalnızca en az ağırlıklı byte (LSB) okuma/yazma
1	0	Yalnızca en fazla ağırlıklı byte (MSB) okuma/yazma
1	1	önce en az, sonra en fazla ağırlıklı byte okuma/yazma

M - Mode

M2	M1	M0	
0	0	0	Mode 0
0	0	1	Mode 1
x	1	0	Mode 2
x	1	1	Mode 3
1	0	0	Mode 4
1	0	1	Mode 5

BCD - Binary Coded Decimal

BCD

0	16 bitlik binary sayıcı
1	4 haneli BCD sayıcı

4.1 BİRİCİ

Bu bölümde tasarımı yapılan Bilgisayar Yardımlı donanım ve yazılım hakkında geniş bilgi verilmiştir. Bu ara birim kartı tek kanallı veya 8 kanallı frekans ve gerilim değerlerini ölçmek amacıyla kullanılmaktadır. Bu ara birim kartı bilgisayar tarafından kontrol edilerek ölçülen değerlerin bilgisayara tarafında yazılımın yardımıyla değerlendirilir.

Bu bölümde devrenin acık elektronik devre ve yazılım olarak tasarlanması ve çalıştırılması için gerekli olan donanım ve yazılım bileşenleri hakkında bilgi verilmiştir.

DÖRDÜNCÜ BÖLÜM

FREKANSMETRE ve VOLTMETRE

ARABİRİM KARTI

4.1 Giriş

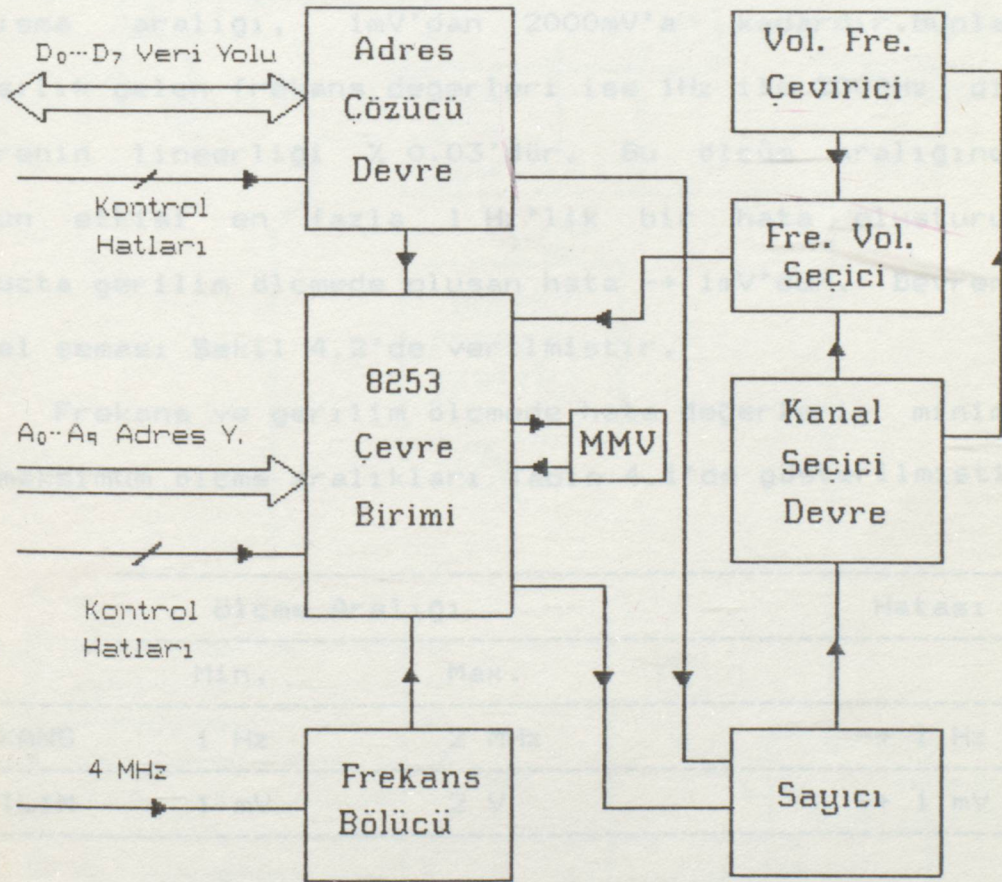
Bu bölümde tasarımı yapılan bilgisayar kartının donanımı ve yazılımı hakkında geniş bilgi verilmiştir. Bu ara birim kartı tek kanallı veya 8 kanallı frekans ve gerilim değerlerini ölçmek amacıyla kullanılabilirdiği gibi ölçülen değerlerin bilgisayar tarafından analizinin yapılabilmesini de sağlar.

Donanım bölümünde; devrenin açık elektronik şeması verilmiş olup, bölümler halinde detaylı olarak çalışmaları anlatılmıştır.

Yazılım destekli olarak çalışan bu ara birim kartının kullanılabilmesi için gereken program örnekleri ve ölçüm sonuçları verilmiştir.

4.2 DEVRENİN GENEL TANITIMI

Blok diyagramı Şekil 4.1'de gösterilen OLIVETTI PC M24 için yapılmış arabirim kartı ile frekans ve gerilim ölçme olanağı sağlanmıştır. Arabirim kartı için 62'li ve 38'li I/O konnektörleri kullanılmıştır. IBM uyumlu olmasına rağmen, bu projede kullanılması gereken \overline{IOR} , \overline{IOW} ve $A0$ hatları 62'lik konnektörde yoktur. Bundan dolayı bu hatlar üçlü kablo ile 38'li konnektörden alınmıştır. Baskılı devreyi, IBM'e uygunlaştırmak için bu 3 hat 62'li konnektöre atlamalar ile gidilmiştir.



Şekil 4.1: Devrenin genel blok diyagramı

Gerçekleştirilen bu arabirim kartı devresi; adres çözücü, kanal seçici, ölçme süresi, sayıcı ve voltajı frekansa çevirici kısımlarından oluşur.

Sayıcı tüm devresinin giriş saati 2.6MHz olduğundan ölçülecek frekans 2 MHz olarak kabul edilmiştir. Tasarım 2 MHz için yapılmıştır. ölçüm süresi, sistem saatından elde edildiği için ölçüm hatası ± 1 Hz'dir.

Gerilim ölçme yönteminde kullanılan voltaj- frekans çevirici, gerilim ölçerken bir anahtar ile devreye bağlanır. Kararlılığı ve lineerliği yüksek olan bu devre, 12 bitlik bir dönüştürücüye eşdeğerdir. Bu devrenin çalışma aralığı, 1mV'dan 2000mV'a kadardır. Bunlara karşılık gelen frekans değerleri ise 1Hz ile 2000Hz dir. Devrenin lineerliği % 0.03'dür. Bu ölçüm aralığında, bunun etkisi en fazla 1 Hz'lik bir hata oluşturur. Sonuçta gerilim ölçmede oluşan hata ± 1 mV'dur. Devrenin genel şeması Şekil 4.2'de verilmiştir.

Frekans ve gerilim ölçmede hata değerleri, minimum ve maksimum ölçme aralıkları Tablo 4.1'de gösterilmiştir.

	ölçme Aralığı		Hatası
	Min.	Max.	
FREKANS	1 Hz	2 MHz	± 1 Hz
GERİLİM	1 mV	2 V	± 1 mV

Tablo 4.1

4.2.1 Adres Çözücü Devre

Olivetti PC bilgisayarını, arabirim kartları ilavesi için kullanıcıya 0300H-031FH adreslerini ayırmıştır. Bu adreslerden bilgi girişi veya çıkışı yapılabilir. Bu projede, 0300H'den 0305H'e kadar olan adresler kullanılmıştır. Bu adresleri seçmek için A0'dan A9'a kadar olan adresler dekod edilir. Bu adreslerin seçilmesi için AEN işaretinin "0" konumunun kontrol edilmesi gerekir. 0304H ve 0305H adresleri seçiminde A1 adres yolu kontrol edilmediğinden, 2 Byte'lık yansıma olmaktadır. Bundan dolayı devre, hafıza haritasında 8 byte'lık yer kaplar.

Seçilen adresler Tablo 4.2'de verilmiştir.

Onaltılı (Hex)	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	ONDALIK
0300	1	1	0	0	0	0	0	0	0	0	768
0301	1	1	0	0	0	0	0	0	0	1	769
0302	1	1	0	0	0	0	0	0	1	0	770
0303	1	1	0	0	0	0	0	0	1	1	771
0304	1	1	0	0	0	0	0	1	0	0	772
0305	1	1	0	0	0	0	0	1	0	1	773

Tablo 4.2

A0 ve A1 adres hatları 8253'ün A0 ve A1 uçlarına doğrudan bağlıdır. Bu iki ucun 4 değişik olasılık vardır. Bunların 3'ü sayıcının ve 1'i kontrol kaydedicisinin

seçimini yapar.

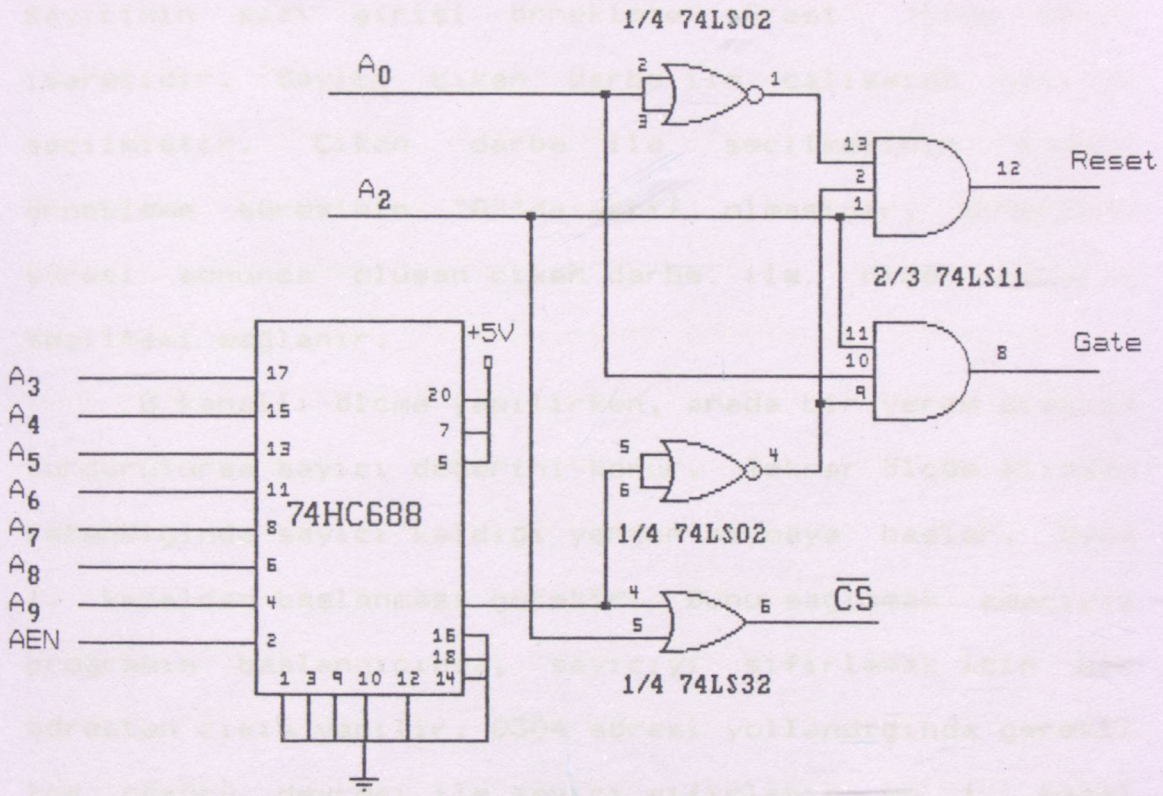
0300H adresi 0.sayıcıcıyı, 0301H adresi 1. sayıcıcıyı 0302H adresi ise 3. sayıcıcıyı seçer. 0303H adresi 8253'ün sayıcıcıların çalışmasını belirleyen CR'nin seçimi için kullanılmaktadır.

0305H adresi ise 8253'ün MOD1'de çalıştırılması için gerekli olan kapılama işaretini üretmek için seçilmiştir. Kapılama işaretinin 1'e çıkan darbe olması gerekir. Bundan dolayı kapılama işareti normalde "0" dır. 0305H adresi seçildiğinde kapılama işareti "1" e çıkar. "1" e çıkması ile sayıcı, giriş frekansına bağlı olarak saymaya başlar.

0304H adresi 8 kanallının, 0.'cı kanalından başlayarak ölçüm yapmasını yada sadece sürekli 0. kanaldan okuma yapmasını sağlar.

Adres çözücü devresi 8 bitlik bir karşılaştırıcı olan 74HC688 CMOS entegresi ve kombinasyonel lojik elemanlar kullanılarak yapılmıştır.

74HC688 cmos tümdevrenin 8 P girişi, 8 Q girişleri ve 1 \overline{CS} ucu vardır. Bu 8 girişin aynı olması durumunda çıkış "0" olmaktadır. A3'den A9'a kadar olan adresler ve AEN işareti tümdevrenin P girişine ve bunların olması gereken lojik seviyeleri Q girişine uygulanmıştır. \overline{CS} ucu ise "0" a bağlanmıştır. Bu tüm devre, Şekil 4.3'deki gibi kombinasyonel lojik kapıları kullanılarak gerekli adresler seçilir.



Şekil 4.3: Adres çözücü devre şeması

4.2.2 Kanal Seçici Devre

Kanal seçme işlemi 8 girişi 1 çıkışı olan 4051 CMOS entegresi ve 10'a sayıcı 4518 entegresinden ibarettir. Bizim için 8'e sayıcı gereklidir. Bu 10'a sayıcı ile şu şekilde yapılmıştır. Sayıcı 8'e geldiğinde 4. biti "1"e çıkar. Sayıcının sıfırlanması lojik "1" ile olmaktadır. O halde 4. bit sayıcının "reset" girişine verilirse sayıcı 8'e geldiğinde sıfırlanır. Sayıcının çıkışları kanalların sayısına karşılık gelmektedir. Sayıcı çıkışı 0 ise 1.kanal seçilir, çıkış değeri 7 ise 8.kanal seçilir.

Sayıcının saat girişi örnekleme süresi (time base) işaretidir. Sayıcı çıkan darbe ile çalışacak şekilde seçilmiştir. Çıkan darbe ile seçilmesinin nedeni örnekleme süresinin "0"da aktif olmasıdır. Örnekleme süresi sonunda oluşan çıkan darbe ile diğer kanalın seçilmesi sağlanır.

8 kanallı ölçme yapılırken, arada bir yerde program durdurulursa sayıcı değerini korur. Tekrar ölçüm alınmak istendiğinde sayıcı kaldığı yerden saymaya başlar. Oysa 1. kanaldan başlanması gerekir. Bunu sağlamak amacıyla programın başlangıcında, sayıcıyı sıfırlamak için bir adresten çıkış yapılır. 0304 adresi yollandığında gerekli kod çözücü devresi ile sayıcı sıfırlanır ve 1. kanal seçilir. Eğer ki, gerekli adres yollanmaz ise sayıcı kaldığı değerden saymaya başlar.

Kanal seçme girişleri sayıcının çıkışlarına bağlıdır. Bu girişlerdeki değerler kanalın numarasını belirler. Kanal seçme devresi, genel devre şeması (Şekil 4.2) içinde gösterilmiştir.

4.2.3 ölçüm süresi

Bir frekansmetrenin en yüksek doğrulukta ölçüm yapabilmesi için ölçüm süresinin kararlı olması gerekir. Ölçüm süresinin kararlı olması, yüksek frekanslı üreticinin kararlı olmasına bağlıdır. Kararlı olabilmesi için quartz kristalli osilatör kullanılır. Bilgisayarda mevcut olan 4 MHz'lik saat frekansı, kendi değerine

bölünerek 1 sn'lik, kararlılığı yüksek bir ölçüm süresi elde edilir.

Bu 4 MHz'den 1 sn. elde etmek için, 8253 tüm devrenin, CO sayıcısı kullanılmıştır. Bu sayıcı ile giriş frekansı maksimum 65536'ya bölünebilir. CO sayıcısı ile yalnız başına 1 sn.'ye elde etmek mümkün değildir. Bunun için 4 MHz'lik işaret ilk önce, 74HC4024 tüm devresi ile 64'e bölünmüştür. Bölüm sonunda 62500 frekansı elde edilir. CO sayıcısı 62500'e programlanmak suretiyle 1 sn'yelik ölçme süresi sağlanır. Ölçme süresini 0.1 sn yapmak için sayıcıya 6250 sayısı yüklenir. Sayıcıya 625 sayısı yüklenirse ölçüm süresi 0.01 sn olur. Buradan anlaşılacağı üzere ölçüm süresi, sayıcıya gereken değer yüklenerek rahatlıkla değiştirilebilir. 1 sn elde etmek için gönderilen 62500 sayısı, veri yolu 8 bitlik olduğundan, iki defa da yollanır. Sayıcı, önce en az ağırlıklı, sonra en fazla ağırlıklı Byte anlayacağı şekilde ve ikilik düzende programlanmıştır. Bunun programlanması 8253 entegresinin tanıtımında izah edilmiştir. Yüklenen bu sayının ikili sayı sisteminde ve ondalık sayıda karşılığı tablo 4.3'de verilmiştir.

ölçüm s.	ikili sayı sistemi	MSB	LSB
1 sn	1 1 1 1 0 1 0 0 0 0 1 0 0 0 1 0	244	36
0.1 sn	0 0 0 1 1 0 0 0 0 1 1 0 1 0 1 0	24	106
.01 sn	0 0 0 0 0 0 1 0 0 1 1 1 0 0 0 1	2	113

Tablo 4.3

4.2.4 Sayıcıların Çalışma Şekli

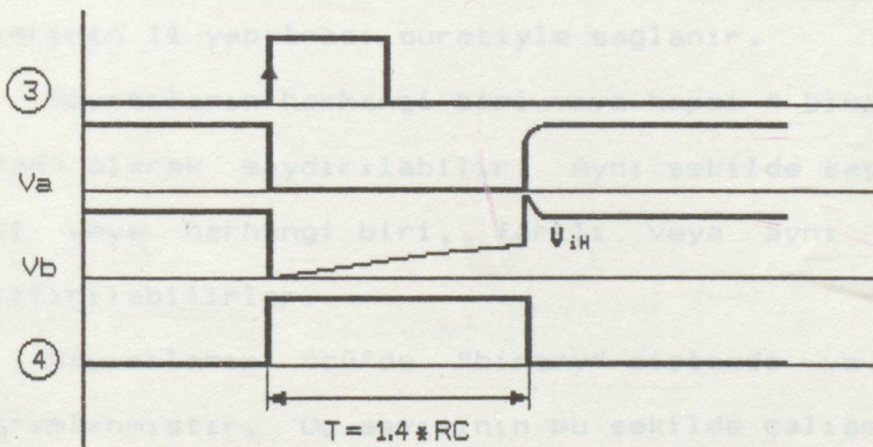
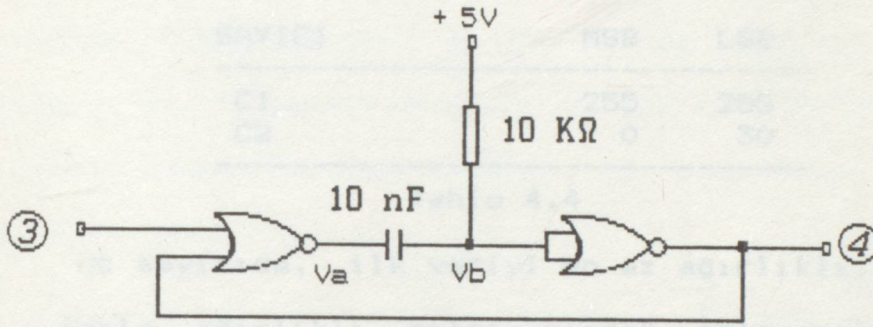
Devrenin sayıcılarını oluşturan 8253 tüm devresinin C0 sayıcısı, devrenin ölçüm süresini elde etmek için kullanılmıştır. Bu sayıcının çalışma şekli ölçüm süresi bölümünde anlatılmıştır.

Diğer C1 ve C2 sayıcıları, frekansın değerini saymak için kullanılmıştır. Bu iki sayıcı binary sayıcı olarak çalışmaktadır ve C1 sayıcısının çıkışı, C2 sayıcısının girişine bağlıdır.

C1 sayıcısı en fazla 65535 değerine kadar sayar. ve her 65536 sayımı tamamladığında C2 sayıcısı 1 artar. Gerilim ölçümünde C1 sayıcısı yeterlidir. Fakat frekans ölçerken, eğer giriş frekansı 65535'den büyük ise yeterli değildir.

Sayıcılara gereken şartlamalar yapıldıktan sonra, sayıcıların sayması için Gate işareti, bir adres seçilerek gönderilir ve sayıcılar çalışmaya başlar. Giriş frekansı 65535 Hz'den büyük olduğunda, C1 sayıcısının tekrar sayabilmesi için Gate'ine bir çıkan darbe yollamak gerekir. C1 sayıcı çıkışının "1"e çıkan darbesinden yararlanarak, kısa süreli bir darbe elde edilir. Bu darbe ve bilgisayardan yollanan Gate darbesi, bir OR kapısına verilmek suretiyle, C1 sayıcısının tekrar tetiklenmesi sağlanır. Gerekli olan kısa süreli darbe, iki NOR kapısından oluşan, bir tek kararlı ikili (MMV) ile sağlanmıştır. Böyle bir tek kararlı ikilinin devre şeması

ve giriş çıkış dalga şekilleri Şekil 4.4'de verilmiştir. Bu darbenin süresi $T=1.4 \cdot R \cdot C$ sn'dir.



Şekil 4.4: Tek kararlı ikilinin devre şeması ve dalga şekilleri

MOD 1'de sayıcılar düşen darbe ile saymaktadırlar. C2 sayıcısının, C1 sayıcısına uyum sağlaması için, C1'in çıkışı transistorlu bir ters çevirici ile C2'nin girişine bağlanmıştır.

Sayıcılar geriye doğru saydıklarından, sayıcılara yüklenecek sayı ölçülecek en büyük frekans değeri olmalıdır. C1 sayıcısına 65535, C2 sayıcısına 30 sayı değerleri yüklenirse ölçülecek maksimum frekans 2.031.615

Hz olur. 0 halde sayıcılara bu değerler yüklenebilir. Yüklenecek sayıların LSB ve MSB değerleri tablo 4.4'dedir.

SAYICI	MSB	LSB
C1	255	255
C2	0	30

Tablo 4.4

Üç sayıcıda, ilk veriyi en az ağırlıklı, sonrakini en fazla ağırlıklı bilgi olarak anlayacak şekilde şartlandırılmıştır. Bu şartlandırma CR'nin 4. ve 5. bitlerinin 11 yapılması suretiyle sağlanır.

Sayıcıların herhangi biri veya hepsi "binary" veya "dekad" olarak saydırılabilir. Aynı şekilde sayıcılardan hepsi veya herhangi biri, farklı veya aynı modlarda çalıştırılabilirler.

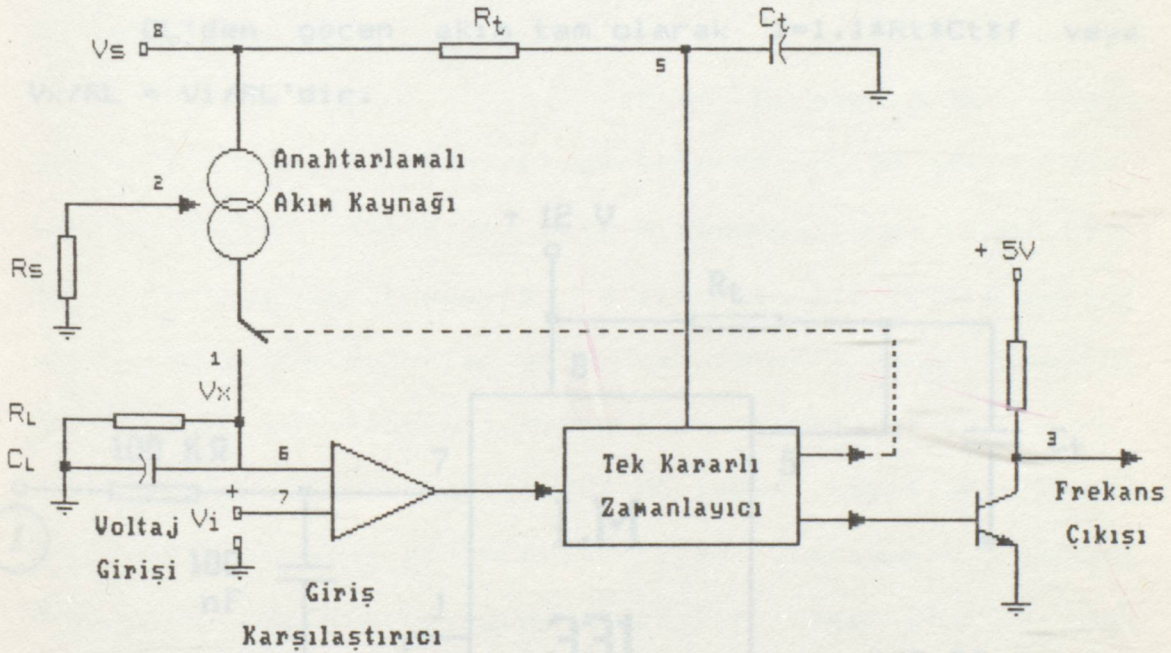
Sayıcıların üçü'de "binary" sistemde ve mod1'de programlanmıştır. Üç sayıcının bu şekilde çalışması için CR'a yüklenmesi gereken sayılar, "binary" veya "dekad" olarak Tablo 4.5'de gösterilmiştir. Sayıcılardan seçimi CR'nin 6. ve 7. bitleri ile sağlanır. Diğer çalışma şekilleri için Bölüm 3.2'e bakınız.

Sayıcılar	Kontrol Kaydedicisi (CR)	Ondalık
C0	0 0 1 1 0 0 1 0	50
C1	0 1 1 1 0 0 1 0	114
C2	1 0 1 1 0 0 1 0	178

Tablo 4.1.5

4.2.5 Voltaj Frekans Çeviricisi

LM 331, voltajı frekansa çevirici veya frekansı voltaja çevirici olarak kullanılabilen, doğruluğu yüksek bir lineer tüm devredir. Bu tüm devre; anahtarlamalı akım kaynağı, giriş karşılaştırıcısı ve tek kararlı zamanlayıcı (one-shot) devreden ibaret olup, iç blok diyagramı Şekil 4.5'de gösterilmiştir.

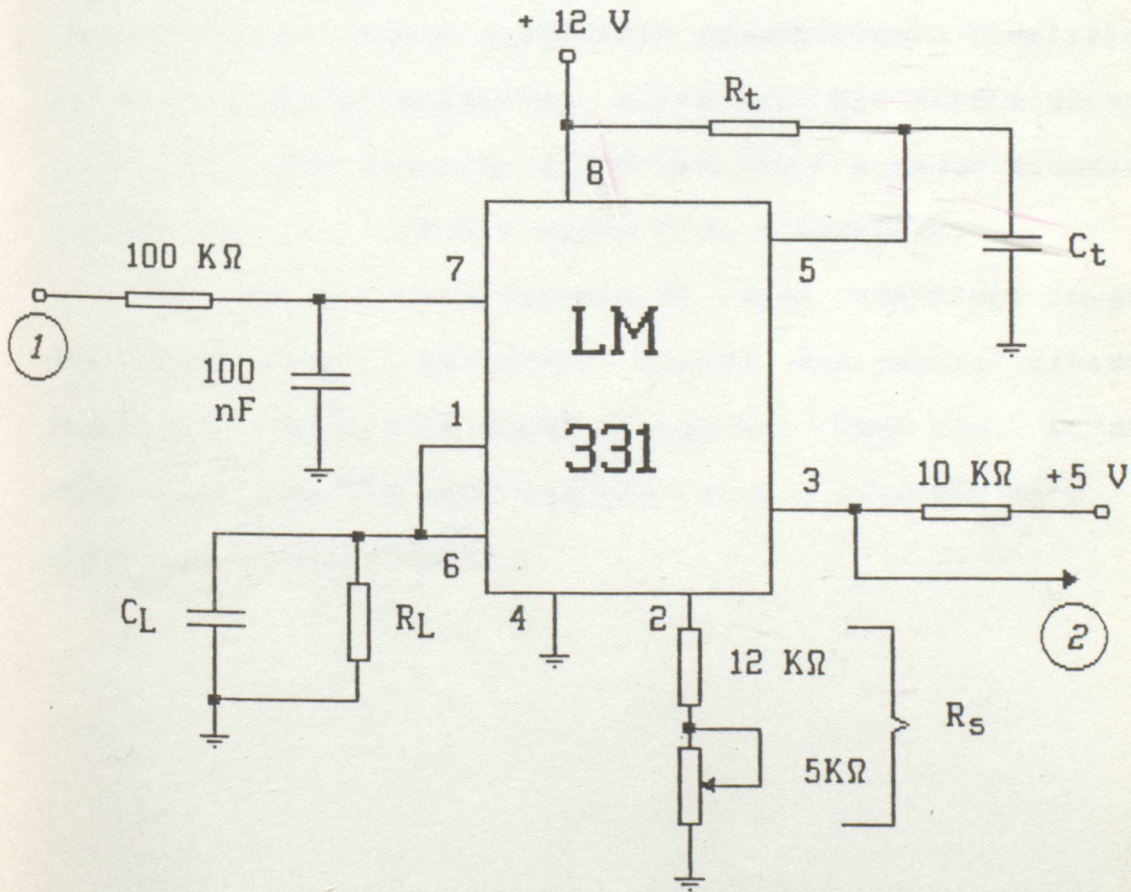


Şekil 4.5 : LM331 tüm devresinin iç blok diyagramı

Voltaj karşılaştırıcısı, 6 nolu ayaktaki V_x gerilimi ile 7 nolu ayaktaki V_i giriş gerilimini karşılaştırıyor. Eğer V_i daha büyükse karşılaştırıcı tek kararlı zamanlayıcıyı tetikler. Zamanlayıcının çıkışı, çıkış transistörünü ve anahtarlamalı akım kaynağını $t = 1 \cdot R_t \cdot C_t$ periyodu için açar. Bu periyod esnasında i akımı, anahtarlamalı akım kaynağından geçerek CL

kapasitesini ($Q=i*t$), sabit akımla V_i 'den daha yüksek bir değere kadar doldurur. Periyod süresinin sonunda i akımı kesilir ve zamanlayıcı kendiliğinden sıfırlanır. Bu durumda 1. ayakta akım yoktur. V_x , V_i 'nin seviyesine düşene kadar C_L kapasitesi R_L vasıtasıyla kademeli olarak boşalır. Sonra gerilim karşılaştırıcı, zamanlayıcıyı tetikleyerek diğer bir süreyi başlatır.

C_L 'den geçen akım tam olarak $I=1.1*R_t*C_t*f$ veya $V_x/R_L = V_i/R_L$ 'dir.



Sekil 4.6: Voltaj - Frekans çeviricinin devre şeması

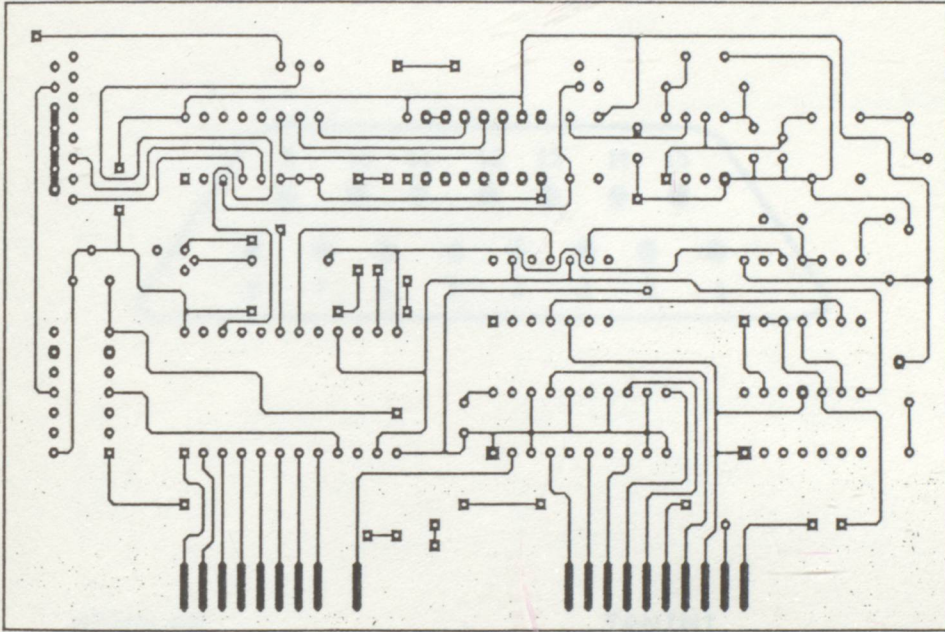
Şekil 4.6'de gerçekleştirilmiş olan V-F çeviricinin şeması görülmektedir. $R_{in}=100\text{ K Ohm}$ giriş direnci, tüm devre'nin 7. bacağına ilave edilmiştir. 2 numaralı ayakta R_s direnci 12 K Ohm 'luk sabit direnç ve 5 K Ohm 'luk kazanç ayarı direncinden ibarettir. Bu ayar, tüm devrenin kazanç toleransını, R_t ve R_L dirençlerinin, C_t kapasitesinin toleranslarını gidermek için kullanılmıştır.

En iyi sonuç için, bütün bileşenlerin, düşük sıcaklık katsayılı olmaları gerekir. Dirençler metal film, kondansatörler düşük dielektrik absorpsiyonlu olmalıdır. 7. nolu ayaktaki kapasite, giriş için bir filtre görevi yapar. En uygun değerler 10 nF 'dan 100 nF 'a kadar olmasına karşılık en iyi filtre 1 mikro F 'da olmaktadır.

6. ve 7. bacaklardaki RC zaman sabitleri uygun seçildiklerinde, girişteki voltaj sıçraması, çıkışta frekansın değişimine sebep olacaktır. Eğer C_{in} , C_L 'den daha düşük ise V_{in} 'deki değişim çıkışın kısa bir süre durmasına sebep olabilir.

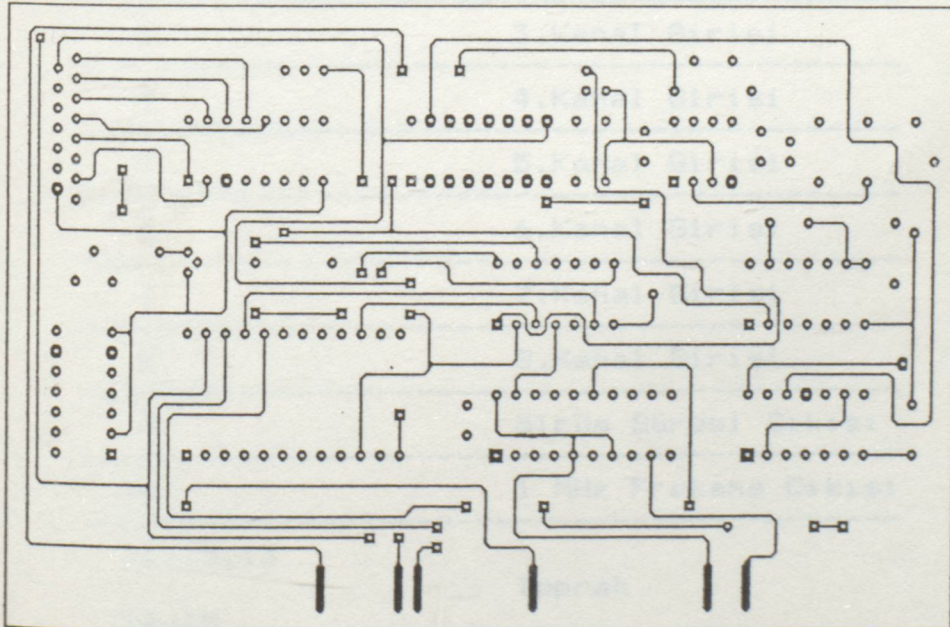
4.2.6 Baskılı Devre

2X artwork 12 Jan 1988 02:35:01
 tez
 v1.1 r1 holes: 230 upper layer
 approximate size: 4.75 by 2.90 inches



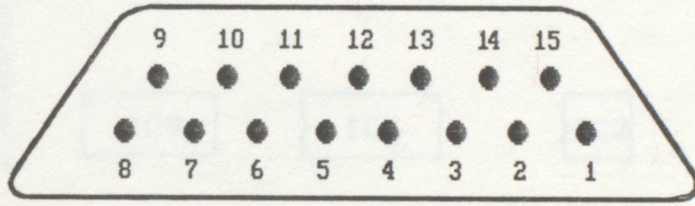
Lehim Tarafı

2X artwork 12 Jan 1988 02:35:01
 tez
 v1.1 r1 holes: 230 lower layer
 approximate size: 4.75 by 2.90 inches



Malzeme Tarafı

4.2.7 Giriş Çıkış Konnektör Bacaklarının Tanıtımı



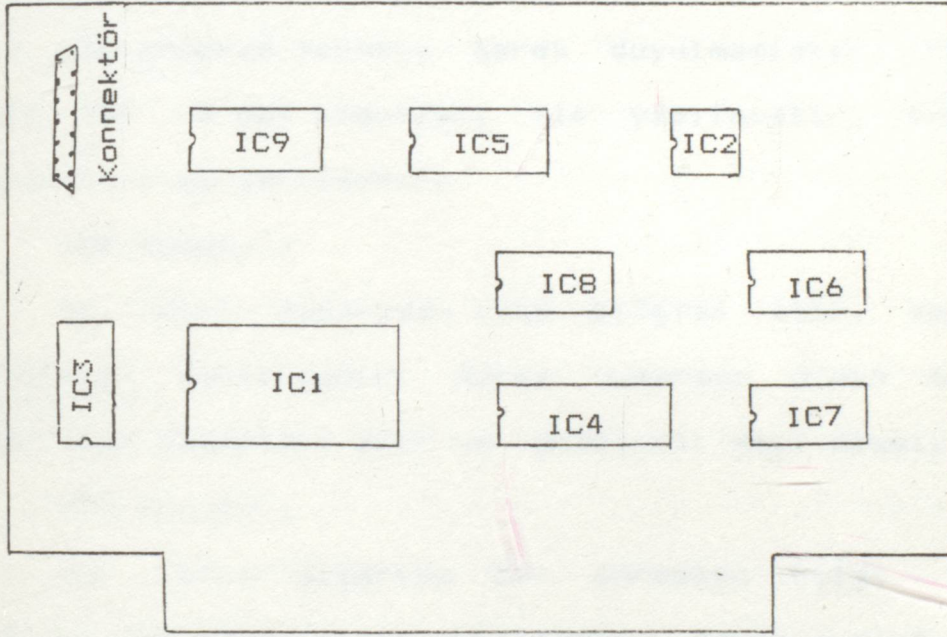
AYAKLAR

TANIMI

1	1.Kanal Girişi
2	2.Kanal Girişi
3	3.Kanal Girişi
4	4.Kanal Girişi
5	5.Kanal Girişi
6	6.Kanal Girişi
7	7.Kanal Girişi
8	8.Kanal Girişi
9	ölçüm Süresi Çıkışı
10	1 MHz Frekans Çıkışı
11,12,13	Toprak
14,15	

4.2.8 Yerleřtirme Planı ve Kullanılan

Yarı iletken Malzemeler



IC1	8253
IC2	LM331
IC3	74HC4024
IC4	74HC688
IC5	4518
IC6	74LS02
IC7	74LS11
IC8	74LS32
IC9	40 51

4.3 PROGRAMLAMA UYGULAMALARI

Bu devrenin çalışması için gereken programlar Basic dilinde yazılmıştır. Devrenin çalışma hızı, her hangi bir programlama dilinde yazılmış olan, programın çalışma hızından yavaştır. Bundan dolayı en hızlı çalışan makina dili ile program yazmaya gerek duyulmamıştır. Program basit INP ve OUT komutları ile yapılmıştır. Bunların çalışmaları şu şekildedir.

INP Komutu :

Bu komut dışarıdan byte bilgisi alır. Yazılışı INP(adres) şeklindedir. Adres numarası 0'dan 65535'e kadar olan değerleri alır ve ondalıklı sayı olmalıdır.

OUT Komutu :

Bu komut dışarıya bir adresten bilgi verir. Yazılışı OUT adres,bilgi şeklindedir. Adres aralığı 0'dan 65535'e , gönderilecek bilgi ise 0'dan 255'e kadardır. Adres ve veri bilgisi ondalıklı sayı olmalıdır.

Bu iki komut, arabirim ile bilgi alış verişini sağlar. Diğer komutlar ise düzenlemeler ve hesaplar için kullanılmıştır. Aşağıda 4 ayrı uygulama programı verilmiştir.

Aşağıda verilen programlara ilaveler ile; girişlerin grafikleri çizdirilip, karşılaştırma, aritmetik hesaplar, gerek duyulan değerlerde kontroller yaptırılabilir.

Gerilim ölçmelerinde V/F çeviricisinin kalibresine

rağmen, çıkış frekansında oluşacak kaymalar, program ile giderilebilir. Bunu sağlamak için, girişe 0 V verilerek ölçülen sayı değeri, hesaplamalara ilave edilir.

4.3.1 1 Kanallı Frekansmetre Programı

Birinci kanaldan giriş yapmak için önce sayıcıyı sıfırlama komutu yollanır. Bu komutta yollanacak bilgi önemli değildir. Gerekli adresin yollanması yeterlidir. Sayıcıların çalışma şeklini belirleyen bilgiler, CR 'i seçen adresten yollanır. Sayıcıların çalışma şekillerinin şartlandırılmasından sonra, C0 sayıcısına ölçüm süresi ve C1 ve C2 sayıcılarına, giriş frekansının maksimum değeri yüklenir. Sayıcılar 16 bitlik olduklarından yükleme iki kademede olur. Bunun sırası ise CR'nin şartlamasına göre ilk önce sayının en az ağırlıklı 8 biti, sonra en fazla ağırlıklı 8 biti yollanır. Bunlara yüklenecek sayılar Bölüm 4.2'de verilmiştir.

Şartlandırmalar yapıldıktan sonra sayıcıların çalışması için, gerekli olan Gate işareti, adresi çözülmüş bir OUT komutu ile yollanır. 100 nolu satır 1 sn'den biraz fazla bir gecikme sağlar. Gecikmenin ardından sayıcılardaki bilgiler INP komutu ile, OUT komutundaki gibi, önce en az ağırlıklı sonra en fazla ağırlıklı olmak üzere alınır. Yüklenen sayıdan çıkarılan bu değerler ağırlık oranları ile çarpılırlar. Donanımdan kaynaklanan bir hata vardır ki, bu her 65535 Hz'de 1 Hz'dir (MOD1'in şekline bakınız). 65536'nın katları C2

sayıcısının değeri demektir. Bundan dolayı çıkış C2 sayıcısındaki değerden çıkarılıp 1 ilave edilir. ölçümün sürekli olması için program sonuna başa döndürme komutu konmuştur. Aşağıda Tek kanallı frekansmetreye ait program ve 1.kanal girişine uygulanan, arabirim kartında mevcut, sistem saatından elde edilmiş 1 MHz'lik frekansın ölçüm sonucu verilmiştir.

```

10 REM TEK KANALLI FREKANSMETRE " 1 Hz - 2 MHz "
20 CLS
30 OUT 772,0
40 OUT 771,50:OUT 771,114
50 OUT 771,178
60 OUT 768,37:OUT 768,244
70 OUT 769,255:OUT 769,255
80 OUT 770,30:OUT 770,0
90 OUT 773,0
100 FOR K=1 TO 3000:NEXT
110 A=INP(769):B=INP(769):C=INP(770)
120 A=255-A+(255-B)*256+(30-C)*65536!
130 A=A+1
140 LOCATE 2,5:PRINT USING"#####";A:LOCATE 2,14:PRINT "Hz"
150 GOTO 30

```

1000000 Hz

4.3.2 8 Kanallı Frekansmetre

8 kanallı frekansmetre programı tek kanallı ile hemen hemen aynıdır. Aynı adreslerden giriş ve çıkış yapılmaktadır. Tek kanallıda her seferinde sıfırlama yapmaya yarayan satır, burada sadece bir kez yapmak gerektiğinden başa konmuştur. Bir çevrim komutu ile 8 defa ölçüm yapılması sağlanmıştır. Buna ait program ve 7 kanala uygulanan 62500 Hz ile 8. kanala uygulanan 1 MHz'lik işaretlerin ölçüm sonuçları verilmiştir.

```

10 REM 8 KANALLI FREKANSMETRE " 1 Hz - 2 MHz "
20 CLS
30 OUT 772,0
40 OUT 771,50:OUT 771,114
50 OUT 771,178
60 OUT 768,37:OUT 768,244
70 OUT 768,37:OUT 768,244
80 OUT 769,255:OUT 769,255
90 OUT 769,255:OUT 769,255
100 OUT 770,30:OUT 770,0
110 OUT 773,0
120 FOR K=1 TO 3000:NEXT
130 A=INP(786):B=INP(786):C=INP(788)
140 A=255-A+(255-B)*256+(30-C)*65536!+31-C
150 X=X+A : I=I+1
160 PRINT "F";I;"=":LOCATE I,9:PRINT USING "#####";A
170 LOCATE I,18:PRINT "Hz"
180 IF I<8 THEN 40
190 X=X/8
200 PRINT "Fort=":LOCATE I+1,7:PRINT USING "#####.#";X
210 LOCATE I+1,17:PRINT "Hz"
220 END

```

```

F 1 =      62500  Hz
F 2 =      62500  Hz
F 3 =      62500  Hz
F 4 =      62500  Hz
F 5 =      62500  Hz
F 6 =      62500  Hz
F 7 =      62500  Hz
F 8 =     1000000  Hz
Fort=    179687.5  Hz

```

4.3.3 Tek Kanallı Voltmetre

Ara birim kartının, voltmetre olarak çalışması için bir anahtar yardımı ile Voltaj Frekans Çevirici devreye sokulur. Buna ait programının çalışması, tek kanallı frekansmetre ile aynıdır. Aynı adreslere aynı bilgiler yollanır. Çünkü ölçülen yine frekanstır. Programda tek değişiklik kullanıcıya hitap eden birimin, mV olarak değişmesidir. Buna ait program ve olarak 1. kanal girişine uygulanan, 4 1/2 hanelik sayısal bir voltmetre ayarlanmış, 1000 mV'luk gerilimin ölçüm sonucu verilmiştir.

```

10 REM TEK KANALLI VOLTMETRE "1 mV - 2000 mV"
20 CLS
30 OUT 772,0
40 OUT 771,50:OUT 771,114
50 OUT 771,178
60 OUT 768,37:OUT 768,244
70 OUT 769,255:OUT 769,255
80 OUT 770,30:OUT 770,0
90 OUT 773,0
100 FOR K=1 TO 3000:NEXT
110 A=INP(769):B=INP(769):C=INP(770)
120 A=255-A+(255-B)*256+(30-C)*65536!
130 A=A+1
140 LOCATE 2,5:PRINT USING"####";A:LOCATE 2,11:PRINT "mV"
150 GOTO 30

```

1000 mV

4.3.4 8 Kanallı Voltmetre

8 kanallıya ait program, 8 kanallı frekansmetre programı ile aynıdır. Aynı adreslerden, aynı bilgiler yollar. Sadece sonuçların birimleri değiştirilmiştir. Buna ait program ve bütün girişlere uygulanan, 4 1/2 hanelik voltmetre ile ayarlanmış 1000 mV'luk gerilimin ölçüm sonuçları verilmiştir.

```

10 REM 8 KANALLI VOLTMETRE " 1 mV - 2000 mV "
20 CLS
30 OUT 772,0
40 OUT 771,50:OUT 771,114
50 OUT 771,178
60 OUT 768,37:OUT 768,244
70 OUT 769,255:OUT 769,255
80 OUT 770,30:OUT 770,0
90 OUT 773,0
100 FOR K=1 TO 3000:NEXT
110 A=INP(786):B=INP(786):C=INP(788)
120 A=255-A+(255-B)*256+(30-C)*65536!+1
130 X=X+A :I=I+1
140 PRINT "V";I;"=":LOCATE I,9:PRINT USING "####";A
150 LOCATE I,15:PRINT "mV"
160 IF I<8 THEN 60
170 X=X/8
180 PRINT "Vort=":LOCATE I+1,7:PRINT USING "####.#";X
190 LOCATE I+1,14:PRINT "mV"
200 END

```

```

V 1 = 1000 mV
V 2 = 1000 mV
V 3 = 1000 mV
V 4 = 1001 mV
V 5 = 1000 mV
V 6 = 1000 mV
V 7 = 1000 mV
V 8 = 1000 mV
Vort= 1001.1 mV
Ok

```


SONUÇ

Bu tez çalışmasında; Olivetti PC M24'ün donanımı incelenmiş, giriş çıkış olanakları araştırılmış ve bir arabirim kartı gerçekleştirilmiştir.

Bu arabirim kartı ile önemli elektriksel işaretler olan frekans ve gerilimin ölçümü sağlanmıştır. Gerilim üreten bir fotosel ile ışığın şiddeti, ısı sensörü ile sayısal bir sıcaklık ölçer yapılabilir. Nitekim gerilim veya frekans özelliği gösteren bütün büyüklükler ölçülebilir.

Ayrıca gerekli MOD ayarı ile 65535 Hz'e kadar sayısal kontrollü kare dalga üretici veya bir Rate üretici yapma olanağı vardır.



8253/8253-5 PROGRAMMABLE INTERVAL TIMER

- MCS-86™ Compatible 8253-5
- 2 Independent 16-Bit Counters
- 0.1 to 25 MHz
- Programmable Counter Modes
- Count Binary or BCD
- Single +5V Supply
- Available in EXPRESS
 - Standard Temperature Range
 - Extended Temperature Range

Intel's 8253/8253-5 programmable interval timer is designed for use as an on-chip or on-board peripheral. It is available in two versions: a standard temperature range version and an extended temperature range version. The standard version is available in a single +5V supply package. The extended temperature range version is available in a single +5V supply package. Both versions are available in EXPRESS packages.

EK

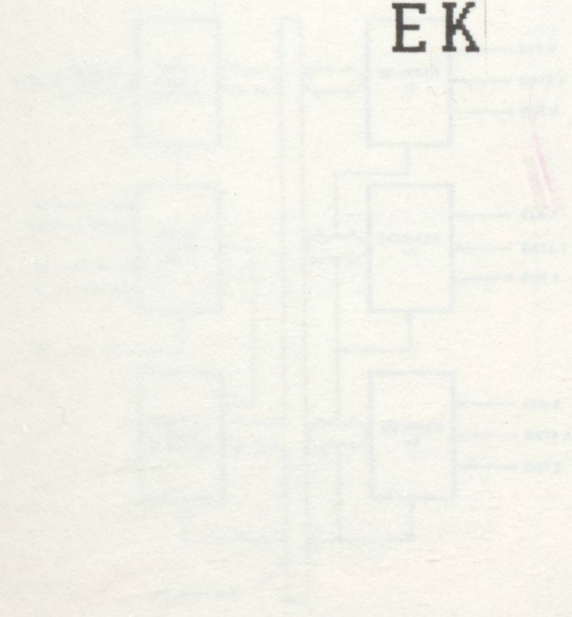


Figure 1. Block Diagram

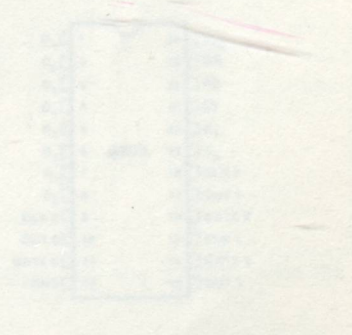


Figure 2. Pin Configuration

8253/8253-5 PROGRAMMABLE INTERVAL TIMER

- MCS-85™ Compatible 8253-5
- 3 Independent 16-Bit Counters
- DC to 2.6 MHz
- Programmable Counter Modes
- Count Binary or BCD
- Single +5V Supply
- Available in EXPRESS
 - Standard Temperature Range
 - Extended Temperature Range

The Intel® 8253 is a programmable counter/timer device designed for use as an Intel microcomputer peripheral. It uses nMOS technology with a single +5V supply and is packaged in a 24-pin plastic DIP.

It is organized as 3 independent 16-bit counters, each with a count rate of up to 2.6 MHz. All modes of operation are software programmable.

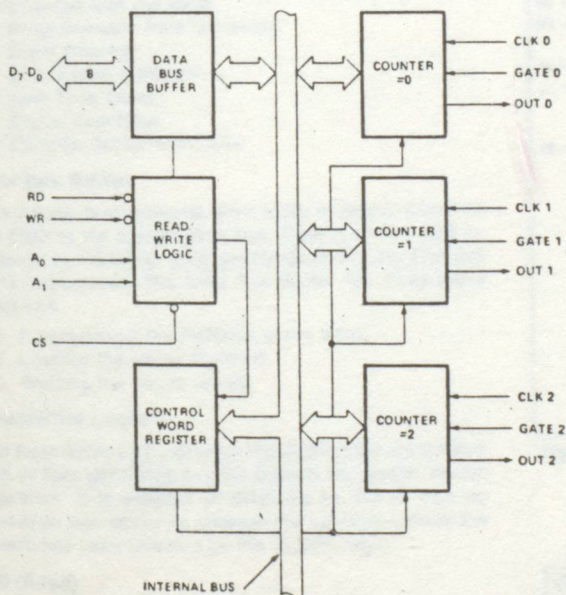


Figure 1. Block Diagram

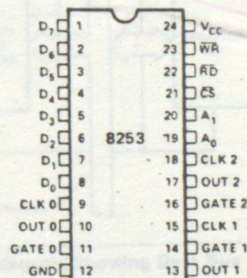


Figure 2. Pin Configuration



FUNCTIONAL DESCRIPTION

General

The 8253 is a programmable interval timer/counter specifically designed for use with the Intel™ Microcomputer systems. Its function is that of a general purpose, multi-timing element that can be treated as an array of I/O ports in the system software.

The 8253 solves one of the most common problems in any microcomputer system, the generation of accurate time delays under software control. Instead of setting up timing loops in systems software, the programmer configures the 8253 to match his requirements, initializes one of the counters of the 8253 with the desired quantity, then upon command the 8253 will count out the delay and interrupt the CPU when it has completed its tasks. It is easy to see that the software overhead is minimal and that multiple delays can easily be maintained by assignment of priority levels.

Other counter/timer functions that are non-delay in nature but also common to most microcomputers can be implemented with the 8253.

- Programmable Rate Generator
- Event Counter
- Binary Rate Multiplier
- Real Time Clock
- Digital One-Shot
- Complex Motor Controller

Data Bus Buffer

This 3-state, bi-directional, 8-bit buffer is used to interface the 8253 to the system data bus. Data is transmitted or received by the buffer upon execution of INput or OUTput CPU instructions. The Data Bus Buffer has three basic functions.

1. Programming the MODES of the 8253.
2. Loading the count registers.
3. Reading the count values.

Read/Write Logic

The Read/Write Logic accepts inputs from the system bus and in turn generates control signals for overall device operation. It is enabled or disabled by CS so that no operation can occur to change the function unless the device has been selected by the system logic.

\overline{RD} (Read)

A "low" on this input informs the 8253 that the CPU is inputting data in the form of a counters value.

\overline{WR} (Write)

A "low" on this input informs the 8253 that the CPU is outputting data in the form of mode information or loading counters.

A0, A1

These inputs are normally connected to the address bus. Their function is to select one of the three counters to be operated on and to address the control word register for mode selection.

\overline{CS} (Chip Select)

A "low" on this input enables the 8253. No reading or writing will occur unless the device is selected. The \overline{CS} input has no effect upon the actual operation of the counters.

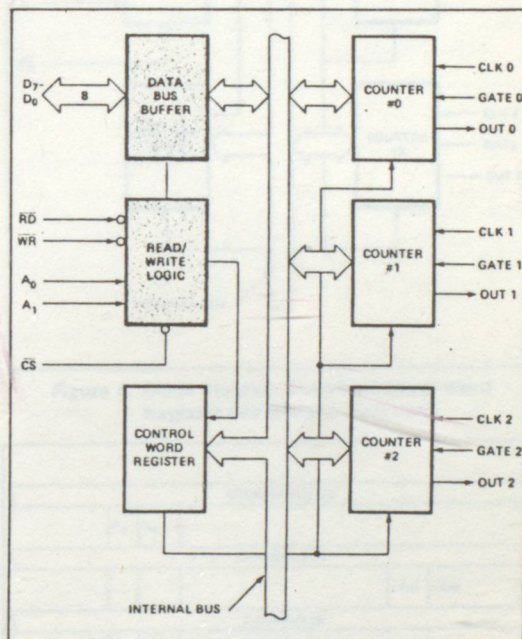


Figure 3. Block Diagram Showing Data Bus Buffer and Read/Write Logic Functions

\overline{CS}	\overline{RD}	\overline{WR}	A ₁	A ₀	
0	1	0	0	0	Load Counter No. 0
0	1	0	0	1	Load Counter No. 1
0	1	0	1	0	Load Counter No. 2
0	1	0	1	1	Write Mode Word
0	0	1	0	0	Read Counter No. 0
0	0	1	0	1	Read Counter No. 1
0	0	1	1	0	Read Counter No. 2
0	0	1	1	1	No-Operation 3-State
1	X	X	X	X	Disable 3-State
0	1	1	X	X	No-Operation 3-State

intel

8253/8253-5

Control Word Register

The Control Word Register is selected when A0, A1 are 11. It then accepts information from the data bus buffer and stores it in a register. The information stored in this register controls the operational MODE of each counter, selection of binary or BCD counting and the loading of each count register.

The Control Word Register can only be written into; no read operation of its contents is available.

Counter #0, Counter #1, Counter #2

These three functional blocks are identical in operation so only a single Counter will be described. Each Counter consists of a single, 16-bit, pre-settable, DOWN counter. The counter can operate in either binary or BCD and its input, gate and output are configured by the selection of MODES stored in the Control Word Register.

The counters are fully independent and each can have separate Mode configuration and counting operation, binary or BCD. Also, there are special features in the control word that handle the loading of the count value so that software overhead can be minimized for these functions.

The reading of the contents of each counter is available to the programmer with simple READ operations for event counting applications and special commands and logic are included in the 8253 so that the contents of each counter can be read "on the fly" without having to inhibit the clock input.

8253 SYSTEM INTERFACE

The 8253 is a component of the Intel™ Microcomputer Systems and interfaces in the same manner as all other peripherals of the family. It is treated by the systems software as an array of peripheral I/O ports; three are counters and the fourth is a control register for MODE programming.

Basically, the select inputs A0, A1 connect to the A0, A1 address bus signals of the CPU. The \overline{CS} can be derived directly from the address bus using a linear select method. Or it can be connected to the output of a decoder, such as an Intel® 8205 for larger systems.

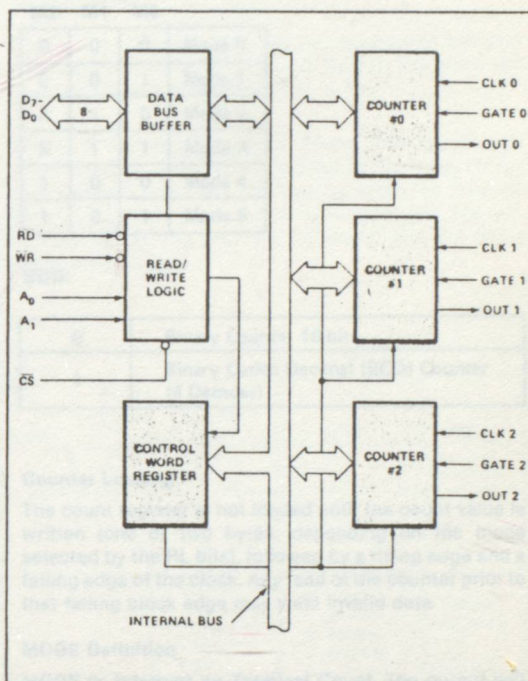


Figure 4. Block Diagram Showing Control Word Register and Counter Functions

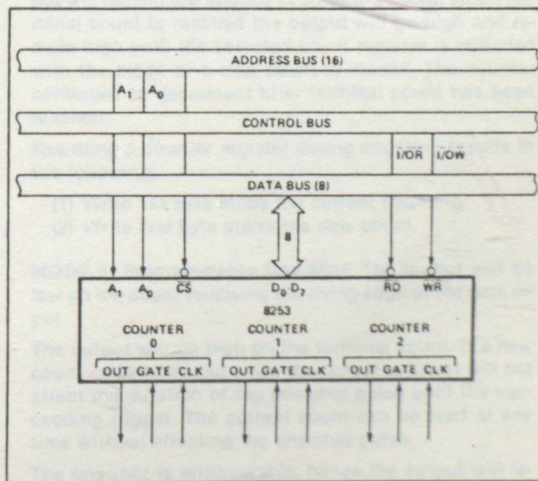


Figure 5. 8253 System Interface



OPERATIONAL DESCRIPTION

General

The complete functional definition of the 8253 is programmed by the systems software. A set of control words must be sent out by the CPU to initialize each counter of the 8253 with the desired MODE and quantity information. Prior to initialization, the MODE, count, and output of all counters is undefined. These control words program the MODE, Loading sequence and selection of binary or BCD counting.

Once programmed, the 8253 is ready to perform whatever timing tasks it is assigned to accomplish.

The actual counting operation of each counter is completely independent and additional logic is provided on-chip so that the usual problems associated with efficient monitoring and management of external, asynchronous events or rates to the microcomputer system have been eliminated.

Programming the 8253

All of the MODES for each counter are programmed by the systems software by simple I/O operations.

Each counter of the 8253 is individually programmed by writing a control word into the Control Word Register. (A0, A1 = 11)

Control Word Format

D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀
SC1	SC0	RL1	RL0	M2	M1	M0	BCD

Definition of Control

SC — Select Counter:

SC1	SC0	
0	0	Select Counter 0
0	1	Select Counter 1
1	0	Select Counter 2
1	1	Illegal

RL — Read/Load:

RL1	RL0	
0	0	Counter Latching operation (see READ/WRITE Procedure Section)
1	0	Read/Load most significant byte only.
0	1	Read/Load least significant byte only.
1	1	Read/Load least significant byte first, then most significant byte.

M — MODE:

M2	M1	M0	
0	0	0	Mode 0
0	0	1	Mode 1
X	1	0	Mode 2
X	1	1	Mode 3
1	0	0	Mode 4
1	0	1	Mode 5

BCD:

0	Binary Counter 16-bits
1	Binary Coded Decimal (BCD) Counter (4 Decades)

Counter Loading

The count register is not loaded until the count value is written (one or two bytes, depending on the mode selected by the RL bits), followed by a rising edge and a falling edge of the clock. Any read of the counter prior to that falling clock edge may yield invalid data.

MODE Definition

MODE 0: Interrupt on Terminal Count. The output will be initially low after the mode set operation. After the count is loaded into the selected count register, the output will remain low and the counter will count. When terminal count is reached the output will go high and remain high until the selected count register is reloaded with the mode or a new count is loaded. The counter continues to decrement after terminal count has been reached.

Rewriting a counter register during counting results in the following:

- (1) Write 1st byte stops the current counting.
- (2) Write 2nd byte starts the new count.

MODE 1: Programmable One-Shot. The output will go low on the count following the rising edge of the gate input.

The output will go high on the terminal count. If a new count value is loaded while the output is low it will not affect the duration of the one-shot pulse until the succeeding trigger. The current count can be read at any time without affecting the one-shot pulse.

The one-shot is retriggerable, hence the output will remain low for the full count after any rising edge of the gate input.



8253/8253-5

MODE 2: Rate Generator. Divide by N counter. The output will be low for one period of the input clock. The period from one output pulse to the next equals the number of input counts in the count register. If the count register is reloaded between output pulses the present period will not be affected, but the subsequent period will reflect the new value.

The gate input, when low, will force the output high. When the gate input goes high, the counter will start from the initial count. Thus, the gate input can be used to synchronize the counter.

When this mode is set, the output will remain high until after the count register is loaded. The output then can also be synchronized by software.

MODE 3: Square Wave Rate Generator. Similar to MODE 2 except that the output will remain high until one half the count has been completed (for even numbers) and go low for the other half of the count. This is accomplished by decrementing the counter by two on the falling edge of each clock pulse. When the counter reaches terminal count, the state of the output is changed and the counter is reloaded with the full count and the whole process is repeated.

If the count is odd and the output is high, the first clock pulse (after the count is loaded) decrements the count by 1. Subsequent clock pulses decrement the count by 2. After timeout, the output goes low and the full count is reloaded. The first clock pulse (following the reload) decrements the counter by 3. Subsequent clock pulses decrement the count by 2 until timeout. Then the whole process is repeated. In this way, if the count is odd, the output will be high for $(N + 1)/2$ counts and low for $(N - 1)/2$ counts.

In Modes 2 and 3, if a CLK source other than the system clock is used, GATE should be pulsed immediately following WR of a new count value.

MODE 4: Software Triggered Strobe. After the mode is set, the output will be high. When the count is loaded, the counter will begin counting. On terminal count, the

output will go low for one input clock period, then will go high again.

If the count register is reloaded during counting, the new count will be loaded on the next CLK pulse. The count will be inhibited while the GATE input is low.

MODE 5: Hardware Triggered Strobe. The counter will start counting after the rising edge of the trigger input and will go low for one clock period when the terminal count is reached. The counter is retriggerable. The output will not go low until the full count after the rising edge of any trigger.

Modes	Signal Status	Low Or Going Low	Rising	High
0		Disables counting	---	Enables counting
1		---	1) Initiates counting 2) Resets output after next clock	---
2		1) Disables counting 2) Sets output immediately high	1) Reloads counter 2) Initiates counting	Enables counting
3		1) Disables counting 2) Sets output immediately high	1) Reloads counter 2) Initiates counting	Enables counting
4		Disables counting	---	Enables counting
5		---	Initiates counting	---

Figure 6. Gate Pin Operations Summary

intel

8253/8253-5

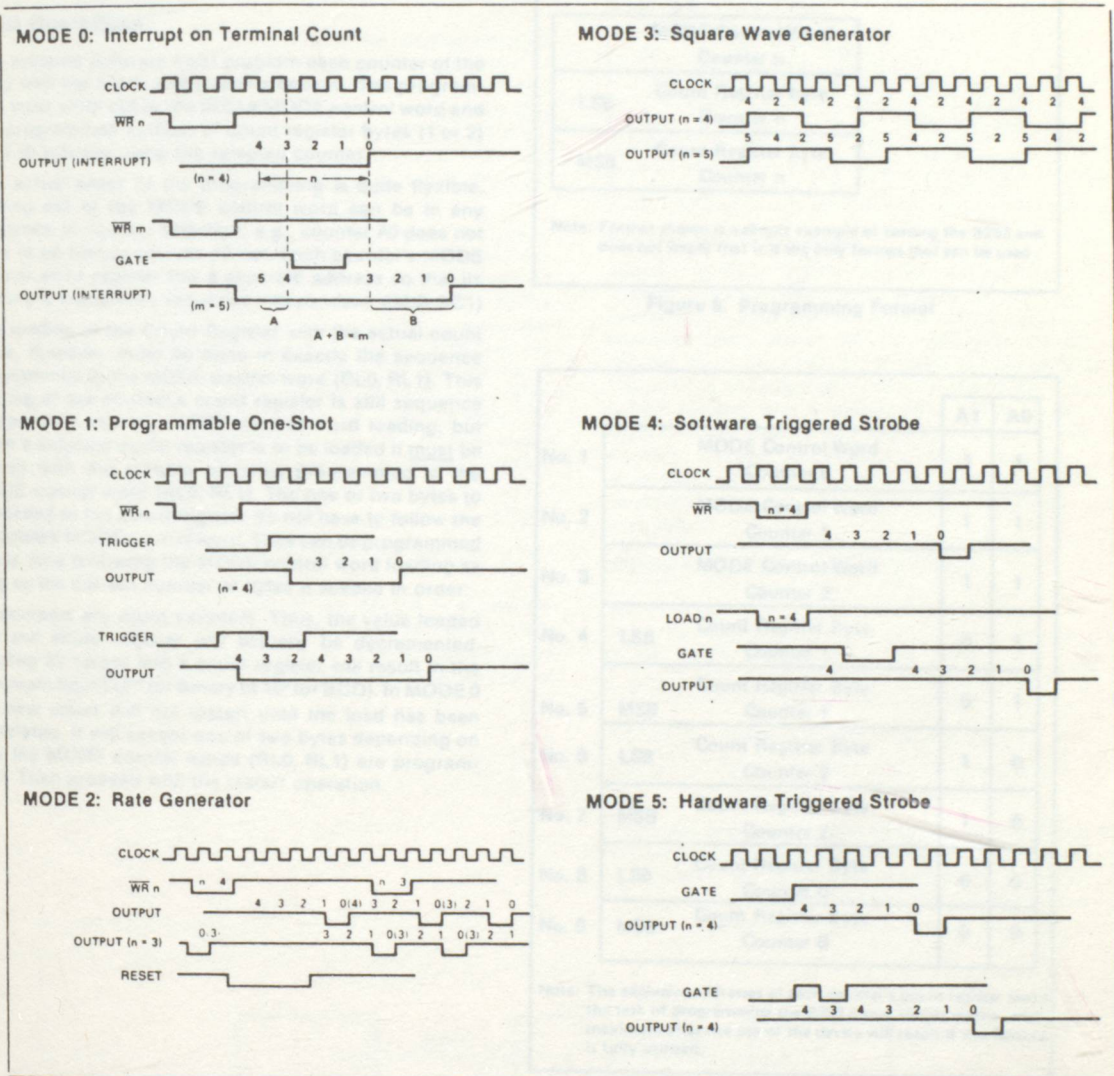


Figure 7. 8253 Timing Diagrams



8253 READ/WRITE PROCEDURE

Write Operations

The systems software must program each counter of the 8253 with the mode and quantity desired. The programmer must write out to the 8253 a MODE control word and the programmed number of count register bytes (1 or 2) prior to actually using the selected counter.

The actual order of the programming is quite flexible. Writing out of the MODE control word can be in any sequence of counter selection, e.g., counter #0 does not have to be first or counter #2 last. Each counter's MODE control word register has a separate address so that its loading is completely sequence independent. (SC0, SC1)

The loading of the Count Register with the actual count value, however, must be done in exactly the sequence programmed in the MODE control word (RL0, RL1). This loading of the counter's count register is still sequence independent like the MODE control word loading, but when a selected count register is to be loaded it must be loaded with the number of bytes programmed in the MODE control word (RL0, RL1). The one or two bytes to be loaded in the count register do not have to follow the associated MODE control word. They can be programmed at any time following the MODE control word loading as long as the correct number of bytes is loaded in order.

All counters are down counters. Thus, the value loaded into the count register will actually be decremented. Loading all zeroes into a count register will result in the maximum count (2^{16} for Binary or 10^4 for BCD). In MODE 0 the new count will not restart until the load has been completed. It will accept one of two bytes depending on how the MODE control words (RL0, RL1) are programmed. Then proceed with the restart operation.

	MODE Control Word Counter n
LSB	Count Register byte Counter n
MSB	Count Register byte Counter n

Note: Format shown is a simple example of loading the 8253 and does not imply that it is the only format that can be used.

Figure 8. Programming Format

		A1	A0
No. 1	MODE Control Word Counter 0	1	1
No. 2	MODE Control Word Counter 1	1	1
No. 3	MODE Control Word Counter 2	1	1
No. 4	LSB Count Register Byte Counter 1	0	1
No. 5	MSB Count Register Byte Counter 1	0	1
No. 6	LSB Count Register Byte Counter 2	1	0
No. 7	MSB Count Register Byte Counter 2	1	0
No. 8	LSB Count Register Byte Counter 0	0	0
No. 9	MSB Count Register Byte Counter 0	0	0

Note: The exclusive addresses of each counter's count register make the task of programming the 8253 a very simple matter, and maximum effective use of the device will result if this feature is fully utilized.

Figure 9. Alternate Programming Formats

intel

8253/8253-5

Read Operations

In most counter applications it becomes necessary to read the value of the count in progress and make a computational decision based on this quantity. Event counters are probably the most common application that uses this function. The 8253 contains logic that will allow the programmer to easily read the contents of any of the three counters without disturbing the actual count in progress.

There are two methods that the programmer can use to read the value of the counters. The first method involves the use of simple I/O read operations of the selected counter. By controlling the A0, A1 inputs to the 8253 the programmer can select the counter to be read (remember that no read operation of the mode register is allowed A0, A1-11). The only requirement with this method is that in order to assure a stable count reading the actual operation of the selected counter must be inhibited either by controlling the Gate input or by external logic that inhibits the clock input. The contents of the counter selected will be available as follows:

- first I/O Read contains the least significant byte (LSB).
- second I/O Read contains the most significant byte (MSB).

Due to the internal logic of the 8253 it is absolutely necessary to complete the entire reading procedure. If two bytes are programmed to be read then two bytes must be read before any loading WR command can be sent to the same counter.

Read Operation Chart

A1	A0	RD	
0	0	0	Read Counter No. 0
0	1	0	Read Counter No. 1
1	0	0	Read Counter No. 2
1	1	0	Illegal

Reading While Counting

In order for the programmer to read the contents of a counter without effecting or disturbing the counting operation the 8253 has special internal logic that can be accessed using simple WR commands to the MODE register. Basically, when the programmer wishes to read the contents of a selected counter "on the fly" he loads the MODE register with a special code which latches the present count value into a storage register so that its contents contain an accurate, stable quantity. The programmer then issues a normal read command to the selected counter and the contents of the latched register is available.

MODE Register for Latching Count

A0, A1 = 11

D7	D6	D5	D4	D3	D2	D1	D0
SC1	SC0	0	0	X	X	X	X

SC1, SC0 — specify counter to be latched.

D5, D4 — 00 designates counter latching operation

X — don't care.

The same limitation applies to this mode of reading the counter as the previous method. That is, it is mandatory to complete the entire read operation as programmed. This command has no effect on the counter's mode.

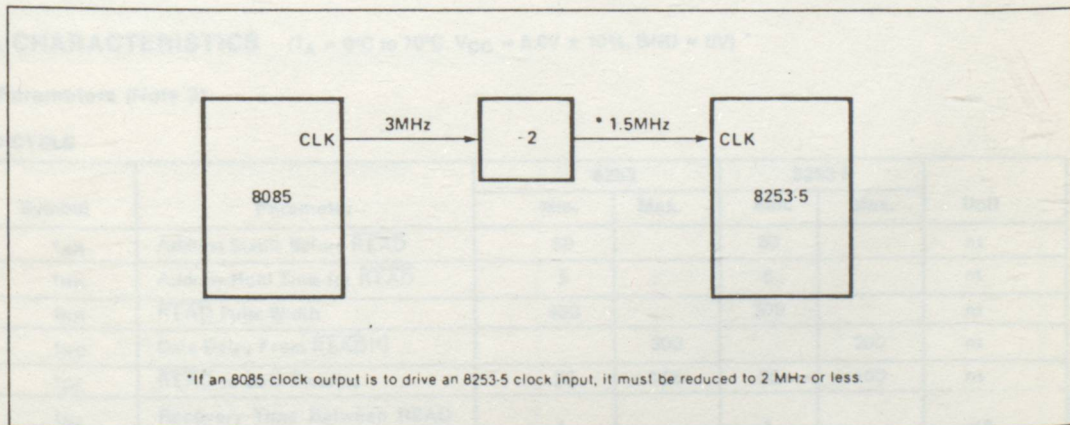


Figure 10. MCS-85™ Clock Interface*



8253/8253-5

ABSOLUTE MAXIMUM RATINGS*

Ambient Temperature Under Bias	0°C to 70°C
Storage Temperature	-65°C to +150°C
Voltage On Any Pin	
With Respect to Ground	-0.5 V to +7 V
Power Dissipation	1 Watt

*NOTICE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

D.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = 5V ± 10%)*

Symbol	Parameter	Min.	Max.	Unit	Test Conditions
V _{IL}	Input Low Voltage	-0.5	0.8	V	
V _{IH}	Input High Voltage	2.2	V _{CC} +1.5V	V	
V _{OL}	Output Low Voltage		0.45	V	Note 1
V _{OH}	Output High Voltage	2.4		V	Note 2
I _{IL}	Input Load Current		±10	μA	V _{IN} = V _{CC} to 0V
I _{OFL}	Output Float Leakage		±10	μA	V _{OUT} = V _{CC} to .45V
I _{CC}	V _{CC} Supply Current		140	mA	

CAPACITANCE (T_A = 25°C, V_{CC} = GND = 0V)

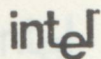
Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C _{IN}	Input Capacitance			10	pF	f _c = 1 MHz
C _{I/O}	I/O Capacitance			20	pF	Unmeasured pins returned to V _{SS}

A.C. CHARACTERISTICS (T_A = 0°C to 70°C, V_{CC} = 5.0V ± 10%, GND = 0V)*

Bus Parameters (Note 3)

READ CYCLE

Symbol	Parameter	8253		8253-5		Unit
		Min.	Max.	Min.	Max.	
t _{AR}	Address Stable Before $\overline{\text{READ}}$	50		30		ns
t _{RA}	Address Hold Time for $\overline{\text{READ}}$	5		5		ns
t _{RR}	$\overline{\text{READ}}$ Pulse Width	400		300		ns
t _{RD}	Data Delay From $\overline{\text{READ}}$ [4]		300		200	ns
t _{DF}	$\overline{\text{READ}}$ to Data Floating	25	125	25	100	ns
t _{RV}	Recovery Time Between READ and Any Other Control Signal	1		1		μs



8253/8253-5

A.C. CHARACTERISTICS (Continued)

WRITE CYCLE

Symbol	Parameter	8253		8253-5		Unit
		Min.	Max.	Min.	Max.	
t_{AW}	Address Stable Before \overline{WRITE}	50		30		ns
t_{WA}	Address Hold Time for \overline{WRITE}	30		30		ns
t_{WW}	\overline{WRITE} Pulse Width	400		300		ns
t_{DW}	Data Set Up Time for \overline{WRITE}	300		250		ns
t_{WD}	Data Hold Time for \overline{WRITE}	40		30		ns
t_{RV}	Recovery Time Between \overline{WRITE} and Any Other Control Signal	1		1		μ s

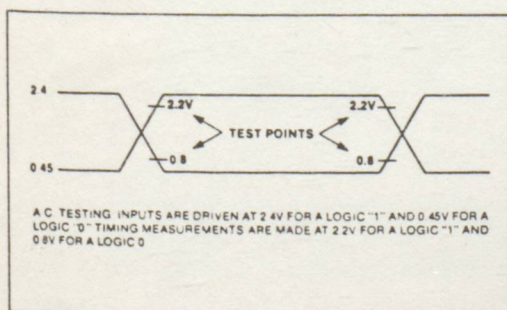
CLOCK AND GATE TIMING

Symbol	Parameter	8253		8253-5		Unit
		Min.	Max.	Min.	Max.	
t_{CLK}	Clock Period	380	dc	380	dc	ns
t_{PWH}	High Pulse Width	230		230		ns
t_{PWL}	Low Pulse Width	150		150		ns
t_{GW}	Gate Width High	150		150		ns
t_{GL}	Gate Width Low	100		100		ns
t_{GS}	Gate Set Up Time to $CLK\uparrow$	100		100		ns
t_{GH}	Gate Hold Time After $CLK\uparrow$	50		50		ns
t_{OD}	Output Delay From $CLK\downarrow$ [4]		400		400	ns
t_{ODG}	Output Delay From Gate \downarrow [4]		300		300	ns

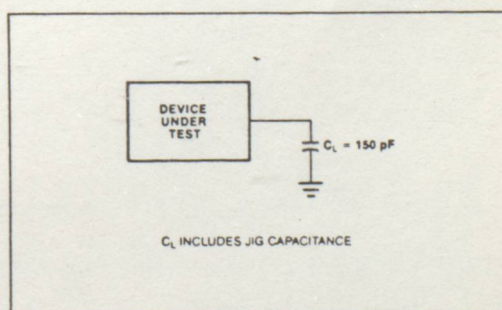
NOTES:

- $I_{OL} = 2.2$ mA.
 - $I_{OH} = -400$ μ A.
 - AC timings measured at $V_{OH} = 2.2$, $V_{OL} = 0.8$.
 - $C_L = 150$ pF.
- * For Extended Temperature EXPRESS, use M8253 electrical parameters.

A.C. TESTING INPUT, OUTPUT WAVEFORM



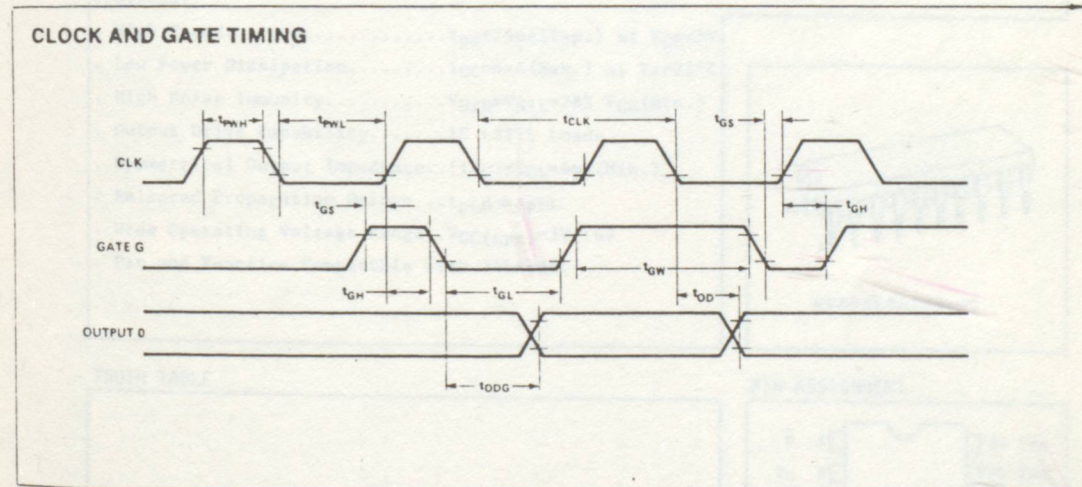
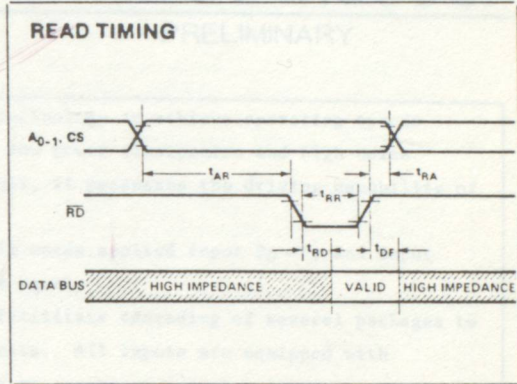
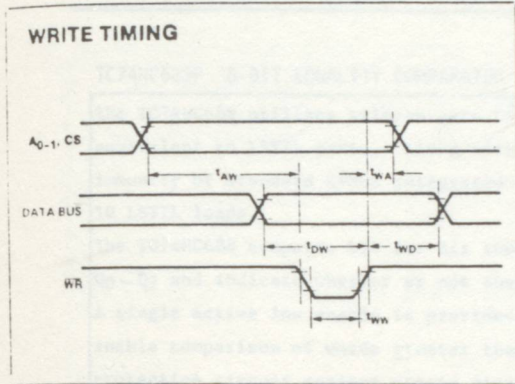
A.C. TESTING LOAD CIRCUIT





8253/8253-5

WAVEFORMS



CMOS DIGITAL INTEGRATED CIRCUIT

TC74HC688P

PRELIMINARY

TC74HC688P 8-BIT EQUALITY COMPARATOR

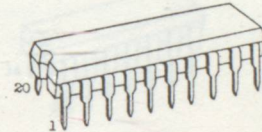
The TC74HC688 utilizes silicon gate C²MOS technology to achieve operating speeds equivalent to LSTTL parts. Along with the low power dissipation and high noise immunity of standard C²MOS integrated circuit, it possesses the driving capability of 10 LSTTL loads.

The TC74HC688 compares bit for bit two 8-bit words applied input P₀~P₇ and input Q₀~Q₇ and indicate whether or not they are equal.

A single active low enable is provided to facilitate cascading of several packages to enable comparison of words greater than 8 bits. All inputs are equipped with protection circuit against static discharge or transient excess voltage.

FEATURES:

- . High Speed..... $t_{pd}=25ns$ (Typ.) at $V_{CC}=5V$
- . Low Power Dissipation..... $I_{CC}=4\mu A$ (Max.) at $T_a=25^{\circ}C$
- . High Noise Immunity..... $V_{NIH}=V_{NIL}=28\% V_{CC}$ (Min.)
- . Output Drive Capability.....10 LSTTL Loads
- . Symmetrical Output Impedance... $|I_{OH}|=I_{OL}=4mA$ (Min.)
- . Balanced Propagation Delays... $t_{pLH}\doteq t_{pHL}$
- . Wide Operating Voltage Range... $V_{CC}(opr)=2V\sim 6V$
- . Pin and Function Compatible with 74LS688.



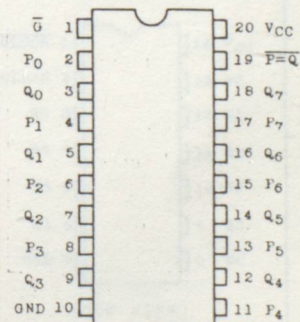
DIP20(3D20A-P)

TRUTH TABLE

INPUT		OUTPUT
P,Q	\bar{G}	$\overline{P=Q}$
P = Q	L	L
P \neq Q	L	H
*	H	H

* Don't care

PIN ASSIGNMENT



(TOP VIEW)

CMOS DIGITAL INTEGRATED CIRCUIT

TC74HC4024P

PRELIMINARY

TC74HC4024P 7-STAGE BINARY COUNTER

The TC74HC4024 is a high speed CMOS 7-STAGE BINARY COUNTER/DIVIDER fabricated with silicon gate C²MOS technology. It operates approximately ten times as fast as that of metal-gate CMOS IC (4024B) with the same power dissipation. A clear input is used to reset the counter to the all low level state. A high level at CLEAR accomplishes the reset function. A negative transition on the CLOCK input brings one increment to the counter. Seven kinds of divided output are provided; 1'st and 4 stage thru 7 stage. And at the last stage, 1/128 divided frequency will be obtained. All inputs are equipped with protection circuits against static discharge or transient excess voltage.

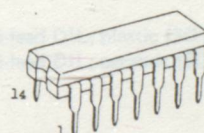
FEATURES:

- High Speed $f_{max}=60\text{MHz(Typ.)}$ at $V_{CC}=5\text{V}$
- Low Power Dissipation $I_{CC}=4\mu\text{A (Max.)}$ at $T_a=25^\circ\text{C}$
- High Noise Immunity $V_{NIH}=V_{NIL}=28\% V_{CC}(\text{Min.})$
- Output Drive Capability 10 LSTTL Loads
- Symmetrical Output Impedance $|I_{OH}|=I_{OL}=4\text{mA}(\text{Min.})$
- Balanced Propagation Delays $t_{pLH}=t_{pHL}$
- Wide Operating Voltage Range $V_{CC}(\text{Opr.})=2\text{V} \sim 6\text{V}$
- Pin and Function Compatible with 4024B.

ABSOLUTE MAXIMUM RATINGS

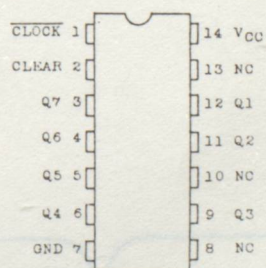
PARAMETER	SYMBOL	VALUE	UNIT
Supply Voltage Range	V_{CC}	$-0.5 \sim 7$	V
DC Input Voltage	V_{IN}	$-0.5 \sim V_{CC}+0.5$	V
DC Output Voltage	V_{OUT}	$-0.5 \sim V_{CC}+0.5$	V
Input Diode Current	I_{IK}	± 20	mA
Output Diode Current	I_{OK}	± 20	mA
DC Output Current	I_{OUT}	± 25	mA
DC V_{CC} /Ground Current	I_{CC}	± 50	mA
Power Dissipation	P_D	500*	mW
Storage Temperature	T_{stg}	$-65 \sim 150$	$^\circ\text{C}$
Lead Temperature 10sec	T_L	300	$^\circ\text{C}$

* 500mW in the range of $T_a=-40^\circ\text{C} \sim 65^\circ\text{C}$ and from $T_a=65^\circ\text{C}$ up to 85°C derating factor of $-10\text{mW}/^\circ\text{C}$ shall be applied until 300mW.



DIP14(3D14A-P)

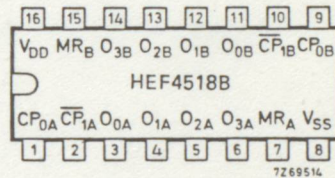
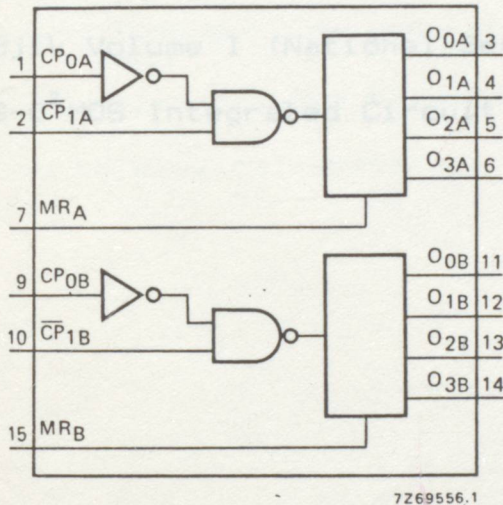
PIN ASSIGNMENT



(TOP VIEW)

DUAL BCD COUNTER

The HEF4518B is a dual 4-bit internally synchronous BCD counter. The counter has an active HIGH clock input (CP_0) and an active LOW clock input (\overline{CP}_1), buffered outputs from all four bit positions (O_0 to O_3) and an active HIGH overriding asynchronous master reset input (MR). The counter advances on either the LOW to HIGH transition of the CP_0 input if \overline{CP}_1 is HIGH or the HIGH to LOW transition of the \overline{CP}_1 input if CP_0 is LOW. Either CP_0 or \overline{CP}_1 may be used as the clock input to the counter and the other clock input may be used as a clock enable input. A HIGH on MR resets the counter (O_0 to $O_3 = \text{LOW}$) independent of CP_0 , \overline{CP}_1 .



HEF4518BP: 16-lead DIL; plastic (SOT-38Z).
HEF4518BD: 16-lead DIL; ceramic (SOT-74).

PINNING

CP_{0A} , CP_{0B} clock inputs (L to H triggered)
 \overline{CP}_{1A} , \overline{CP}_{1B} clock inputs (H to L triggered)
 MR_A , MR_B master reset inputs
 O_{0A} to O_{3A} outputs
 O_{0B} to O_{3B} outputs

FAMILY DATA

I_{DD} LIMITS category MSI

see Family Specifications

May 1977

KAYNAK

- 1- OLIVETTI PC M24 Technical Manual
- 2- Microsystem Components Handbook Volume II (Intel)
- 3- Linear Databook (National Semiconductor)
- 4- Linear Application Databook (National Semiconductor)
- 5- Lojik Volume I (National Semiconductor)
- 6- HS-C² MOS Integrated Circuit Technical Data (Toshiba)

ÖZGEÇMİŞ

1964'de Sivas'ta doğdum. İlk , orta ve lise öğrenimimi İstanbul'da yaptım. 1981 yılında Yıldız Üniversitesi Elektronik ve Haberleşme Mühendisliğini kazandım. 1985 yılında mühendislik tahsilimi tamamladım. Aynı yıl, mezun olduğum bölümün master sınavını kazandım. Halen bu bölümde çalışmalarına devam etmekteyim.

