

K 368  
41

**YILDIZ ÜNİVERSİTESİ  
FEN BİLİMLERİ ENSTİTÜSÜ**

**IBM P-C İÇİN GENEL AMAÇLI ENDÜSTRİYEL  
DENETİM KARTI**

**YÜKSEK LİSANS TEZİ  
MÜH. NİZAMETTİN AYDIN**

**İSTANBUL - 1987**



YILDIZ ÜNİVERSİTESİ  
GENEL KİTAPLIĞI

R 368

Kot : .....  
Alındığı Yer : .....  
Tarih : .....  
Fatura : .....  
Fiatı : .....  
Ayniyat No : .....  
Kayıt No : .....  
UDC : .....  
Ek : .....

41

Fen Bilimleri Enst.

09/05/1991

5000 TL

1/3

47634

001.64 378.242

T



YILDIZ ÜNİVERSİTESİ

D.B. No. 45361

# YILDIZ ÜNİVERSİTESİ FEN BİLİMLERİ ENSTİTÜSÜ

## ÖNSÖZ

Günümüzde elektronik sistemlerde, sayısal tekniğinin kullanılması oldukça yaygınlaşmıştır. Sayısal teknolojinin en iyi bilinen ürünü sayısal bilgisayarlardır. Endüstriyel denetim işlemlerinde, bilgisayar ve elektronik kavramları artık birlikte anılmaktadır. Bilgisayarları sadece bir büro aracı olarak değil her alanda, özellikle endüstriyel denetim sistemlerinde kullanarak, bilgisayarın çok daha yararlı hale getirmek, denetim işlemlerini

## IBM P-C İÇİN GENEL AMAÇLI ENDÜSTRİYEL DENETİM KARTI

Bu çalışma, çalışma alanıdır. Lisans ve lisans alanları arasında bazı bu konuda yetkilendirilmiş, bu çalışma amında kolaylıkla çalışmaları ve yardımlarını esirgemeyen hocam Doç. Dr. Serzgin Aisan'a teşekkürlerimi sunarım.

YÜKSEK LİSANS TEZİ  
MÜH. NİZAMETTİN AYDIN

İSTANBUL - 1987



## İÇİNDEKİLER

BÖLÜM 1 — Veri elde etme sistemleri ve temel bileşenleri.....1	
1-1. Veri elde etme sistemleri.....2	
1-2. Örneksel Dönüştürücüler.....4	
1-2.1. Sayısal - Kararlayıcı Ö / S Dönüştürücüler.....4	
<b>ÖNSÖZ</b>	
<p>Günümüzde elektronik sistemlerde, sayısal tekniğinin kullanılması oldukça yaygınlaşmıştır. Sayısal teknolojinin en iyi bilinen ürünü sayısal bilgisayarlardır. Endüstriyel denetim işlemlerinde, bilgisayar ve elektronik kavramları artık birlikte anılmaktadır. Bilgisayarları sadece bir büro aracı olmaktan çıkarıp her alanda, özellikle endüstriyel denetim sistemlerinde kullanabilmek; bilgisayarı çok daha yararlı hale getirmek, denetim işlemlerini büyük ölçüde kolaylaştırmak demektir.</p> <p>Bu iddiasız çalışma, benim için bu konuya bir giriştir. Lisans ve lisansüstü eğitimimde beni bu konuda yönlendiren, bu çalışma anında anlayışla davranan ve yardımlarını esirgemiyen hocam Doç.Dr.Sezgin Alsan'a teşekkürü bir borç bilirim.</p>	
1-4. Örneklem / Tutma Devreleri.....21	
1-4.1. Veri Düzeltme Süzgeci Olarak Örnek Tutucular.....22	
1-4.2. Diğer örnek tutucu devreler.....23	
1-4.3. Örnek tutucu karakteristikleri.....24	
1-5. Örneksel Çoğullayıcılar.....25	
1-6. Ölçü - Kuvvetlendiricileri.....32	
BÖLÜM 2 — IBM - PC Donanımı.....37	
2-1. IBM - PC Donanımına genel bir bakış.....38	
2-2. IBM - PC Bellek Haritası ve I / O Portları.....40	
2-3. IBM - PC I / O Kanal Şeması.....42	
2-4. IBM Prototip Kartı.....43	
BÖLÜM 3 — ADC 7109 ve 8255'in Genel Tanıtımı.....45	
3-1. ADC 7109 Mikroileyiçi Arabirimi için 12 Bit Binary Ö / S Dönüştürücü.....46	
3-2. INTEL 8255 Programlanabilir Paralel Giriş / Çıkış Ara Birimi.....51	
BÖLÜM 4 — IBM PC için 12 Bitlik 16 kanallı Örneksel / Giriş kartı.....55	
4-1. Devrenin Genel Tanıtımı.....56	
4-2. Devrenin Çalışması.....56	
EK - 1.....66	
EK - 2.....115	
EK - 3.....117	



## İÇİNDEKİLER

<b>BÖLÜM 1 — Veri elde etme sistemleri ve temel bileşenleri.....</b>	<b>1</b>
1-1. Veri elde etme sistemleri.....	2
1-2. Örneksel / Sayısal Dönüştürücüler.....	4
1-2.1. Sayısal - Karşılaştırmacı Ö / S Dönüştürücüler.....	4
1-2.2. Ardışıl Yaklaşım Yöntemi.....	6
1-2.3. Paralel Ö / S Dönüştürme Yöntemi.....	8
1-2.4. İntegrasyon Tipi Ö / S Dönüştürücüler.....	10
1-2.4.1. Tek Eğimli Ö / S Dönüştürücü.....	10
1-2.4.2. Çift Eğimli Ö / S Dönüştürücü.....	12
1-2.4.3. Akım Anahtarlamalı Ö / S Dönüştürücü.....	14
1-3. Sayısal / Örneksel Dönüştürücüler.....	16
1-3.2.1. Gerilim Anahtarlamalı R-2R Merdiven Devresi S/Ö dönüştürücü gerçekleştirilmesi.....	17
1-3.2.2. Akım Anahtarlamalı R-2R Merdiven Devresi ile S/Ö dönüştürücü gerçekleştirilmesi.....	18
1-4. Örneklem / Tutma Devreleri.....	21
1-4.1. Veri Düzeltme Süzgeci Olarak Örnek Tutucular....	22
1-4.2. Diğer örnek tutucu devreler.....	23
1-4.3. Örnek tutucu karakteristikleri.....	24
1-5. Örneksel Çoğullayıcılar.....	25
1-6. Ölçü - Kuvvetlendiricileri.....	32
<b>BÖLÜM 2 — IBM - PC Donanımı.....</b>	<b>37</b>
2-1. IBM - PC Donanımına genel bir bakış.....	38
2-2. IBM - PC Bellek Haritası ve I / O Portları.....	40
2-3. IBM - PC I / O Kanal Şeması.....	42
2-4. IBM Prototip Kartı.....	43
<b>BÖLÜM 3 — ADC 7109 ve 8255'in Genel Tanıtımı.....</b>	<b>45</b>
3-1. ADC 7109 Mikroişleyici Arabirimleri için 12 Bit Binary Ö / S Dönüştürücü.....	46
3-2. INTEL 8255 Programlanabilir Paralel Giriş / Çıkış Ara Birimi.....	51
<b>BÖLÜM 4 — IBM PC için 12 Bitlik 16 kanallı Örneksel / Giriş kartı55</b>	
4-1. Devrenin Genel Tanıtımı.....	56
4-2. Devrenin Çalışması.....	56
EK - 1.....	66
EK - 2.....	115
EK - 3.....	117



## ÖZET

### SUMMARY

Bu çalışma, IBM-PC için bir arabirim tasarımı denemesidir. Genel olarak veri elde etme sistemleri diye alandırılan sistemler, endüstride çok yaygın olarak kullanılır. Birinci bölümde bu sistemlerin genel yapısı ve bu sistemi oluşturan birimler hakkında, örneğin Örneksel / Sayısal ve Sayısal / Örneksel Dönüştürme yöntemleri, örnekleme -tutma devreleri, çoğullayıcılar ve ölçme kuvvetlendiricileri hakkında genel bilgiler verilmiştir.

İkinci bölümde IBM-PC donanımına kısaca değinilmiştir. Üçüncü bölümde de bu devrede kullanılan temel tüm devreler olan 8255 PIO ve ADC 7109 hakkında bazı genel bilgiler verilmiştir. Dördüncü bölümde ise devrenin nasıl gerçekleştirildiği ve nasıl çalıştığı anlatılmıştır. Çalışmanın sonuna da kullanılan elemanlara ait katalog bilgileri konmuştur.



## SUMMARY

This investigation is a trial about interface designing for IBM PC. Generally, systems called data acquisition systems are commonly used in the industry. In the first chapter, general knowledge is given about hardware of the system and about units of systems like digital to analog and analog to digital conversion methods, sample-hold circuits, multiplexers and instrumentation amplifiers.

In the second, the hardware of IBM PC is glanced at. In the third, some general knowledge is given about 8255 PIO and ADC 7109 are main integrated circuits which is used in this circuits. Finally, it's explained how the circuit works and how it is designed. At the end of this investigation, catalog data are added.

BÖLÜM 1 - VERİ ELDE ETME SİSTEMLERİ VE  
TEMEL BİLEŞENLERİ



### 1-1. VERİ ELDE ETME SİSTEMLERİ

Bir veri elde etme sistemi, örneksel çoğaltıcılar, örnek tutucular, örneksel/sayısal dönüştürücüler (Ö/S D.), Sayısal / Örneksel Dönüştürücüler, sıyazlık elemanları ve kuvvetlendirici gibi bileşenlerden oluşmuştur. Bu devreler aracılığı ile örneksel işaretler, bilgisayarların kullanabileceği bir sayısal büyüklüğe dönüştürülür. Bu bileşenler, ilerdeki sayfalarda daha ayrıntılı olarak incelenecektir.

Veri elde etme ve dönüştürme sistemleri, örneksel büyüklükler olan fiziksel büyüklüklerin (sıcaklık, basınç gibi) sayısal olarak işlenebilmesini sağlarlar. Bu tür sistemlerin, mini ve mikrobilgisayarlarla kullanılması çok yaygınlaşmıştır. Çünkü, fiziksel büyüklüklerin ölçülmesi ve dönüştürülmesinin bilgisayarlarla yapılması büyük kolaylıklar sağlar.

Örneğin, bilgisayarlı geri beslemeli denetim sistemleri, endüstride çok değişik alanlarda kullanılmaktadır. Çelik üretimi, besin, kimya, kâğıt, tekstil, petrol ve çimento endüstrisi gibi otomatik sistemlerin kullanıldığı her türlü uygulamaları vardır.

Örneksel ve sayısal dünyalar arasındaki bağlantıyı sağlayan elemanlar, veri dönüştürücülerdir. Örneksel / Sayısal Dönüştürücüler ve Sayısal / Örneksel Dönüştürücülerdir. Bu veri dönüştürücülerinin kullanıldığı bazı uygulamaları Şekil 1-1'de göstermektedir.

## BÖLÜM 1 - VERİ ELDE ETME SİSTEMLERİ VE TEMEL BİLEŞENLERİ

Bu bölümde, veri elde etme ve ayırma sistemlerinde aşağıdaki devrelerden biri ya da birkaçı daha kullanılabilir:

- Dönüştürücüler (Transducers)
- Kuvvetlendiriciler
- Tutucular
- Örneksel olmayan örneksel işlevler
- Örneksel ya da Sayısal çoğaltıcılar
- Örneksel - Tutma Devreleri

Bu bileşenlerden oluşan bir veri elde etme sistemi Şekil 1-1'de gösterilmektedir.

Burada, sistem girişi, birer örneksel büyüklük olan basınç, sıcaklık, akış hızı gibi fiziksel parametrelerden biri ya da birkaçıdır. Bu parametre, dönüştürücü aracılığı ile elektriksel bir işarete dönüştürülür. İşaretin daha kolay işlenebilmesi için, mikrovoltlar ya da milivoltlar mertebesinde olan elektriksel çıkışını voltlar mertebesine yükseltmek gerekir. Ayrıca dönüştürücü çıkışı yüksek empedanslı bir işaret, ortak mod gürültülü farksal bir işaret, bir akım çıkışı, yüksek gerilime bindirilmiş bir işaret ya da bunların bir karışımı olabilir. Kuvvetlendirici, işaretleri yüksek seviyeli bir gerilime çıkarmak için birkaç özel tipten biri olabilir. Çoğu zaman kuvvetlendiriciyi, istenmeyen gürültüleri ve yüksek frekans işaret bileşenlerini bastırarak bir alçak geçiren aktif süzgeç izler. Bazen de kuvvetlendiriciyi, yüksek seviyeli işa-



### 1-1. VERİ ELDE ETME SİSTEMLERİ

Bir veri elde etme sistemi, örneksel çoğullayıcılar, örnek tutucular, örneksel/sayısal dönüştürücüler (Ö/S D.), Sayısal / Örneksel Dönüştürücüler, duyarlık elemanları ve kuvvetlendirici gibi bileşenlerden oluşmuştur. Bu devreler aracılığı ile örneksel işaretler, bilgisayarların kullanabileceği bir sayısal büyüklüğe dönüştürülür. Bu bileşenler, ilerdeki sayfalarda daha ayrıntılı olarak incelenecektir.

Veri elde etme ve dönüştürme sistemleri, örneksel büyüklükler olan fiziksel büyüklüklerin (sıcaklık, basınç gibi) sayısal olarak işlenebilmesini sağlayan arabirimlerdir. Bu tür sistemlerin, mini ve mikrobilgisayarlarla kullanımı çok yaygınlaşmıştır. Çünkü, fiziksel büyüklüklerin ölçülmesi ve denetlenmesinin bilgisayarlarla yapılması büyük kolaylıklar sağlar.

Günümüzde, bilgisayarlı geri beslemeli denetleme sistemleri, endüstride çok değişik alanlarda kullanılmaktadır. Çelik üretimi, besin, kimya, kâğıt, tekstil, petrol ve çimento endüstrisi gibi otomatik sistemlerin kullanıldığı her yerde uygulamaları vardır.

Örneksel ve sayısal dünyalar arasındaki bağlantıyı sağlayan elemanlar, veri dönüştürücüleri denir. Örneksel / Sayısal Dönüştürücüler ve Sayısal / Örneksel Dönüştürücülerdir. Bu veri dönüştürücülerinin kullanıldığı bazı uygulamalar, data telemetry sistemleri, bilgisayar gösterge sistemleri, video işaretlerini işleyen sistemler, veri kaydedici sistemler, örneklenmiş veri kontrol sistemleri, sayısal multimetreler ve panelmetrelerdir.

Ayrıca, veri elde etme ve ayırma sistemlerinde aşağıdaki devrelerden bir ya da birkaçı daha kullanılabilir:

- Dönüştürücüler (Transducers)
- Kuvvetlendiriciler
- Süzgeçler
- Doğrusal olmayan örneksel işlevler
- Örneksel ya da Sayısal çoğullayıcılar
- Örnekleme - Tutma Devreleri

Bu bileşenlerden oluşan bir veri elde etme sistemi Şekil 1-1.1'de gösterilmiştir.

Burada, sistem girişi, birer örneksel büyüklük olan basınç, sıcaklık, akış, ivme gibi fiziksel parametrelerden biri ya da birkaçıdır. Bu parametre, dönüştürücü aracılığı ile elektriksel bir işarete dönüştürülür. İşaretin daha kolay işlenebilmesi için, mikrovoltlar ya da milivoltlar mertebesinde olan dönüştürücü çıkışını voltlar mertebesine yükseltmek gerekir. Ayrıca dönüştürücü çıkışı yüksek empedanslı bir işaret, ortak mod gürültülü farksal bir işaret, bir akım çıkışı, yüksek gerilime bindirilmiş bir işaret ya da bunların bir karışımı olabilir. Kuvvetlendirici, işaretleri yüksek seviyeli bir gerilime çıkarmak için birkaç özel tipten biri olabilir. Çoğu zaman kuvvetlendiriciyi, istenmeyen gürültüleri ve yüksek frekans işaret bileşenlerini bastıran bir alçak geçiren aktif süzgeç izler. Bazan da kuvvetlendiriciyi, yüksek seviyeli işa-

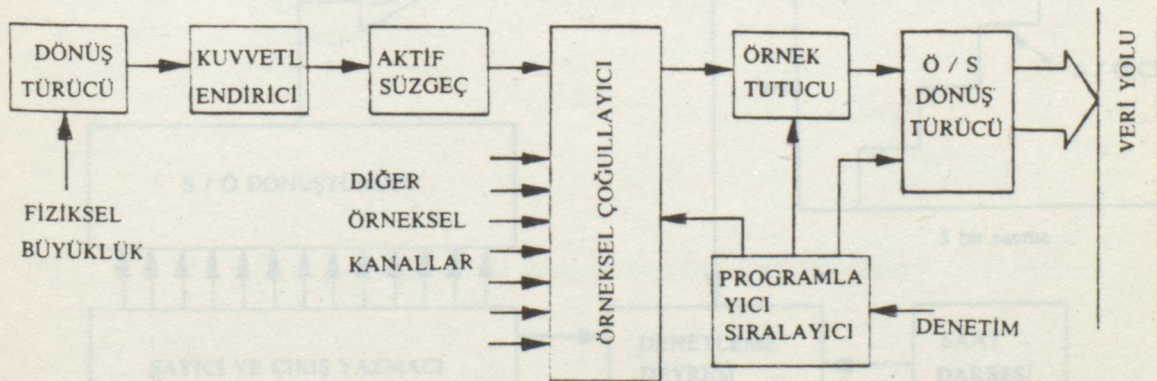


retlerde doğrusal olmayan bir çalışma özelliği gösterebilen doğrusal olmayan örneksel işlev devresi izler. Bu doğrusal olmayan işlemler kare alma, çarpma, bölme, RMS dönüştürme logaritmik dönüştürme ya da doğrusallaştırma olabilir.

Daha sonra, işlenmiş işaret örneksel çoğullayıcıya girer. Örneksel çoğullayıcı, birden fazla örneksel işaretin, sıra ile anahtarlanarak tek bir Ö / S dönüştürücü de değerlendirilmesini sağlar. Her giriş, belirli bir dönemde sıra ile çoğullayıcı çıkışına (örnek tutucu girişine) iletilir. Bu bağlanma süresince örnek tutucu devre gerilim işaretini alır ve Ö / S dönüştürücüsü dönüştürme işlemini yaparken örnek tutucu bu dönüştürme süresince örneksel işareti tutar. Sonuçtaki sayısal bilgi, bilgisayarın veri yoluna ya da sayısal bir devrenin girişlerine gider.

Veri elde etme sistemindeki bütün denetimi ve zamanlamayı yapan devreye programlayıcı-sıralayıcı (programmer-sequencer) denir. Bu devre ise bir bilgisayar tarafından denetlenir. Bazan da bu devreye gerek duyulmadan, bütün denetleme işlemini bilgisayar yapar.

Veri elde etme sistemlerinde çoğu zaman, yukarıda anlatılan devre yapısı kullanılır. Fakat bazan da değişik konfigürasyonlar kullanılabilir. Bunlardan biri, yüksek seviyeli işaretlerin çoğullanması yerine, alçak seviyeli işaretlerin çoğullanmasıdır. Burada kuvvetlendirici, çoğullayıcının girişlerinde değil, çıkışındadır. Bu durumda tek bir kuvvetlendirici yeterlidir. Daha önceki durumda ise kanal sayısınca kuvvetlendirici gerekiyordu. Fakat bunda sakıncaları vardır. Bazan her kanal için farklı kazançlar gerekebilir. O zaman ilk konfigürasyon tercih edilir. Ya da ikinci konfigürasyona ek denetimler yapılabilir. (Örneğin, her kanal seçilişinde, kuvvetlendirici için gereken kazanç da seçilebilir. Yani kazancı programlanabilen bir kuvvetlendirici kullanılabilir). Diğer bir yöntem de dönüştürücü çıkışını dönüştürücünün bulunduğu yerde kuvvetlendirip sayısal bilgiye dönüştürmek, sonradan bu bilgiyi seri olarak bilgisayara göndermektir. Burada seri bilgi paralel bilgiye dönüştürülüp bilgisayar veri yoluna çoğullanmalıdır.



Şekil 1-1.1: Temel Veri Elde Etme Sistemi.



## 1-2. ÖRNEKSEL / SAYISAL DÖNÜŞTÜRÜCÜLER (Ö / S D)

Birbirlerinden tamamen farklı, birkaç tip Ö / S dönüştürme tekniği vardır. Bunlar:

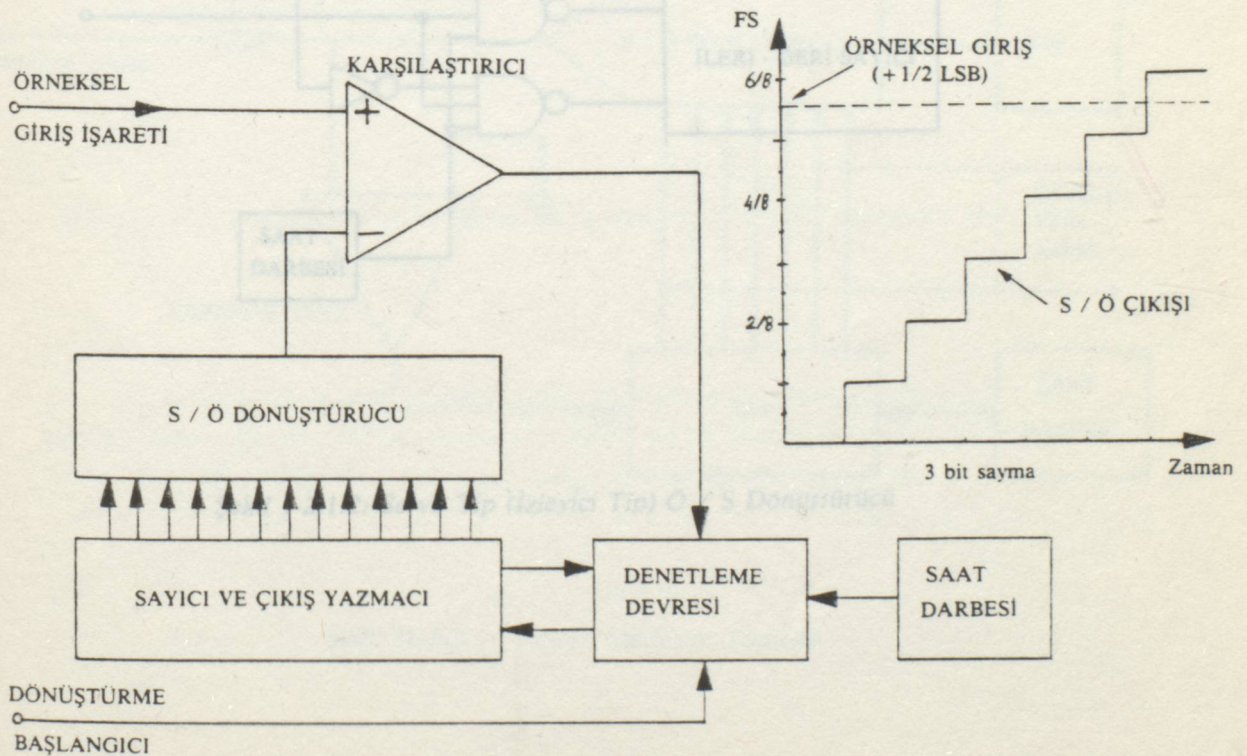
1. Sayıcı Tipi Ö / S Dönüştürücü
2. Ardışıl Yaklaşım Tekniği
3. Paralel Ö / S Dönüştürücü
4. İntegrasyon Tipi Ö / S Dönüştürücü.

Bu dönüştürücü tiplerinin kullanıcı tarafından seçimi, uygulama anında gereken dönüştürücünün yoğunluğuna ve hızına bağlıdır. Bu dönüştürücülerin gerçekleştirme yöntemleri ve çalışmaları fazla ayrıntıya inilmeden aşağıda anlatılmıştır.

### 1-2.1- SAYICI - KARŞILAŞTIRICI Ö / S DÖNÜŞTÜRÜCÜ

En basit Ö / S Dönüştürücülerden biri sayıcı-karşılaştırmacı ya da servo tipi Ö / S Dönüştürücüdür.

Şekil 1-2.1.1'de bu tip bir dönüştürücünün blok diyagramı gösterilmiştir. Bu devrede, bilinmeyen örneksel giriş, sayısal girişleri bir sayıcı tarafından sürülen bir S / Ö Dönüştürücünün örneksel çıkışı ile karşılaştırılır. Dönüştürme işlemi başladığı anda sayıcı saymaya başlar. Sayma işlemi, S / Ö dönüştürücünün çıkışı bilinmeyen giriş gerilimine eşit oluncaya kadar devam eder. Bu anda karşılaştırmacı konum değiştirir ve denetleme devresi sayıcıyı durdurur. Sayıcı çıkışındaki sayısal bilgi bir yazmaçta saklanır ve sayıcı sıfırlanır. Dönüştürücü, yeni bir dönüştürme yapmaya hazır hale gelir. İki kutuplu dönüştürmeler için iki kutuplu S / Ö Dönüştürücüler kullanılır.

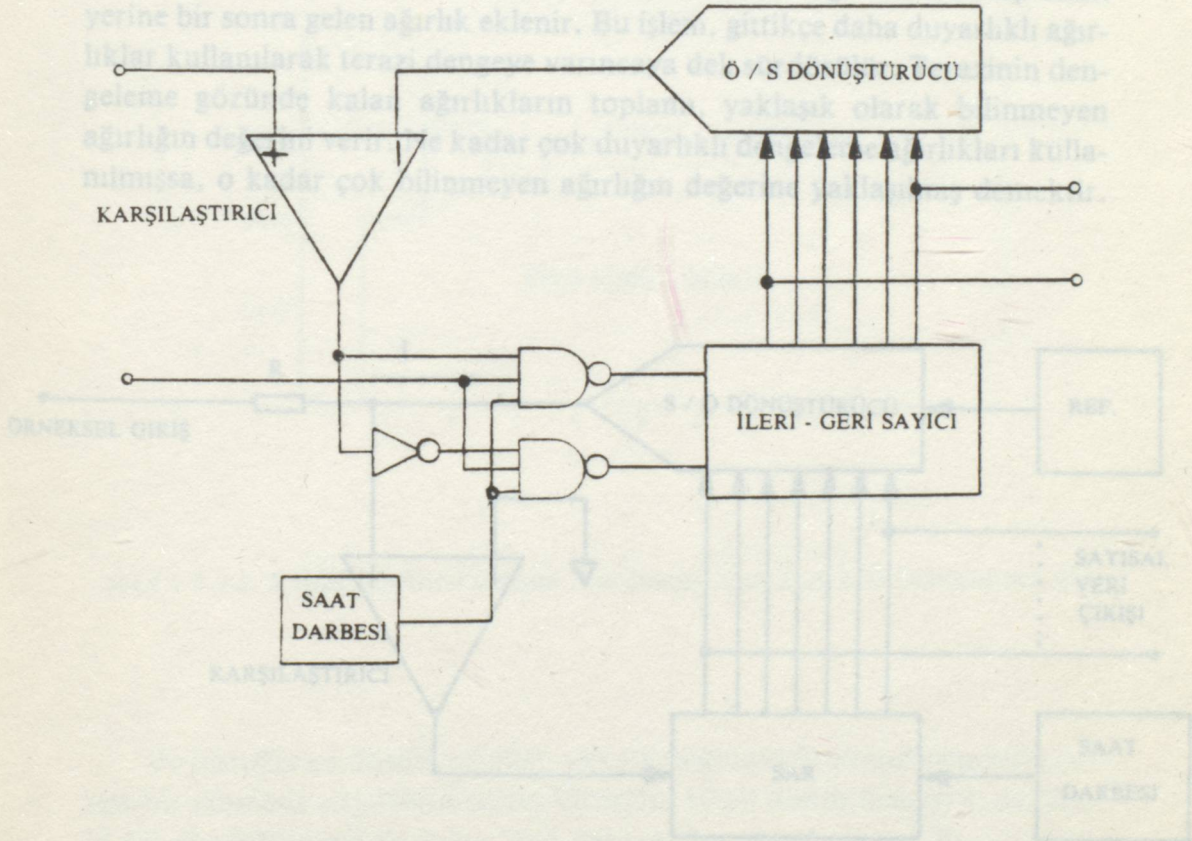


Şekil 1-2.1.1: Sayıcı-Karşılaştırmacı Ö / S Dönüştürücü



Bu dönüştürücünün kötü tarafı, dönüştürücünün hızının, dönüştürücünün yoğunluğu ile ters orantılı olmasıdır. Yani yoğunluğunun artması demek hızının düşmesi demektir. Çünkü, tam ölçek dönüştürme için dönüştürme hızı, saat darbesinin frekansının sayılabilen maksimum sayıya bölümüne eşittir. Örneğin, eğer saat darbesi frekansı 10 MHz. ise, 10 Bit yoğunlukla dönüştürücünün maksimum dönüştürme hızı 10 k Hz.'den daha azdır.

Sayıcı tipi dönüştürücünün değişik bir tipi de, ileri-geri sayıcı kullanan servo tipidir. Şekil 1-2.1.2'de blok şeması gösterilmiştir. Burada, bilinmeyen giriş gerilimi ve S / Ö dönüştürücünün çıkışı karşılaştırılır. Eğer S / Ö dönüştürücü çıkışı örneksel girişten daha küçükse sayıcı ileri sayar, daha büyükse geri sayar. Karşılaştırıcı girişleri eşitlendiği zaman sayıcı, iki bit arasında ileri geri salınır. Bu dönüştürücü küçük değişimleri çok hızlı izleyebilir. Bunun için bazan bu tip dönüştürücüye İzleyici Tip Ö / S Dönüştürücü de denir. Bu dönüştürücü genellikle denetim sistemlerinde kullanılır.



Şekil 1-2.1.2: Servo Tip (İzleyici Tip) Ö / S Dönüştürücü

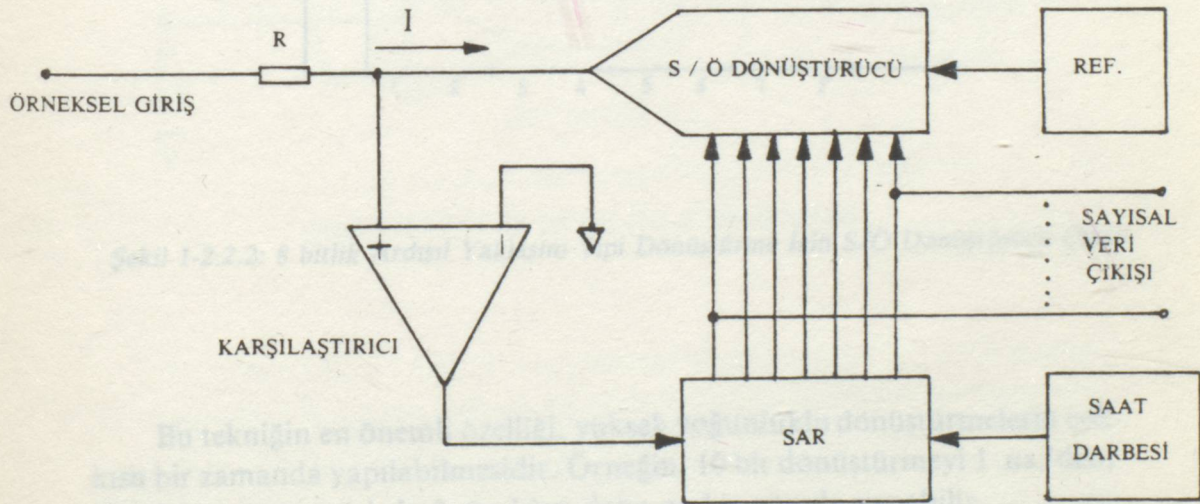


### 1-2.2- ARDIŞIL YAKLAŞIM YÖNTEMİ

Orta yükseklikte dönüştürme hızı gereken uygulamalarda en yaygın olarak kullanılan dönüştürme yöntemi, Ardışıl Yaklaşım Yöntemidir. Sayıcı tipi dönüştürücü gibi, bu yöntem de geri beslemeli dönüştürücüler sınıfındadır. Her iki durumda da S / Ö dönüştürücü, çıkışı bilinmeyen örneksel girişe eşit olana kadar değişen sayısal bir denetleme geri besleme çevrimindedir. Ardışıl Yaklaşım Yönteminde S / Ö Dönüştürücü, dönüştürmeyi n adımda tamamlamak için optimum şekilde denetlenir. Burada n dönüştürücünün yoğunluğudur.

Bu dönüştürücünün çalışması bir teraziye benzer. Bilindiği gibi terazi, bilinmeyen ağırlığa denk düşecek şekilde, 1, 1/2, 1/4, ..., 1/n kilogram gibi binary sırada standart ağırlıklar kullanılarak dengelenir. Dengeleme işlemine, önce büyük ağırlıklarla başlanır. Daha sonra tam değere daha küçük ağırlıklar eklenerek ya da çıkarılarak ulaşılır.

Terazinin bir gözünde ağırlığı bilinmeyen bir cisim varsa, diğer gözüne en büyük ağırlık konur. Eğer dengeliyemezse, bu ağırlığa bir sonraki ağırlık eklenir. Bu kez dengeleme tarafı tartarsa, eklenen ağırlık kaldırılıp onun yerine bir sonra gelen ağırlık eklenir. Bu işlem, gittikçe daha duyarlıklı ağırlıklar kullanılarak terazi dengeye varıncaya dek sürdürülür. Terazinin dengeleme gözünde kalan ağırlıkların toplamı, yaklaşık olarak bilinmeyen ağırlığın değerini verir. Ne kadar çok duyarlıklı dengeleme ağırlıkları kullanılmışsa, o kadar çok bilinmeyen ağırlığın değerine yaklaşılmış demektir.

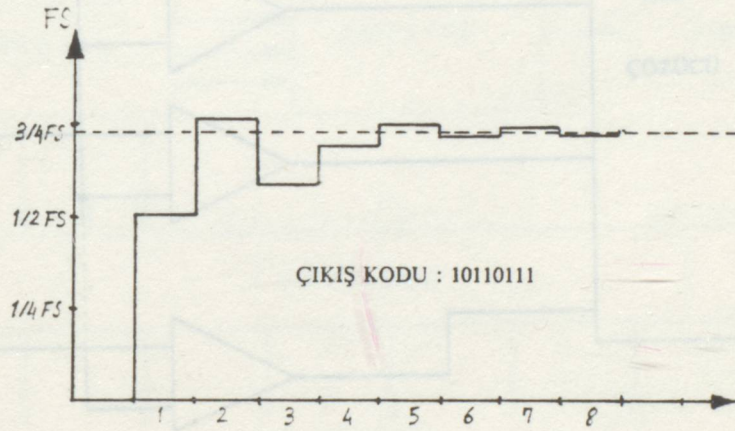


Şekil 1k-2.2.1 : Ardışıl Yaklaşım Yöntemi



Şekil 1-2.2.1'de Ardışıl Yaklaşım Yönteminin prensip şeması görülmektedir. Bu devre, tamamen yukarıda anlatılan terazi gibi çalışmaktadır. Yalnız burada, olaylar elektronik olarak ilerlemektedir. Şekilden de anlaşılacağı gibi, yukarıda anlatılan dengeleyici binary ağırlıkları sağlayan bir ardışıl yaklaşım yazmacı (SAR), S / Ö Dönüştürücüyü denetler. SAR, Önce S / Ö Dönüştürücünün en ağırlıklı bitini mantıksal "1" yapar ve karşılaştırıcı, S / Ö Dönüştürücün çıkışını ve örneksel girişi karşılaştırır. Bu bitin "1" konumunda kalıp kalmayacağına karşılaştırıcı karar verir. Daha sonra diğer "bitler üzerinde aynı işlemler yapılır." Karşılaştırma yapıldıktan sonra SAR'ın çıkışından örneksel girişe karşı gelen sayısal değer alınır. SAR'ın zamanlaması Saat Darbesi Devresi tarafından denetlenir.

Şekil 1-2.2.2'de, tipik bir dönüştürme anında, S/ Ö Dönüştürücü çıkışında oluşan dalga şekli görülmektedir.



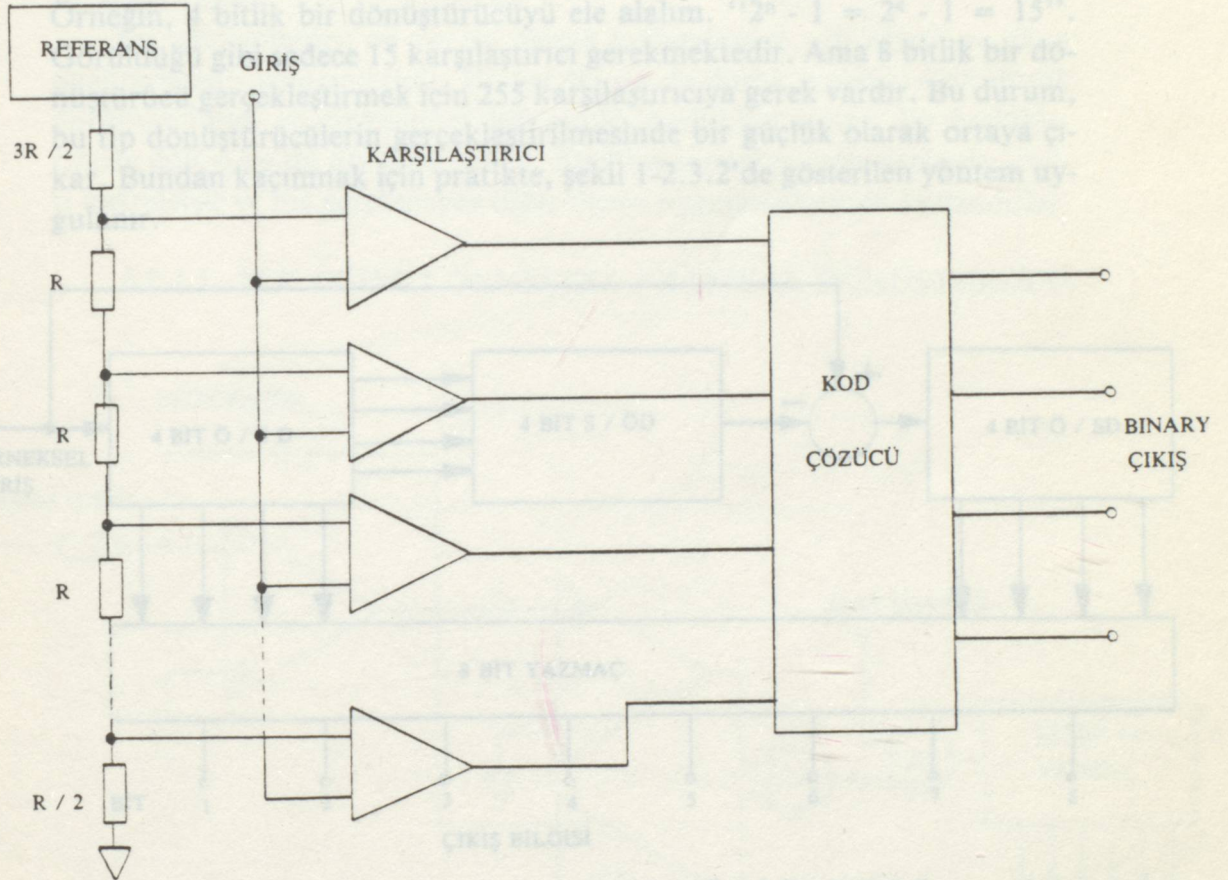
Şekil 1-2.2.2: 8 bitlik Ardışıl Yaklaşım Tipi Dönüştürme İçin S/Ö Dönüştürücü Çıkışı

Bu tekniğin en önemli özelliği, yüksek yoğunluklu dönüştürmelerin çok kısa bir zamanda yapılabilmesidir. Örneğin, 10 bit dönüştürmeyi 1  $\mu$ s.'den, 12 bit dönüştürmeyi de 2  $\mu$ s.'den daha az bir sürede yapabilir.



### 1-2.3- PARALEL ÖRNEKSEL / SAYISAL DÖNÜŞTÜRME YÖNTEMİ

En fazla 8 bitlik yoğunluk ve çok yüksek dönüştürme hızı gereken video işaretlerinin işlenmesi ve radar uygulamalarında paralel Ö / S Dönüştürme Yöntemi kullanılır. Bu dönüştürücünün temel yapısı Şekil 1-2.3.1'de görülmektedir.

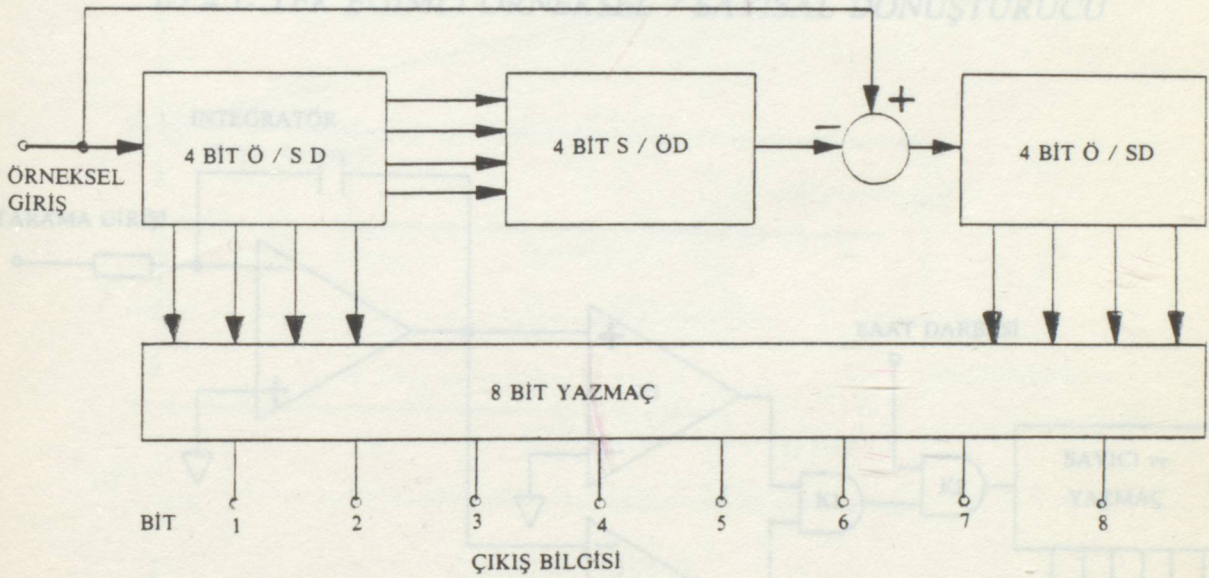


Şekil 1-2.3.1: 4 Bit paralel Ö / S Dönüştürücü

Bu devre,  $n$  bitlik bir Ö / S Dönüştürücünün nicemleyici transfer işlevini doğrudan gerçeklemek için  $(2^n - 1)$  tane örneksel karşılaştırıcı kullanır. Karşılaştırıcının eşit noktaları, referans gerilimi ve seri direnç zinciri ile sağlanır. Verilen bir örneksel giriş gerilimi için bütün karşılaştırıcılar, açılma geriliminin altında, kapanma gerilimi için bütün karşılaştırıcılar, açılma geriliminin altında, kapanma geriliminin üstünde kalacak şekilde kutuplanmıştır. Bütün karşılaştırıcılar eşzamanlı olarak konum değiştirdiklerinden, nicemleme işlemi bir adımda tamamlanır.



Bununla birlikte, karşılaştırıcıların çıkışları binary halinde olmadığından ikinci bir adım daha gerekir. Bu adımda kod dönüştürmesi yapılır. Bu dönüştürme çok hızlı bir kod çözücü devre tarafından gerçekleştirilir. Paralel yöntemde dönüştürmeyi yapmak için yalnızca iki ardışıl işlem gerektiğinden son derece yüksek hızlara erişilebilir. Yalnız bu yöntemin sakıncalı yönü istenen yoğunluğu sağlamak için çok sayıda karşılaştırıcı gerekmesidir. Yani karşılaştırıcıların sayısı, dönüştürücülerin yoğunluğuna bağlıdır. Örneğin, 4 bitlik bir dönüştürücüyü ele alalım. " $2^n - 1 = 2^4 - 1 = 15$ ". Görüldüğü gibi sadece 15 karşılaştırıcı gerekmektedir. Ama 8 bitlik bir dönüştürücü gerçekleştirmek için 255 karşılaştırıcıya gerek vardır. Bu durum, bu tip dönüştürücülerin gerçekleştirilmesinde bir güçlük olarak ortaya çıkar. Bundan kaçınmak için pratikte, şekil 1-2.3.2'de gösterilen yöntem uygulanır.



Şekil 1-2.3.2: İki Katlı Paralel 8 Bitlik Ö / S Dönüştürücü

Bu yöntemde, iki 4 bitlik dönüştürücü ile bir 8 bitlik Ö / S Dönüştürücü gerçekleştirilir. Yani burada iki aşamalı bir dönüştürme söz konusudur.

Bu devrede, ilk dört bitlik dönüştürmenin sonucu, çok hızlı bir S / Ö Dönüştürücü ile yeniden örneksel işarete dönüştürülür ve bu sonuç örneksel girişten çıkarılır. Sonuçta kalan örneksel işaret ikinci 4 bitlik Ö / S Dönüştürücü ile sayısal büyüklüğe dönüştürülür. Sonuçta iki sayısal bilgi 8 bit olarak çıkış yazmaçına kaydedilir.

Bu yöntemde, tek katlı 4 bitlik dönüştürücülerde 50 - 100 MHz'lik hızlara erişilebilirken, 8 bitlik dönüştürücülerde 20 MHz.'lik hızlara erişilebilir.

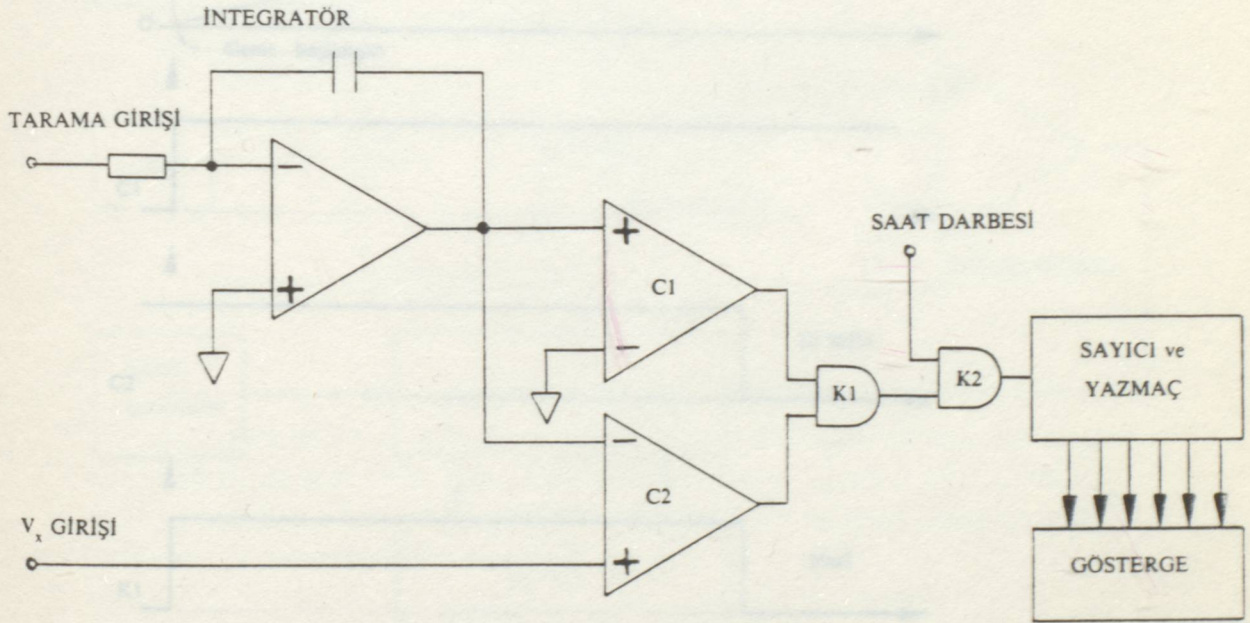


### 1-2.4- İNTEGRASYON TİPİ ÖRNEKSEL / SAYISAL DÖNÜŞTÜRÜCÜLER

Bu tip dönüştürmeler dolaylı dönüştürmelerdir. Bilinmeyen giriş gerilimi, bir saat darbesi ve sayıcı tarafından ölçülen bir zaman periyoduna dönüştürülür. Tek eğimli, çift eğimli, üç eğimli ve dört eğimli integrasyon tipi Ö / S Dönüştürücüler vardır. Ayrıca, bunlardan başka, akım anahtarlama-ly ya da nicemlenmiş geri beslemeli Ö / S Dönüştürücü olarak bilinen bir tip daha vardır.

Bu yöntemlerden en yaygın olarak kullanılanlar, çift eğimli ve akım anahtarlama yöntemleridir. Bu her iki tip de düşük hızlıdır. Çok düşük gürültülüdürler ve mükemmel doğrusallık özellikleri vardır. Bu özelliklerinden dolayı bu tip dönüştürücüler, özellikle sayısal panelmetrelerde, multi metrelerde ve hız gerekmeyen diğer ölçme uygulamalarında kullanılırlar.

#### 1-2.4.1- TEK EĞİMLİ ÖRNEKSEL / SAYISAL DÖNÜŞTÜRÜCÜ



Şekil 1-2.4.1.1: Tek Eğimli Ö/S Dönüştürücü

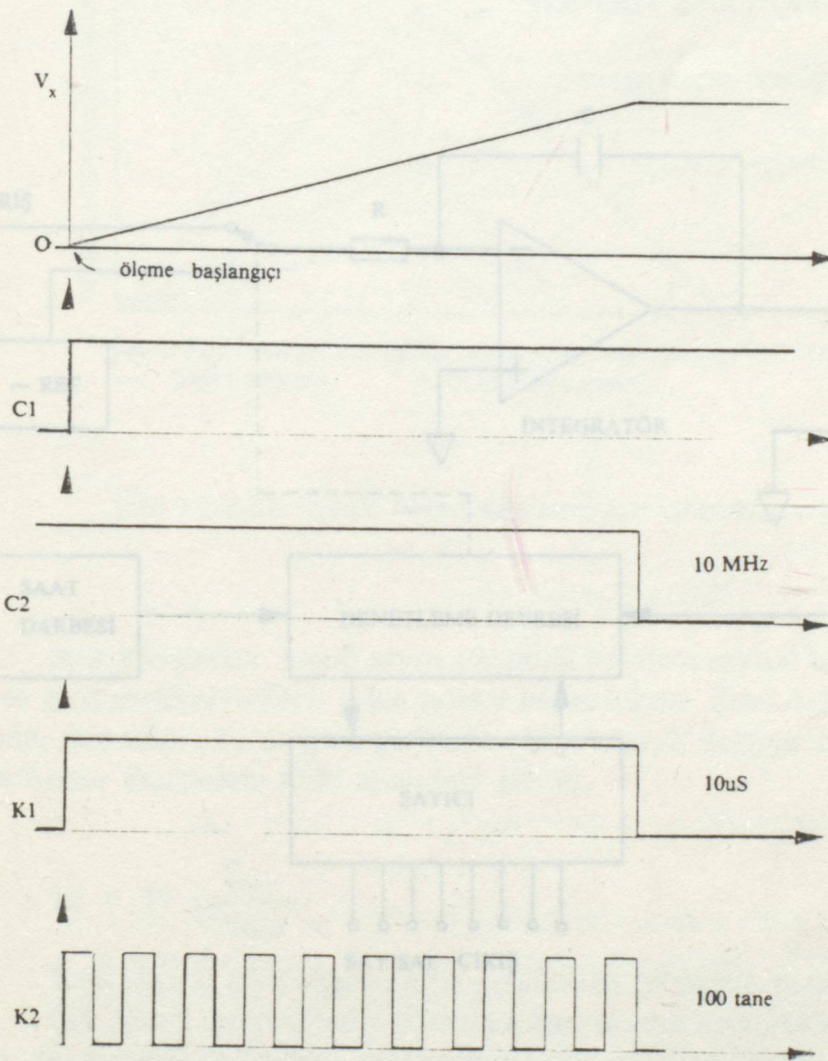
Şekil 1-2.4.1.1'de Tek Eğimli Ö / S dönüştürücünün prensip şeması görülmektedir. Devrenin çalışmasına ait dalga şekilleri de Şekil 1-2.4.1.2'de gösterilmiştir.

Devrenin çalışması ise şöyledir. Ölçme başlamadan önce C1 karşılaştırıcısının çıkışı "L" C2 karşılaştırıcısının çıkışı "H"dir. K1 ve K2 kapıları-



nın çıkışları da "L" dur. Ölçmeye başlandığı anda C1'in "+" girişindeki gerilim daha yüksek olacağı için C1'in çıkışı "H" olacaktır. C2'nin çıkışı ise "-" girişindeki gerilim "+" girişindeki  $V_x$  geriliminden daha büyük olana kadar "H" da kalacaktır. Bu durumda K1'in çıkışı "H" olacak ve saat darbelerinin sayıcıya ulaşmasına izin verecektir. Sayıcı bu darbeleri, C2'nin çıkışı "L" olana kadar yani integratör çıkışı  $V_x$ 'e eşit oluncaya kadar sayacaktır. Sayıcının çıkışındaki sayının büyüklüğü saat darbesi frekansına, rampanın eğimine ve  $V_x$ 'in değerine bağlıdır.

$$\text{SAYI} = f \text{ saat} \times \frac{1}{\text{rampa eğimi}} \times V_x, \text{ yani } \text{SAYI} = f(V_x)$$



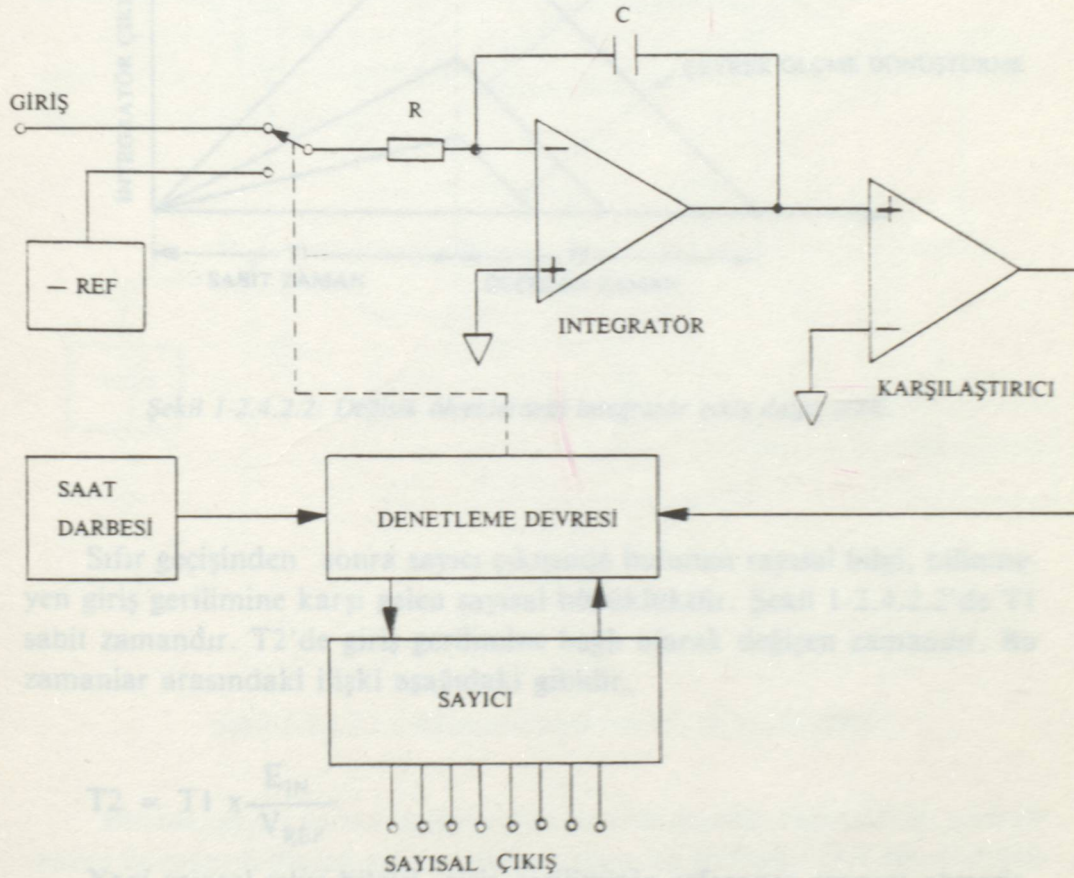
Şekil 1-2.4.1.2: Devrenin Çalışması İle İlgili Dalga Şekilleri.



Bu devrenin en önemli sakıncası, kapının açılması ile saat darbesinin tam başı yakalanamamış olabilir. Bunu giderecek bir düzenleme yapılabilir. Fakat kapanışta saat daresini yakalayacak bir düzenleme yapılamıyor. Bundan dolayı, hatanın minimuma inmesi için, saat darbesi sayısının maksimumda tutulması gerekir.

Karşılaştırıcı çıkışları, TTL'ye doğrudan bağlanabilecek düzeydedir. Karşılaştırıcıların sağlıklı çalışabilmesi için, girişindeki gerilimin voltlar mertebesinde olması gerekir.

### 1-2.4.2- ÇİFT EĞİMLİ (GERİLİM ANAHTARLAMALI) Ö / S DÖNÜŞTÜRÜCÜ

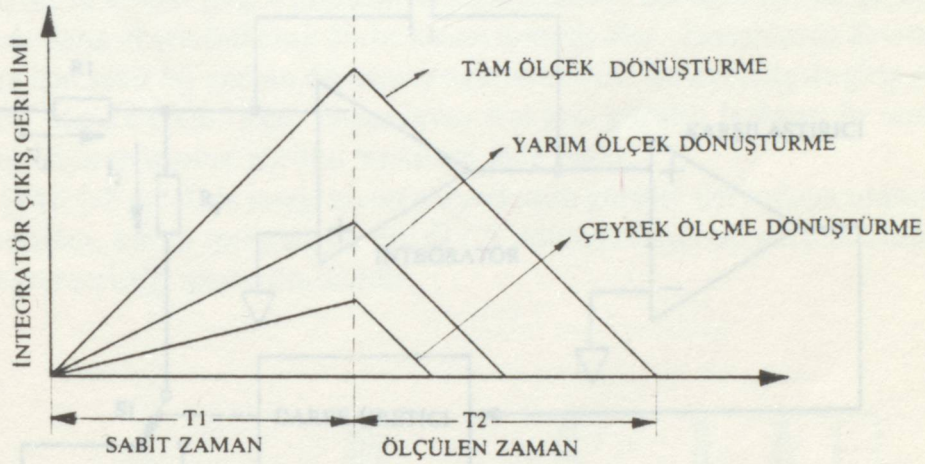


Şekil 1-2.4.2.1: Çift Eğimli Ö / S Dönüştürücü

Uygulamada en çok kullanılan yöntem, çift eğimli integrasyon tipi Ö/S dönüştürücü yöntemidir. Şekil 1-2.4.2.1'de prensip şeması gösterilmiştir.



Bu devrede dönüştürme, bilinmeyen giriş geriliminin integratörün girişini tetiklemesiyle başlar, aynı anda sayıcı, saat darbelerini taşıma olunca ya kadar saymaya başlar. Bu noktada denetleme devresi, integratörü “-” referansa anahtarlar. İntegratör çıkışı sıfıra dönüp karşılaştırıcı sıfır geçiş anını saptayınca ya kadar, saat darbelerinin sayılması devam eder. Bu durumları belirleyen tipik bir Ö / S dönüştürücüye ait dalga şekli, Şekil 1-2.4.2.2’de gösterilmiştir.



Şekil 1-2.4.2.2: Değişik ölçeklerdeki integratör çıkış dalga şekli.

Sıfır geçişinden sonra sayıcı çıkışında bulunan sayısal bilgi, bilinmeyen giriş gerilimine karşı gelen sayısal büyüklüktür. Şekil 1-2.4.2.2’de  $T_1$  sabit zamandır.  $T_2$ ’de giriş gerilimine bağlı olarak değişen zamandır. Bu zamanlar arasındaki ilişki aşağıdaki gibidir.

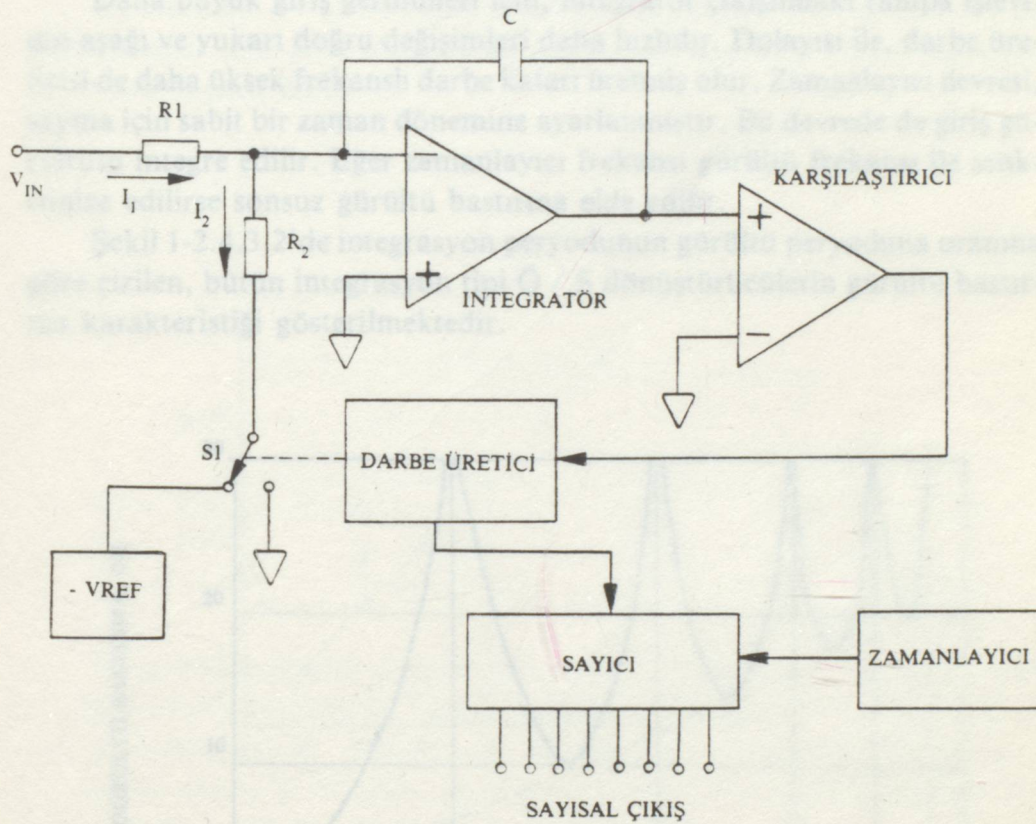
$$T_2 = T_1 \times \frac{E_{IN}}{V_{REF}}$$

Yani sayısal çıkış bilgisi, giriş geriliminin referansa oranını gösterir. Çift eğimli integrasyon yönteminin bazı önemli üstünlükleri vardır. İlki, dönüştürme doğruluğu, saat darbesi ve integrasyon kapasitesinin kararlılığına bağlı değildir. Doğruluk, sadece referans geriliminin ve integratör devresinin doğrusallığına bağlıdır. İkincisi, son derece düşük gürültüdür. Eğer  $T_1$ , gürültünün periyoduna eşitlenebilirse, gürültü bağımsızlığı sonsuz olabilir. Bunun için 60 Hz.lik gürültü gücünü bastırmak için  $T_1$ ’in 16,667 ms. olması gerekir.



### 1-2.4.3- AKIM ANAHTARLAMALI ÇİFT EĞİMLİ (YÜK DENGELİMLİ) Ö / S DÖNÜŞTÜRÜCÜ

Bu tip dönüştürme, frekansı giriş gerilimi ile orantılı olarak değişen bir darbe katarı üretmek ve sabit bir zaman dönemi içinde bu darbeleri saymak yöntemine dayanır. Devrenin prensip şeması Şekil 1-2.4.3.1'de görülmektedir.



Şekil 1-2.4.3.1 : Akım anahtarlama Ö / S dönüştürücü

Burada, sayıcı ve zamanlayıcı devrelerinin dışında kalan devre, giriş gerilimi ile orantılı olacak şekilde darbe üreten bir gerilim / frekans dönüştürücüsüdür. Devrenin çalışması şöyledir:

Pozitif bir giriş gerilimi, R1 direnci üzerinden I<sub>1</sub> akımının akmasına neden olur. İntegratörde integre edilen bu akım, çıkışta negatife giden bir rampa oluşturur. Rampanın sıfırı geçtiği bir defada karşılaştırıcı çıkışı, sabit genişlikte bir darbe üreten darbe üreticisini tetikler. Darbe çıkışı, darbe süresince R2 direncini negatif referansa bağlayan S1 anahtarını denetler. Bu süre boyunca R2 direncinden I<sub>2</sub> akımı akarak, integratör çıkışında pozitive giden bir rampa oluşturur. Bu işlem, giriş akımını tamamen dengeleyen akım



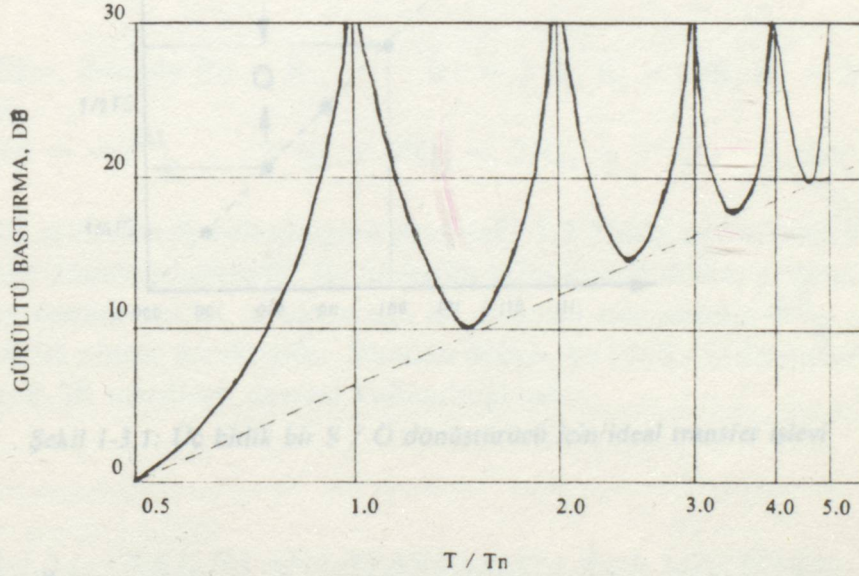
darbeleri katarı oluşturacak şekilde tekrar ederek devam eder. Bu yüzden bu dönüştürücü tipine “Yük Dengelemeli Ö / S Dönüştürücü” de deniyor. Bu denge aşağıdaki gibi bir bağıntıya sahiptir:

$$f = \frac{1}{T} \times \frac{V_{IN}}{V_{REF}} \times \frac{R2}{R1}$$

Burada, T = darbe genişliği, f de frekanstır.

Daha büyük giriş gerilimleri için, integratör çıkışındaki rampa işlevinin aşağı ve yukarı doğru değişimleri daha hızlıdır. Dolayısı ile, darbe üreticisi de daha yüksek frekanslı darbe katarı üretmiş olur. Zamanlayıcı devresi, sayma için sabit bir zaman dönemine ayarlanmıştır. Bu devrede de giriş gürültüsü integre edilir. Eğer zamanlayıcı frekansı gürültü frekansı ile senkronize edilirse sonsuz gürültü bastırma elde edilir.

Şekil 1-2.4.3.2’de integrasyon periyodunun gürültü periyoduna oranına göre çizilen, bütün integrasyon tipi Ö / S dönüştürücülerin gürültü bastırma karakteristiği gösterilmektedir.



S / Ö Dönüştürücülerin gerçekleştirilmesinin birçok yöntemleri vardır. Fakat bunlardan birkaçı yaygın olarak kullanılmaktadır.

Şekil 1-3.2’de basit bir S / Ö dönüştürücü devresi görülmektedir. Bu devre Şekil 1-2.4.3.2: İntegrasyon Tipi Ö / S Dönüştürücüler İçin Gürültü Bastırma

$$V_o = -V_i R_f \left( \frac{Q_1}{R_1} + \frac{Q_2}{R_2} + \frac{Q_3}{R_3} + \frac{Q_4}{R_4} \right)$$

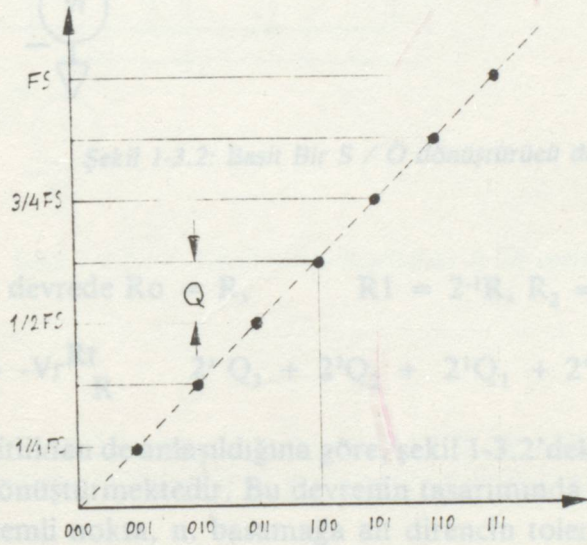
olarak hesaplanabilir.



### 1-3. SAYISAL / ÖRNEKSEL DÖNÜŞTÜRÜCÜLER (S / Ö D.)

S / Ö Dönüştürücüler, bilgisayarların dış dünyayla haberleştikleri elemanlardan biridir. Bu elemanların yaygın bir kullanım alanları vardır. CRT gösterge sistemlerinde, ses sentezleyicilerinde, otomatik test sistemlerinde, sayısal denetimli işaret zayıflatıcılarında ve diğer birçok uygulamalarda yaygın olarak kullanılırlar.

Üç bitlik bir S / Ö Dönüştürücünün ideal transfer işlevi Şekil 1-3.1'de gösterilmiştir. Her giriş kodu, genellikle gerilim cinsinden olmak üzere tek bir örneksel çıkış üretir.



Şekil 1-3.1: Üç bitlik bir S / Ö dönüştürücü için ideal transfer işlevi

S / Ö Dönüştürücüleri gerçekleştirmenin birçok yöntemleri vardır. Fakat bunlardan birkaçı yaygın olarak kullanılmaktadır.

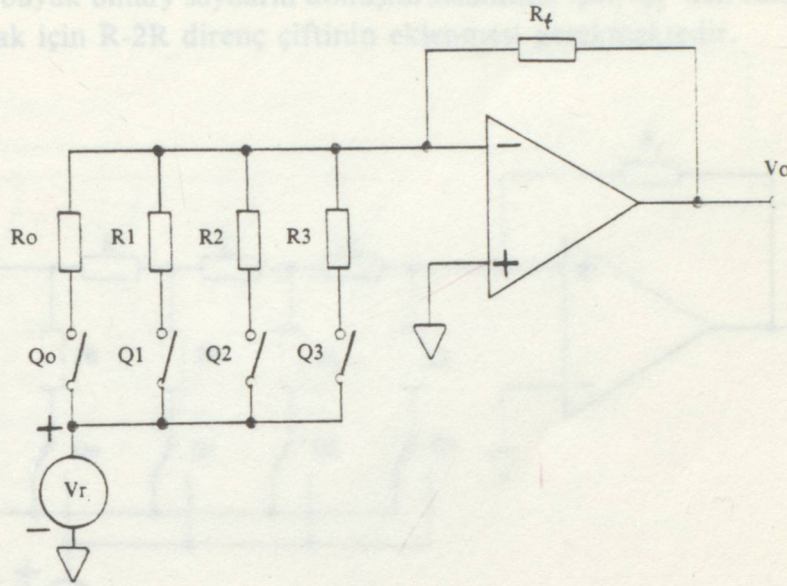
Şekil 1-3.2'de basit bir S / Ö dönüştürücü devresi görülmektedir. Bu devrede işlemsel kuvvetlendiricinin çıkış gerilimi;

$$V_o = -V_r R_f \left( \frac{Q_3}{R_3} + \frac{Q_2}{R_2} + \frac{Q_1}{R_1} + \frac{Q_0}{R_0} \right)$$

olarak hesaplanabilir.



$V_o = -V_r \frac{R_t}{16R} n = -V_r \cdot K \cdot n$ 'dir.  
Daha büyük binary sayıların dönüştürülebilmesi için, Q<sub>3</sub> den sonra her bir basamak için R-2R direnç çiftinin eklenmesi gerekir.



Şekil 1-3.2: Basit Bir S / Ö dönüştürücü devresi

Eğer, devrede  $R_0 = R$ ,  $R_1 = 2^{-1}R$ ,  $R_2 = 2^{-2}R$ ,  $R_3 = 2^{-3}R$  seçilirse;

$$V_o = -V_r \frac{R_t}{R} (2^3 Q_3 + 2^2 Q_2 + 2^1 Q_1 + 2^0 Q_0) \text{ olur.}$$

Bu eşitlikten de anlaşıldığına göre, şekil 1-3.2'deki devre, binary sayıyı gerilime dönüştürmektedir. Bu devrenin tasarımında dikkat edilmesi gereken en önemli nokta, n. basamağa ait direncin toleransının  $\frac{\Delta R}{R} = \frac{1}{2^n}$  den küçük olması gerektiğidir. Bundan dolayı, bu tür S / Ö dönüştürücüler yerine R-2R merdiven devresi kullanılmaktadır.

### 1-3.2.1- GERİLİM ANAHTARLAMALI R-2R MERDİVEN DEVRESİ İLE S / Ö DÖNÜŞTÜRÜCÜ GERÇEKLEŞTİRİLMESİ

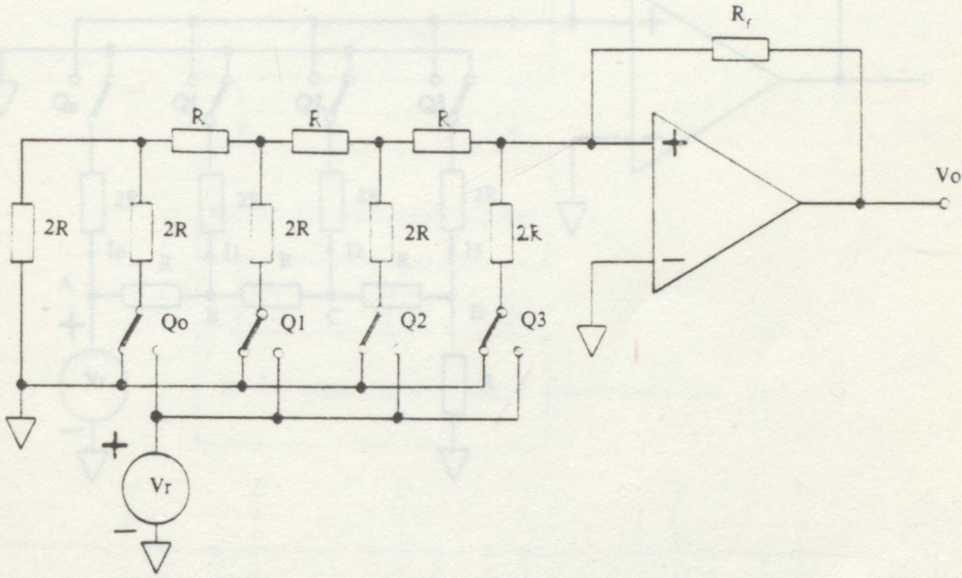
Şekil 1-3.2.1.1'deki devrede 2R dirençleri Q anahtarları ile V<sub>r</sub> gerilim kaynağına bağlandığı için gerilim anahtarlama devresi denmiştir.

$$\text{Bu devrede, } V_o = -V_r \frac{R_t}{16R} (2^3 Q_3 + 2^2 Q_2 + 2^1 Q_1 + 2^0 Q_0)$$



$$V_o = -V_r \frac{R_t}{16R} n = -V_r \cdot K \cdot n \text{ 'dir.}$$

Daha büyük binary sayıların dönüştürülebilmesi için,  $Q_3$  'den sonra her bir basamak için R-2R direnç çiftinin eklenmesi gerekmektedir.



Şekil 1-3.2.1.1: Gerilim Anahtarlama R-2R merdiven devresi

Şekil 1-3.2.2: Akım Anahtarlama R-2R merdiven devresi

### 1-3.2.2- AKIM ANAHTARLAMALI R-2R MERDİVEN DEVRESİ İLE S / Ö DÖNÜŞTÜRÜCÜ GERÇEKLEŞTİRİLMESİ

Uygulamada, genellikle akım anahtarlama devresi kullanılmaktadır.

Şekil 1-3.2.2.1'de, akım anahtarlama devresi görülmektedir. Bu devrede;

- |                       |   |                 |
|-----------------------|---|-----------------|
| A noktasının gerilimi | : | $V_r$           |
| B noktasının gerilimi | : | $V_r / 2$       |
| C noktasının gerilimi | : | $V_r / 4$       |
| D noktasının gerilimi | : | $V_r / 8$ 'dir. |

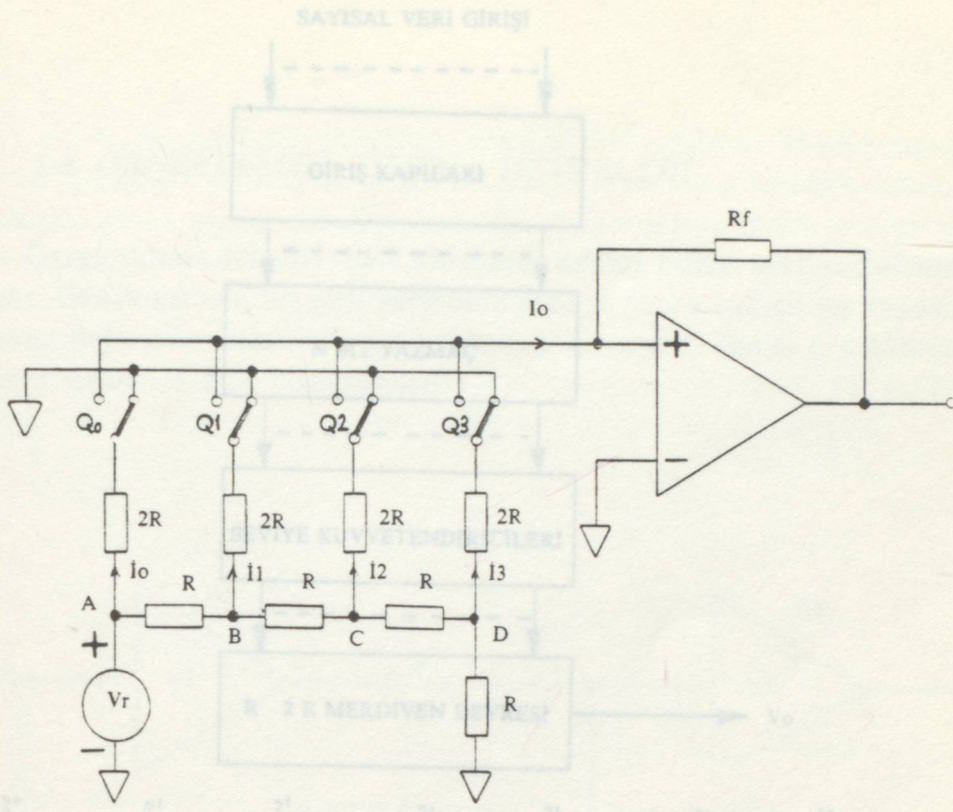
$$I = V_r / R \text{ olmak üzere } I_0 = V_r / 2R = I / 2,$$

$$I_1 = I / 4, \quad I_2 = I / 8, \quad I_3 = I / 16 \text{ 'dir.}$$

Buna göre  $I_0$  akımı, anahtarlara bağlı olarak;

$$I_0 = \frac{1}{16} (2^3 Q_3 + 2^2 Q_2 + 2^1 Q_1 + 2^0 Q_0) = -V_r \cdot K \cdot n \text{ olur.}$$





Şekil 1-3.2.2.1: Akım Anahtarlama R-2R merdiven devresi

Uygulamada, genellikle akım anahtarlama devresi kullanılmaktadır. Çünkü anahtarın hareketli kontağı her iki halde de  $2R$  direncini toprağa bağlamaktadır. Uygulamada anahtar olarak transistörlerden yararlanıldığından, devrenin bu özelliği, transistörlerin daha hızlı anahtarlanmasını sağlamaktadır.

Şekil 1-3.2.2.2'de tam bir S / Ö dönüştürücünün blok şeması ve prensip şeması gösterilmiştir. Tam bir S / Ö dönüştürücüde, sayısal bilgiyi tutmak için bir flip-floptakımı ve bu flip-floplarla direnç devresi arasında bu seviye kuvvetlendiricileri olmalıdır. Seviye kuvvetlendiricilerinin, birisi 10 V'luk gerilim kaynağından diğeri de R-S flip-floplarından gelen iki girişi vardır. Seviye kuvvetlendiricilerinin çıkışı, flip-flopdan "H" seviye geldiğinde 10 V, "L" seviye geldiğinde OV. olacak şekilde çalışır.

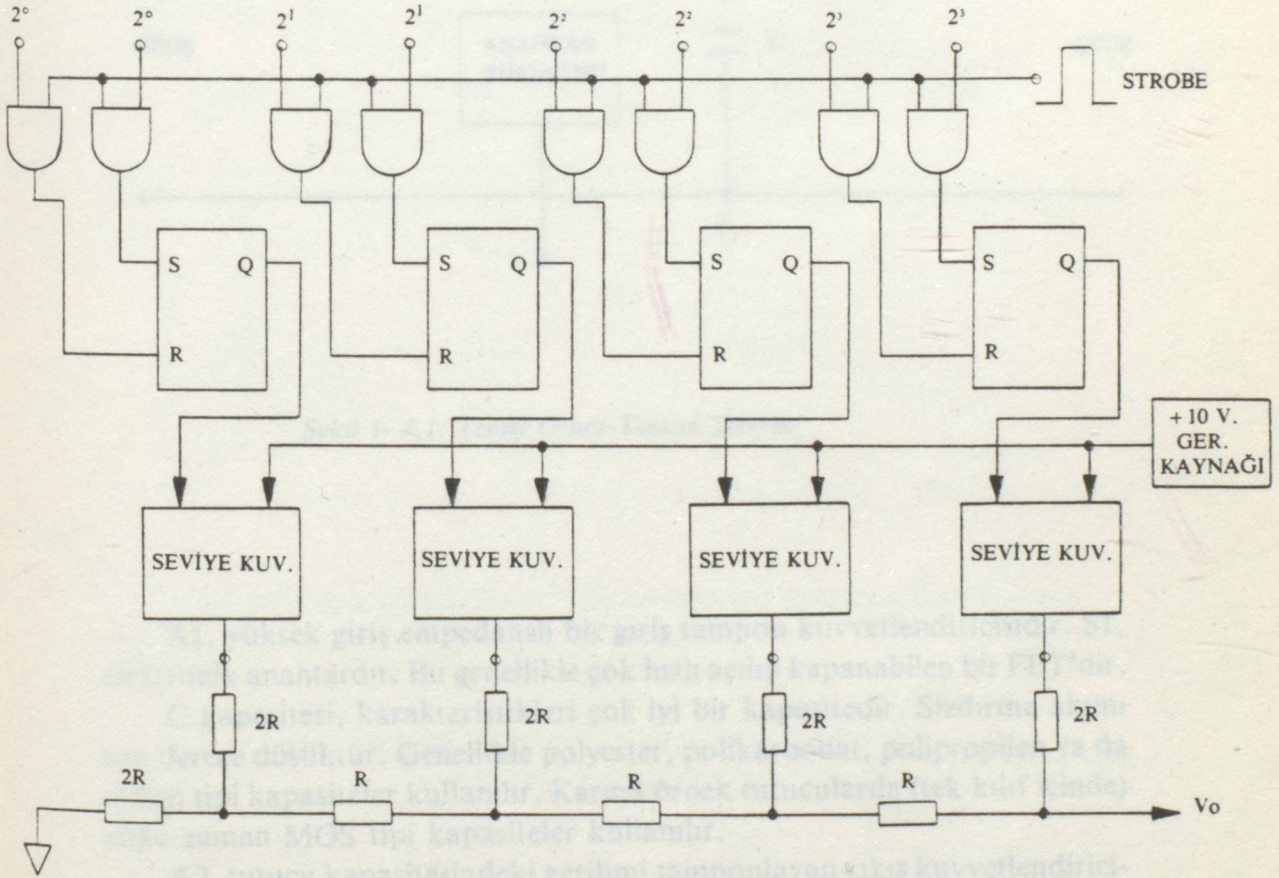


SAYISAL VERİ GİRİŞİ

GİRİŞ KAPILARI

N BIT YAZMAÇ

SEVIYE KUVVETENDİRİCİLERİ

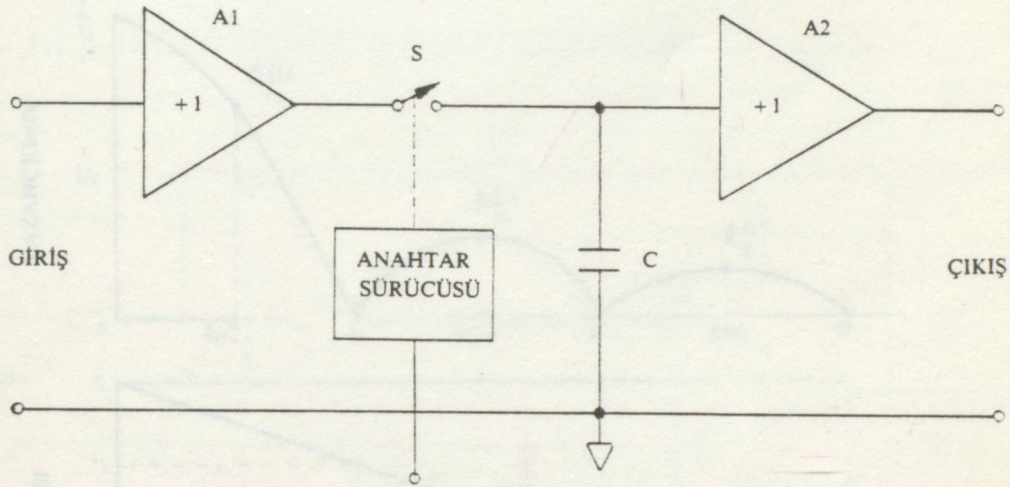
R - 2 R MERDİVEN DEVRESİ  $V_o$ 

Şekil 1-3.2.2.2: 4 Bit S / Ö dönüştürücünün blok diyagramı ve şematik diyagramı



#### 1-4- ÖRNEKLEME — TUTMA DEVRELERİ

Örnek tutucu devreler, belli bir sürede analog bilgiyi saklayan elemanlardır. Örnek tutucu, bir giriş gerilimini alan ve sonra kaliteli bir kapasitede onu depo eden basit bir gerilim belleği cihazıdır. Temel örnek-tutucu devresi Şekil 1-4.1'de gösterilmiştir.



Şekil 1- 4.1: Temel Örnek-Tutucu Devresi

A1, yüksek giriş empedanslı bir giriş tampon kuvvetlendiricisidir. S1, elektronik anahtardır. Bu genellikle çok hızlı açılıp kapanabilen bir FET'dir.

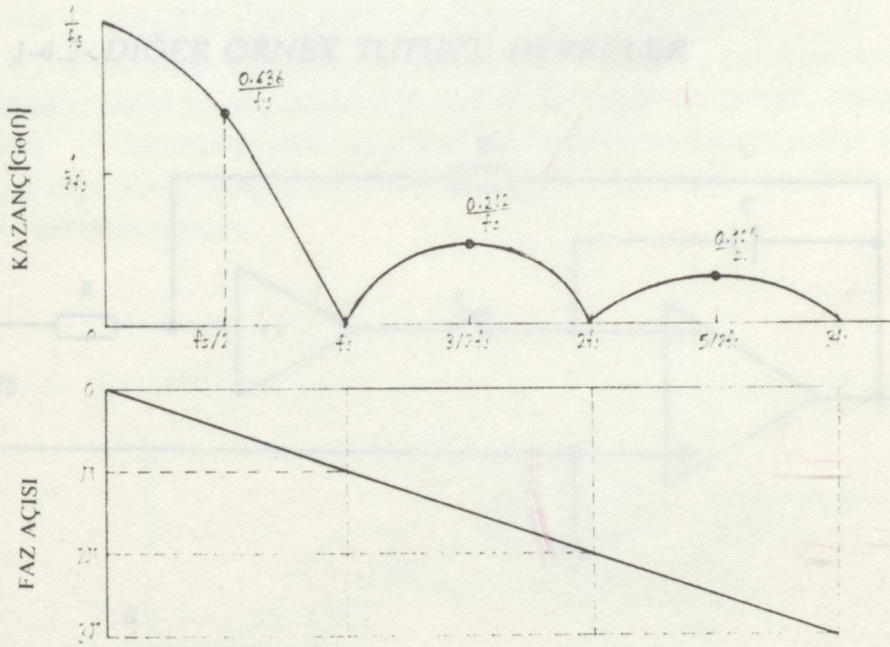
C kapasitesi, karakteristikleri çok iyi bir kapasitedir. Sızdırma akımı son derece düşüktür. Genellikle polyester, polikarbonat, polipropilen ya da teflon tipi kapasiteler kullanılır. Karma örnek tutucularda (tek kılıf içinde) çoğu zaman MOS tipi kapasiteler kullanılır.

A2, tutucu kapasitesindeki gerilimi tamponlayan çıkış kuvvetlendiricisidir. Bu kuvvetlendiricinin giriş kutuplama akımının çok düşük olması gerekir. Bunun için FET girişli bir kuvvetlendirici kullanılır.

Bir örnek tutmada iki çalışma modu vardır. S anahtarının kapalı olduğu örnekleme modu (ya da izleme modu) ve S anahtarının açık olduğu tut-



ma modu örnek tutucular genellikle, iki temel yöntemden birinde çalışırlar. Cihaz, giriş işaretini sürekli olarak izleyebilir ve sadece gösterilen belirli bir zamanda tutma moduna anahtarlanabilir. Bu durumda zamanın çoğu izleme modunda harcanır. Örneğin, böyle bir örnek tutma, S / Ö dönüştürücülerin çıkışında bir "deglitcher" olarak kullanılır. Alternatif olarak, örnek tutucu devre, zamanın çoğunda tutma modunda kalabilir ve yeni bir giriş işaret seviyesi almak için örnekleme moduna gidebilir. Böyle bir örnek tutucu, çoğullayıcıyı izleyen veri toplama sistemlerinde kullanılır.



Şekil 1-4.2: Sıfır Derece Tutucu Transfer İşlevinin Kazanç ve Faz Bileşenleri

#### 1-4.1- VERİ DÜZELTME SÜZGECİ OLARAK ÖRNEK TUTUCULAR

Örnek tutucu devrelerinin yaygın uygulaması, veri düzeltme ya da yeniden işaret oluşturma süzgeçleridir. Problem, orijinal işaretin yeniden oluşturulmasıdır. Veri düzeltme süzgeci olarak kullanıldığı zaman örnek tutucu, sıfır derece tutucu olarak bilinir. Örnekler arasındaki boşlukları doldurup verinin düzelmesini sağladığından kullanışlı bir süzgeçtir.



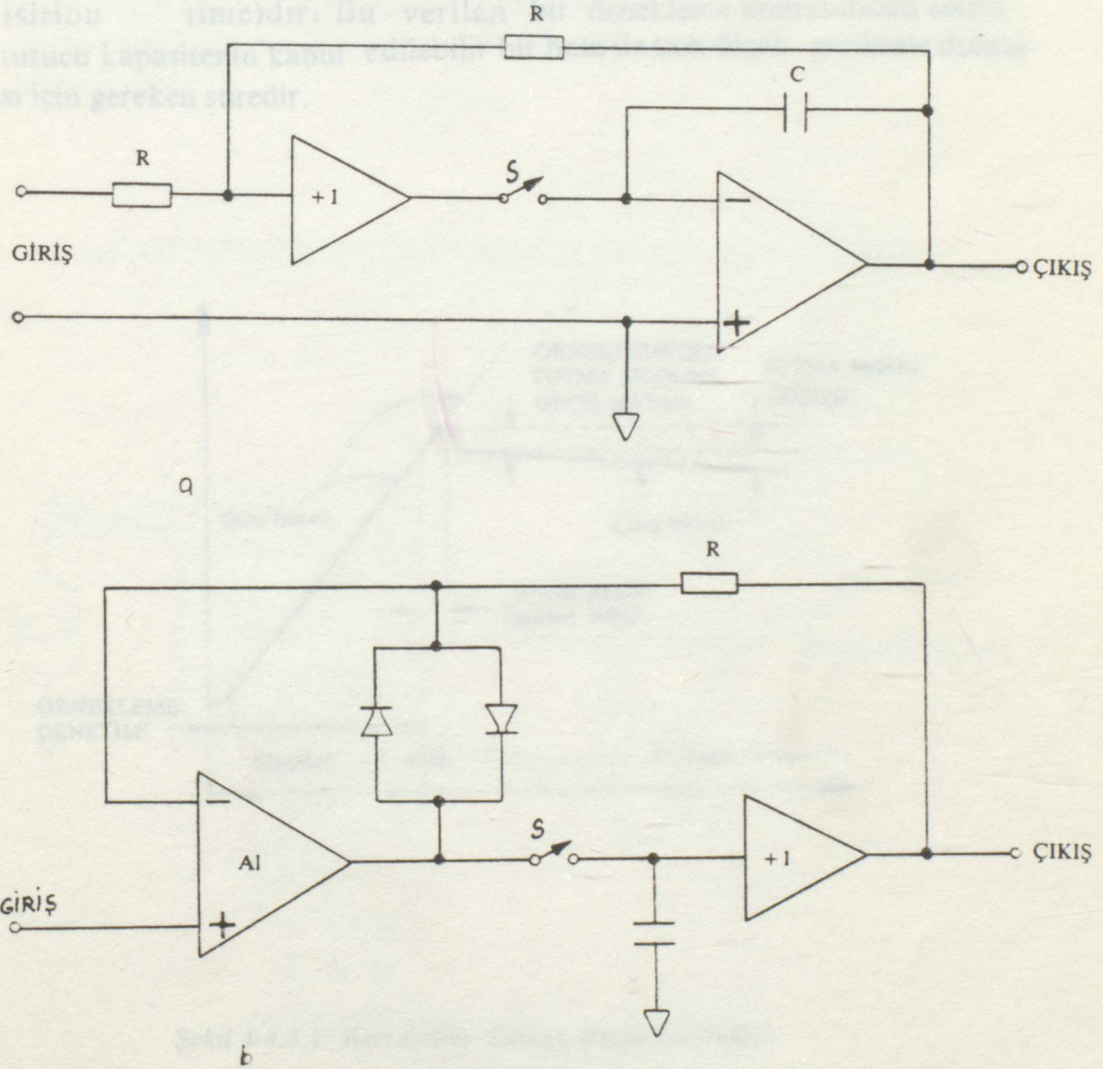
Diğer süzgeç devrelerine göre transfer işlevinin kazanç ve faz bileşenleri ilginçtir. Bir örnek tutucunun transfer işlevi:

$$(G_{\text{off}}) = \frac{1}{f_s} \left[ \frac{\text{Sin } \pi (f / f_s)}{\pi (f / f_s)} \right] e^{-j (f/f_s)}$$

'dir. Bu işlev  $\frac{\sin x}{x}$  gibi bir terim ve faz bileşenine sahiptir. Bu her iki bileşen şekil 1-4.2'de gösterilmiştir.

Bunun için örnek tutucu,  $f_s/2$ 'den biraz daha az kesim frekansına ve sabit bir  $T/2$  gecikme süresinde sonuçlanan doğrusal faz cevabına sahip bir alçak geçiren süzgeçtir. burada  $T$ , iki örnek arasındaki süredir.

#### 1-4.2- DİĞER ÖRNEK TUTUCU DEVRELER



Şekil 1-4.2.1: Kapalı Çevrim Örnek Tutum Devreleri.

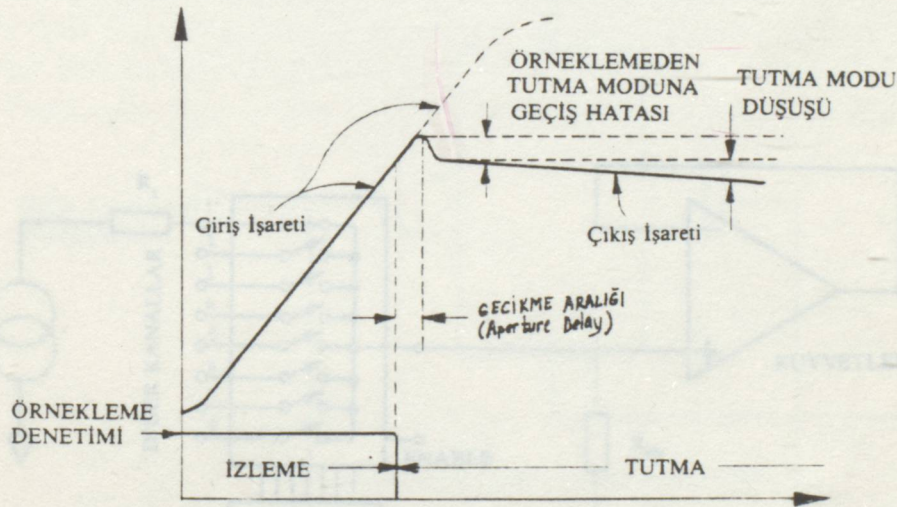


Şekil 1-4'deki devreye ek olarak, birkaç tip daha örnek tutucu devre konfigürasyonu vardır. Bunlardan ikisi Şekil 1-4.2.1'de görülmektedir. Şekil 1-4.2.1'de hızlı ve doğru bir eviren örnek tutucu yapmak için bir işlemsel kuvvetlendirici integratör ve kuvvetlendirici kullanılır. Bazan yüksek giriş empedansı sağlamak için bu devrenin önüne bir tampon kuvvetlendiricisi de eklenir. Şekil 1-4.2.1b'de ise yüksek giriş empedanslı evirmeyen örnek tutucu devresi görülmektedir.

Şekil 1-4.1'deki devre, genellikle Şekil 1-4.2.1'dekiler kadar doğrusal değildir. Çok yüksek hızı örnek-tutucular elde etmek için, bir köprü diyot anahtarla birlikte kullanılabilir.

### 1-4.3- ÖRNEK TUTUCU KARAKTERİSTİKLERİ

Parametrelerin sayısı, örnek tutucu performansını karakterize etmede önemlidir. Belki de, bunların en önemlisi veri kazanma zamanı (data acquisition time)dır. Bu verilen bir örnekleme komutundan sonra tutucu kapasitenin kabul edilebilir bir hata ile tam ölçek gerilimle dolması için gereken süredir.



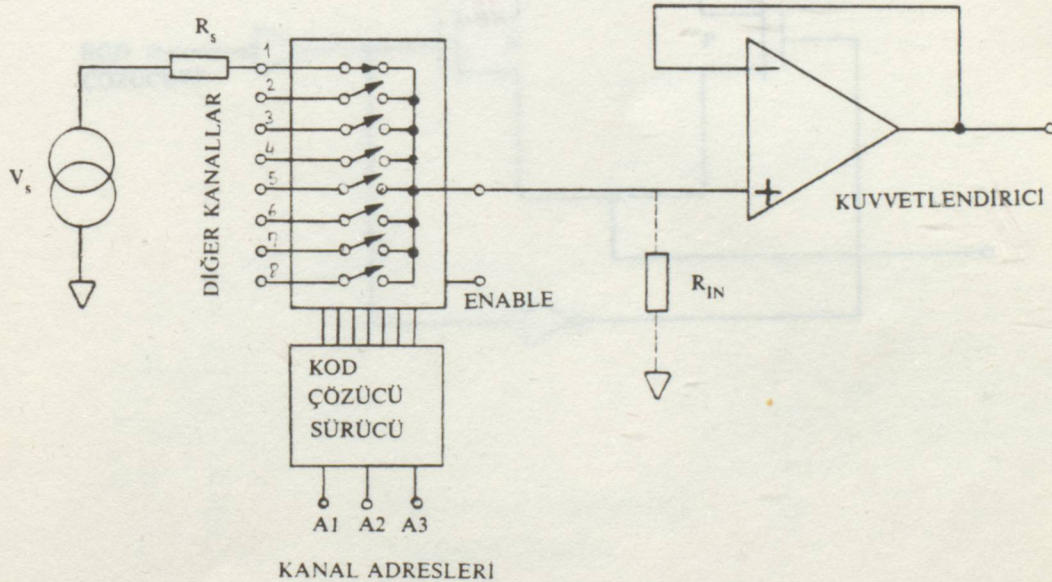
Şekil 1-4.3.1: Bazı Örnek Tutucu Karakteristikleri.



Bazı tutma modu özellikleri de önemlidir. tutma modu düşüşü (Hold-mode droop), örnekleme anahtarı açıldığında birim zamanda çıkış gerilimindeki düşmedir. Bu düşmeye, kapasitenin ve anahtarın sızıntı akımları ile çıkış kuvvetlendiricisinin kutuplama akımı neden olur. Tutma modu iç beslemesi (Hold-mode feedthrough), örnekleme anahtarı açık olduğu zaman giriş işaretinin çıkışa doğru transfer yüzdesidir. Bu sinüsoidal bir giriş işaretine göre ölçülür. Örnek tutucu çalışmasının en kritik fazı, örnekleme modundan tutma moduna geçişidir. Bu geçiş, bazı önemli parametreleri karakterize eder. Örneklemeden tutma moduna geçiş hatası (simple to hold offset error), sabit bir giriş gerilimine göre, örnekleme modundan tutma moduna geçişte çıkış gerilimindeki değişimdir. Açılırken, tutucu kapasiteye yük aktaran bir anahtar tarafından oluşturulur.

Gecikme aralığı (Aperture delay), tutma komutundan sonra, anahtar gerçek olarak açılana kadar geçen süredir. Genellikle mikrosaniyelerden daha azdır. Kararsızlık aralığı (Aperture umertainty) gecikme aralığının örneklemeden örneklemeğe değişimidir. Bu özelliklerden bazıları Şekil 1-4.3.1'de gösterilmiştir.

### 1-5- ÖRNEKSEL ÇOĞULLAYICILAR (ANAHTARLAR)



Şekil 1-5.1: Örneksel Çoğullayıcı Devresi

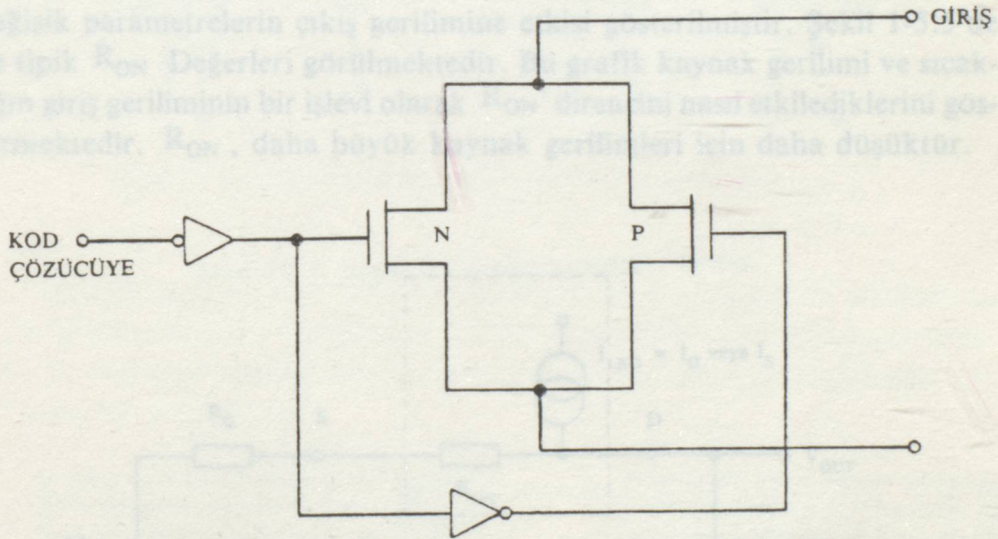


Örneksel anahtarlar, çoğullama ve fonksiyon anahtarlama gibi uygulamalarda, devreyi bir girişe bağlamak ya da ondan ayırmak için yaygın olarak kullanılır. Şekil 1-5.1'de böyle bir kullanım örneği görülmektedir.

İdeal bir çoğullayıcı da, anahtarın kapalı olma durumundaki direnci "O" olmalıdır. Açıldığında ise bir sızıntı akımı olmamalıdır. Parazitik kapasiteler olmamalıdır.

Şekil 1-5.1'deki devrede, analog çoğullayıcı, paralel girişleri ortak bir çıkışa sıra ile bağlar. Bir defada sadece bir anahtar kapalıdır. Pratikte 4,8 ve 16 kanallı çoğullayıcılar vardır.

Günümüzde çoğullayıcılarda Şekil 1-5.2'de görüldüğü gibi CMOS anahtar devreleri kullanılmaktadır. Bir CMOS sürücü paralel bağlanmış P kanal ve N kanal MOSFET'lerin kapılarını denetler. Paralel bağlı her iki musluk, analog giriş işaretlerini bozulmadan verecek şekilde açılır. Bu aradaki iletim direnci, çoğullayıcıya bağlı olarak 50 ohm ile 2 K ohm. arasında değişir. Yalnız, bu direnç sıcaklıkla değişir.



Şekil 1-5.2: CMOS Örneksel Anahtar Devresi.

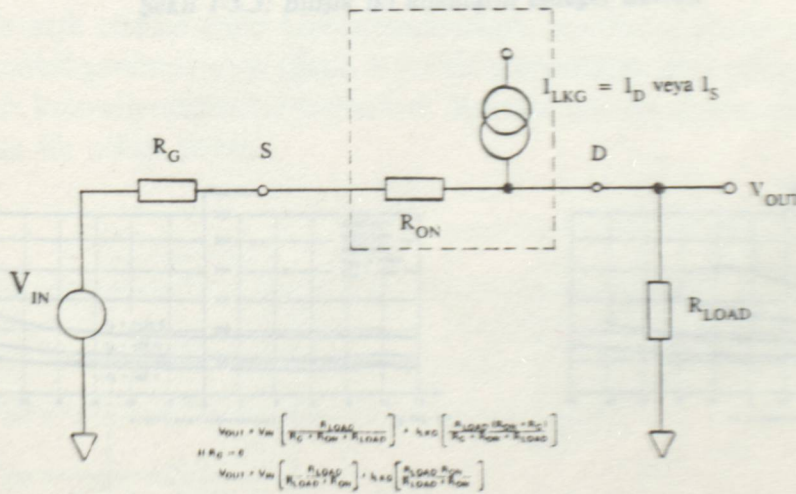


Şekil 1-5.3'de bir çift örneksel anahtarın eşdeğeri görülmektedir. Bu devredeki parametreler Tablo 1-5.1'de gösterilmiştir. İlgilenilmesi gereken üç tip hata vardır: Dirençlere ve (anahtar açık ya da kapalı iken) sızıntı akımına bağlı olan alçak frekans hataları, kaçak kapasitelere bağlı olan işaret geçiş ve yüksek frekans hataları ve anahtar konumu değişirken geçiş anahtarlamasına bağlı olan hatalar.

$C_{DS}$	Açık anahtar kapasitesi
$C_S, C_D$	Source, Drain kapasitesi (FET'lerin)
$R_{ON}$	Seri iletim direnci (anahtar kapalı iken)
S, D	Source, drain; elektriksel olarak değiştirilebilir.
$C_{SS}, C_{DD}$	Her iki anahtar uçları arasındaki kapasiteler.
$I_{LKG}$	Sızıntı akımı

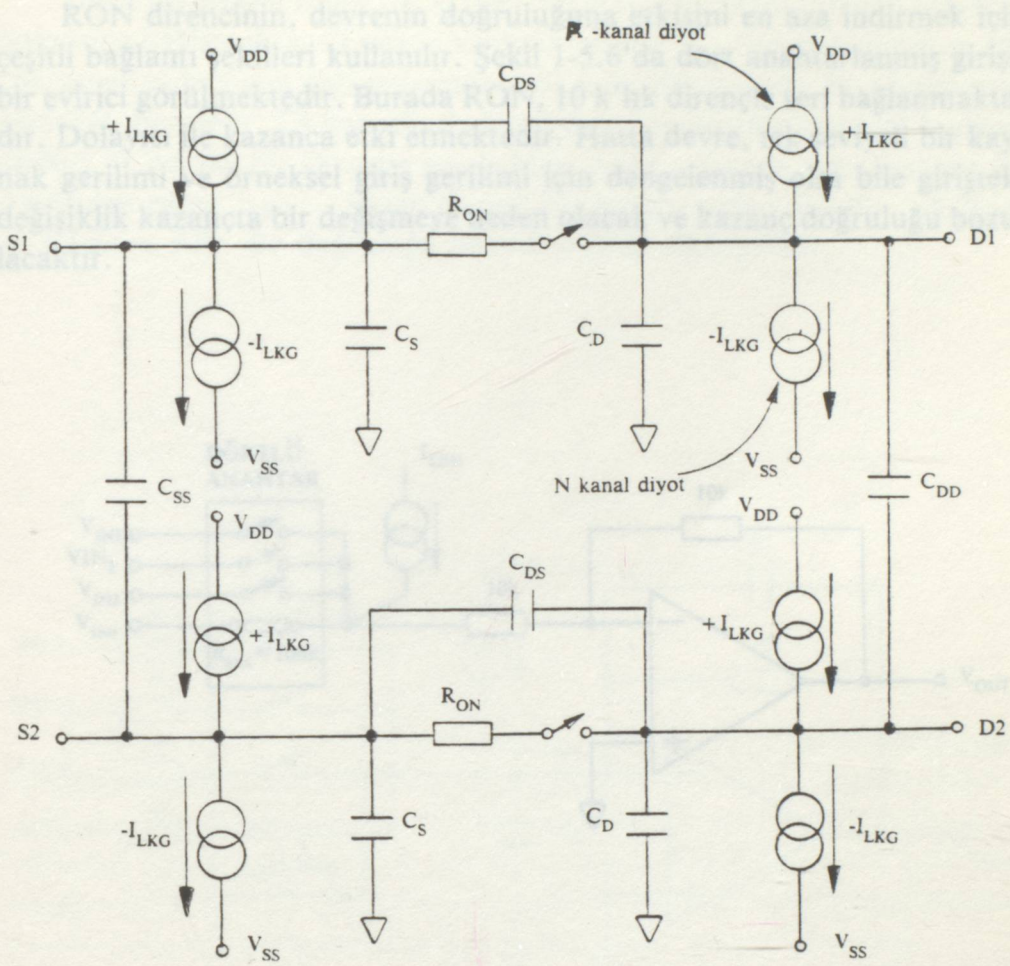
Tablo 1-5.1.

Şekil 1-5.4'de anahtar kapalı iken dc performansı etkileyen etkenler ve değişik parametrelerin çıkış gerilimine etkisi gösterilmiştir. Şekil 1-5.5'de de tipik  $R_{ON}$  Değerleri görülmektedir. Bu grafik kaynak gerilimi ve sıcaklığın giriş geriliminin bir işlevi olarak  $R_{ON}$ ' direncini nasıl etkilediklerini göstermektedir.  $R_{ON}$ , daha büyük kaynak gerilimleri için daha düşüktür.

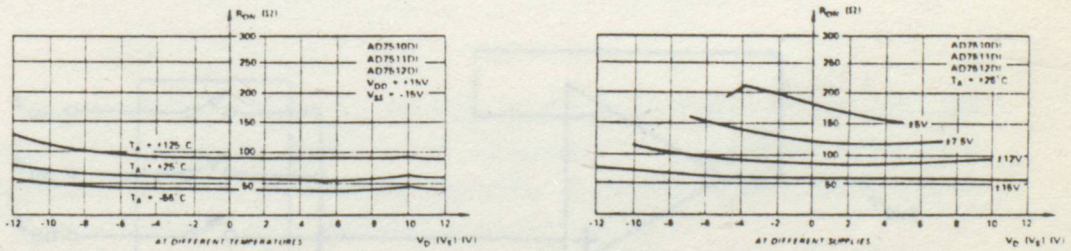


Şekil 1-5.4 ; Anahtarın kapalı durumundaki etkin eşdeğer devre





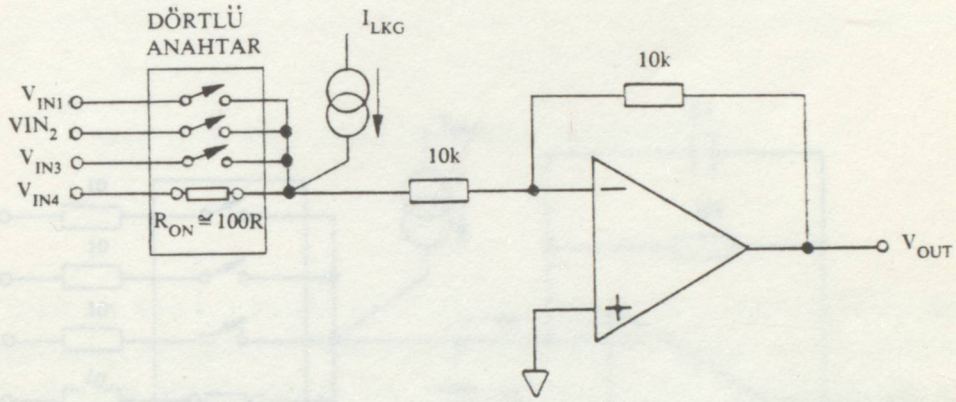
Şekil 1-5.3: Bitişik iki anahtarın eşdeğer devresi



Şekil 1-5.5: Kaynak geriliminin ve sıcaklığın bir işlevi olarak  $R_{ON}$  direncini değişimi

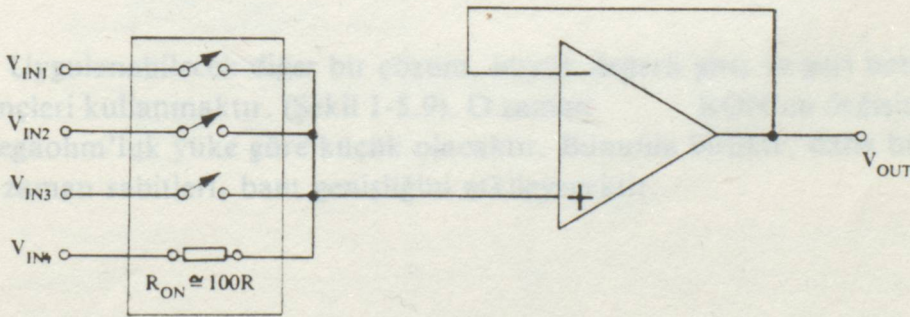


RON direncinin, devrenin doğruluğuna etkisini en aza indirmek için çeşitli bağlantı şekilleri kullanılır. Şekil 1-5.6'da dört anahtarlanmış girişli bir evirici görülmektedir. Burada RON, 10 k'lık dirençle seri bağlanmaktadır. Dolayısı ile kazançta etki etmektedir. Hatta devre, tek seviyeli bir kaynak gerilimi ve örneksel giriş gerilimi için dengelenmiş olsa bile girişteki değişiklik kazançta bir değişmeye neden olacak ve kazanç doğruluğu bozulacaktır.



Şekil 1-5.6: Anahtarlanmış giriş iç birim kazançlı evirici.

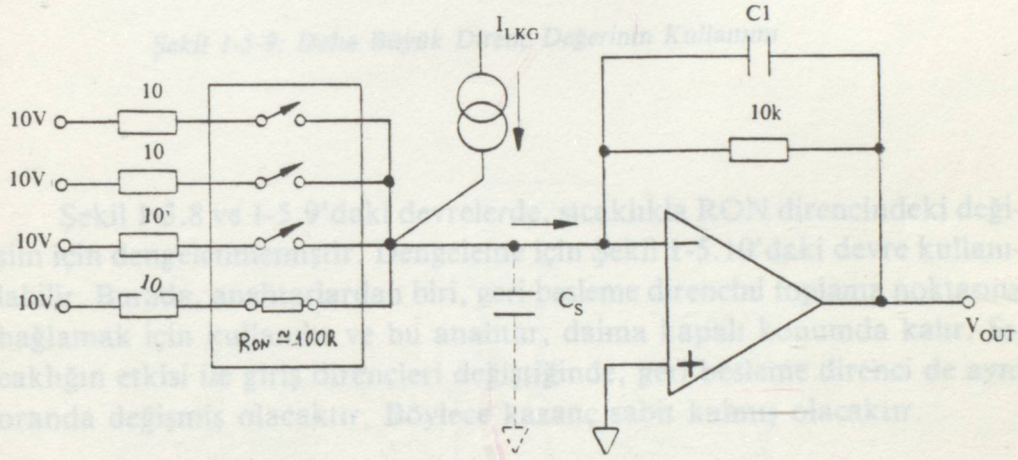
En açık çözüm (eğer kuvvetlendiricinin zayıflatıcı olarak etkimesi ya da evirmesi gerekmiyorsa (Şekil 1-5.7'de gösterildiği gibi) evirmeyen moddaki bir kuvvetlendirici kullanmaktır. Burada seri bir direnç olmadığı için kazançta bir etkisi yoktur.



Şekil 1-5.7: Evirmeyen çözüm.



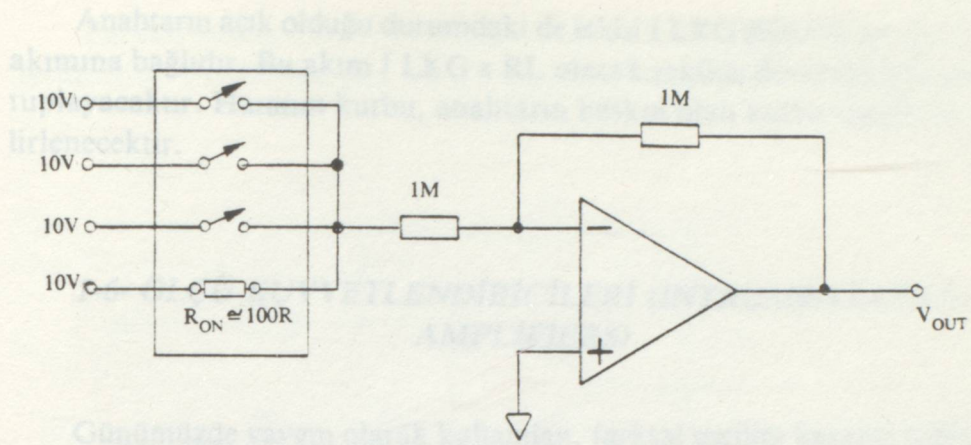
Diğer bir çözüm (şekil 1-5.8) dört anahtarı kuvvetlendiricinin toplama noktasına bağlamaktır. O zaman anahtar işaretle  $R_{ON}$ 'un değişimini en küçük yapan sadece volt değişimlerinden çok milivoltları görür. Bu çözüm bant genişliği bozabilir,  $C_s$  kapasitesinden dolayı, dengeleme için geri besleme direnci ile paralel bir kapasite gerekebilir. Aynı zamanda, geri besleme direncinden geçen  $I_{LKG}$ , bazen önemli bir hataya neden olabilir  $\Delta V_{out} = I_{LKG} \times R_F$ ). Bu doğruluğu önemli ölçüde etkileyebilir.



Şekily 1-5.8: Anahtarları toplama noktasında bağlama.

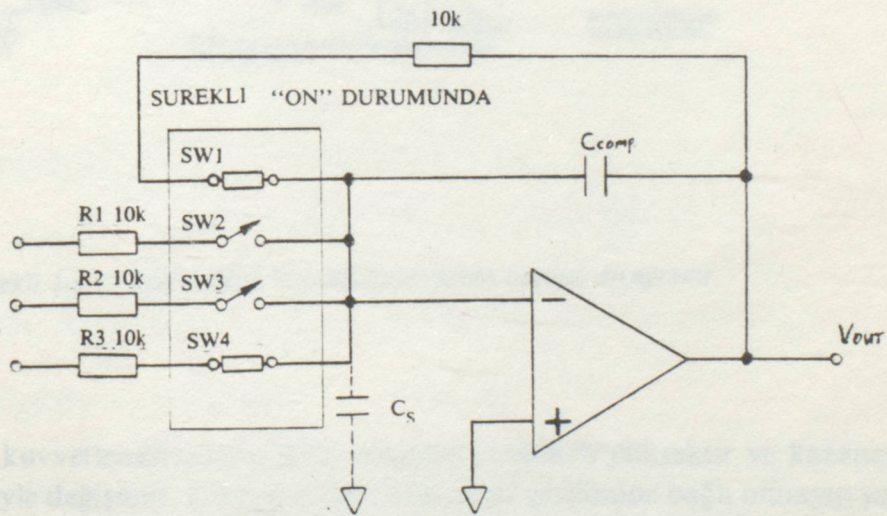
Uygulanabilecek diğer bir çözüm, büyük değerli giriş ve geri besleme dirençleri kullanmaktır. (Şekil 1-5.9). O zaman  $R_{ON}$ 'un değişimleri 1 megaohm'luk yüke göre küçük olacaktır. Bununla birlikte, daha büyük RC zaman sabitleri, bant genişliğini etkileyecektir.





Şekil 1-5-9: Daha Büyük Direnç Değerinin Kullanımı

Şekil 1-5.8 ve 1-5.9'daki devrelerde, sıcaklıkla  $R_{ON}$  direncindeki değişim için dengelenmemiştir. Dengeleme için Şekil 1-5.10'daki devre kullanılabilir. Burada, anahtarlardan biri, geri besleme direncini toplama noktasına bağlamak için kullanılır ve bu anahtar, daima kapalı konumda kalır. Sıcaklığın etkisi ile giriş dirençleri değiştiğinde, geri besleme direnci de aynı oranda değişmiş olacaktır. Böylece kazanç sabit kalmış olacaktır.



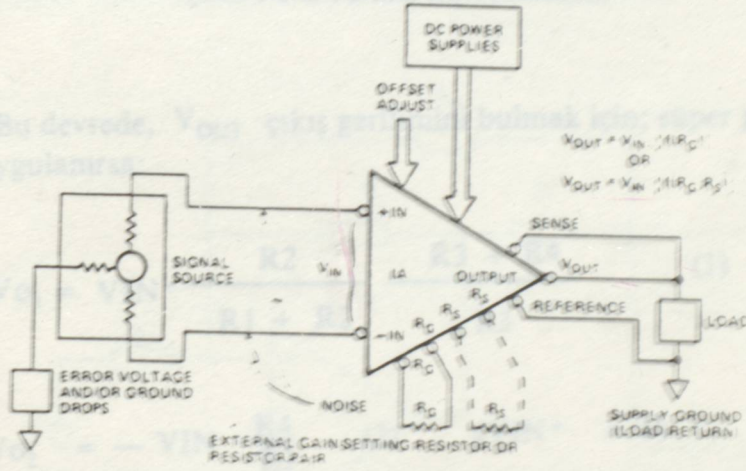
Şekil 1-5.10: Kazancı dengelemek için geri besleme direnci ile anahtarın kullanılması.



Anahtarın açık olduğu durumdaki de etkisi I LKG (IDOFF ya da IsOFF) akımına bağlıdır. Bu akım I LKG x RL olacak şekilde devrenin çıkışını kutuplayacaktır. Hatanın kutbu, anahtarın baskın olan kutbu tarafından belirlenecektir.

### 1-6- ÖLÇÜ KUVVETLENDİRİCİLERİ (INSTRUMENTATION AMPLIFIERS)

Günümüzde yaygın olarak kullanılan, farksal gerilim kazancı sağlayan, hassas ve çok amaçlı bir kuvvetlendiricidir. Temel ölçü kuvvetlendiricisinin işlevsel diyagramı Şekil 1-6.1'de görülmektedir.

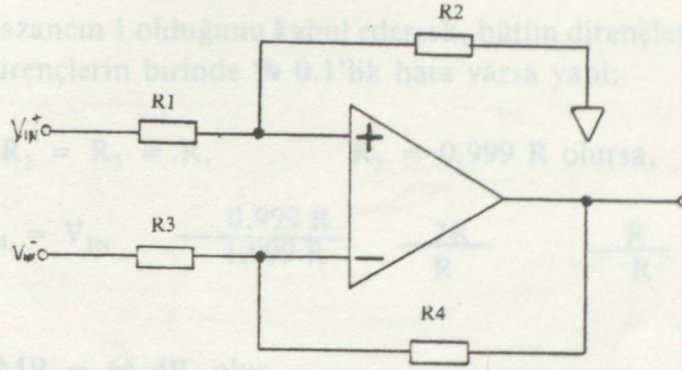


Şekil 1-6.1- Temel Ölçü kuvvetlendiricisinin işlevsel diyagramı.

Bu kuvvetlendiricilerin giriş dirençleri oldukça yüksektir ve kazancın değişimiyle değişmez. Çıkış gerilimi ortak mod gerilimine bağlı olmayıp yalnızca farksal gerilime bağlıdır. Ayrıca gerilim kazancı tek bir dirençle ayarlanabilir.



Farksal kazançlı bir kuvvetlendiricinin en basit yapısı Şekil 1-6.2'de gösterilmiştir. Görüldüğü gibi bu bir çıkarma devresidir.



Şekil 1-6.2: Farksal Kuvvetlendirici.

Bu devrede,  $V_{OUT}$  çıkış gerilimini bulmak için; süper pozisyon teoremi uygulanırsa:

$$V_{O1} = V_{IN+} \frac{R2}{R1 + R2} \frac{R3 + R4}{R3} \quad (1) \quad (V_{IN-} = 0)$$

$$V_{O2} = -V_{IN-} \frac{R4}{R3} \quad (2) \quad (V_{IN+} = 0)$$

çıkış gerilimi  $V_{OUT} = V_{O1} + V_{O2}$  'dir.

$$V_o = V_{IN+} \frac{R2}{R1 + R2} \frac{R3 + R4}{R3} - V_{IN-} \frac{R4}{R3} \quad (3) \text{ olur.}$$

Eğer  $R_2 = R_4$ ,  $R_1 = R_3$  seçilirse,

$$V_o = (V_{IN+} - V_{IN-}) \frac{R4}{R3} \quad \text{olur. (4).}$$

Fakat bu devrenin giriş empedansları düşüktür ve eşit değildir. İyi bir ortak mod elemesi sağlamak için 4 direncin çok iyi oranlanması gerekir.  
 $V_{IN+} = V_{IN-}$  için:



$$V_{OUTCM} = V_{OUT} = V_{IN} \frac{R_2}{R_1 + R_2} \frac{(R_3 + R_4)}{R_3} - \frac{R_4}{R_3} \quad (5).$$

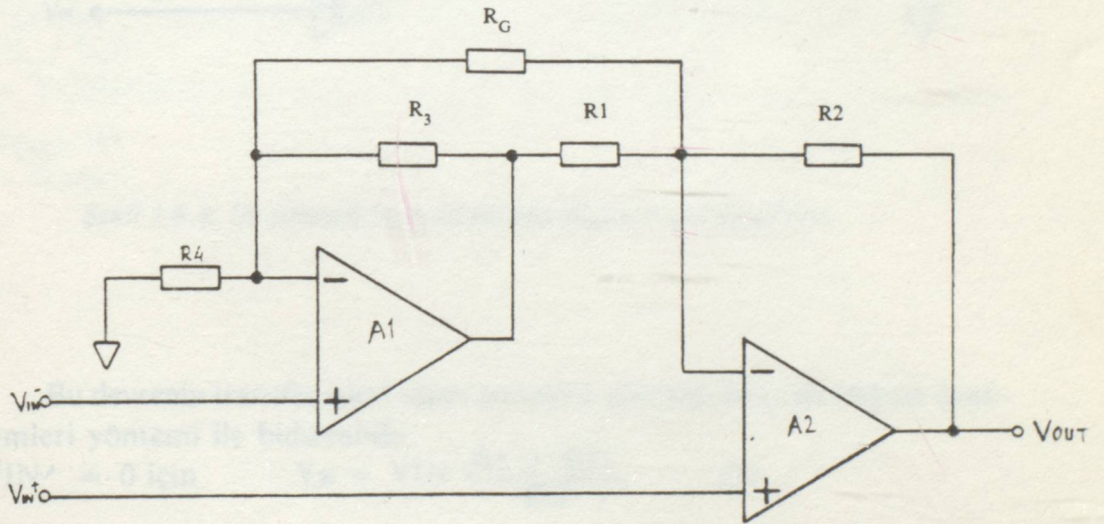
Eğer kazancın 1 olduğunu kabul edersek, bütün dirençler eşit olacaktır. Sadece dirençlerin birinde % 0.1'lik hata varsa yani:

$$R_1 = R_2 = R_3 = R, \quad R_2 = 0,999 R \text{ olursa,}$$

$$V_{OCM} = V_{IN} \frac{0,999 R}{1,999 R} \frac{2R}{R} - \frac{R}{R} = 0,0005 V_{IN}$$

CMR = 66 dB. olur.

Şekil 1-6.3'de ise iki işlemsel kuvvetlendirici bir ölçü kuvvetlendiricisi görülmektedir. Bu devrede giriş dirençleri yüksektir. Yalnız bu devrede de ortak mod elemesi (CMR) hâlâ dirençlere bağlıdır.



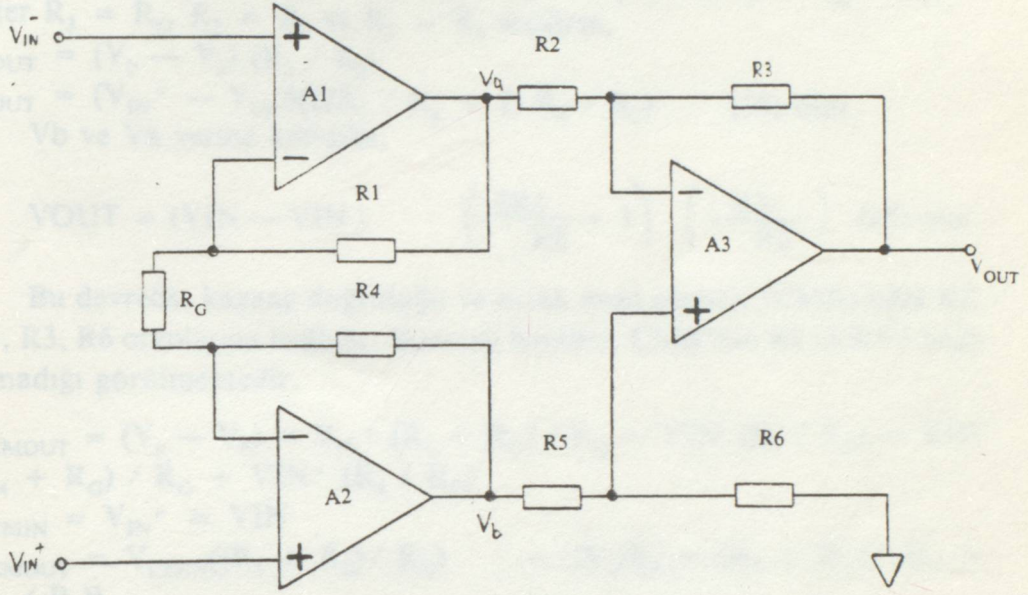
Şekil 1-6.3: İki işlemsel kuvvetlendiricili ölçme kuvvetlendiricisi.

$$\text{Eğer } R_2 / R_1 = R_4 / R_3, \quad V_{IN} = V_{IN+} - V_{IN-}$$

$$V_{OUT} / V_{IN} = 1 + (R_2 / R_1) + (R_2 / R_G)$$



İşlemsel kuvvetlendiricileri ile gerçekleştirilen en yaygın ölçme kuvvetlendiricisi Şekil 1-6.4'de görülen üç işlemsel kuvvetlendirici ölçme kuvvetlendiricisidir.



Şekil 1-6.4: Üç işlemsel kuvvetlendiricili ölçme kuvvetlendiricisi

Bu devrenin transfer işlevi süper pozisyon yöntemi ile ya da düğüm denklemleri yöntemi ile bulunabilir.

$$V_{IN}^+ = 0 \text{ için} \quad V_a = V_{IN}^- \cdot \frac{R_1 + R_G}{R_G} \quad (7)$$

$$V_b = V_{IN}^- \cdot \frac{R_4}{R_6} \quad (8)$$

$$V_{IN}^- = 0 \text{ için}$$



$$V_a = V_{IN^+} (R_1 / R_G) \quad (9) \quad V_b = V_{IN^+} (R_4 + R_G) / R_G \quad (10)$$

$$V_a = V_{IN^-} (R_1 + R_G) / R_G - V_{IN^+} 4R_1 / R_G$$

$$V_b = V_{IN^-} (R_1 + R_G) / R_4 - R_4 - V_{IN^+} (R_4 / R_G)$$

$$V_{OUT} = - (R_3 / R_2) V_a + V_b (R_6 / (R_5 + R_6)) \times ((R_3 + R_2) / R_2)$$

Eğer  $R_3 = R_6$ ,  $R_2 = R_5$  ve  $R_1 = R_4$  seçilirse,

$$V_{OUT} = (V_b - V_a) (R_3 / R_2)$$

$$V_{OUT} = (V_{IN^+} - V_{IN^-}) (2R_1 / R_G + 1) R_3 / R_2 \quad (15) \text{ olur.}$$

$V_b$  ve  $V_a$  yerine konursa,

$$V_{OUT} = (V_{IN^-} - V_{IN^+}) \left( \frac{2R_1}{R_G} + 1 \right) \left( \frac{R_3}{R_2} \right) \quad (15) \text{ olur.}$$

Bu devrede, kazanç doğruluğu ve ortak mod elemesi (CMR) hâlâ  $R_2$ ,  $R_5$ ,  $R_3$ ,  $R_6$  oranlarına bağlıdır. Bununla beraber, CMR'nin  $R_1$  ve  $R_4$ 'e bağlı olmadığı görülmektedir.

$$V_{CMOUT} = (V_a - V_b) = V_{IN^+} (R_1 + R_G) / R_G - V_{IN^-} (R_1 / R_G) - V_{IN^+} (R_4 + R_G) / R_G + V_{IN^-} (R_4 / R_G)$$

$$V_{CMIN} = V_{IN^+} = V_{IN^-}$$

$$V_{CMOUT} = V_{CMIN} ((R_1 + R_G) / R_G - (R_1 / R_G) - (R_4 + R_G) / R_G + (R_4 / R_G))$$

$$= V_{CMIN} ((R_1 / R_G) - (R_1 / R_G) + 1 - (R_4 / R_G) + (R_4 / R_G) - 1) =$$

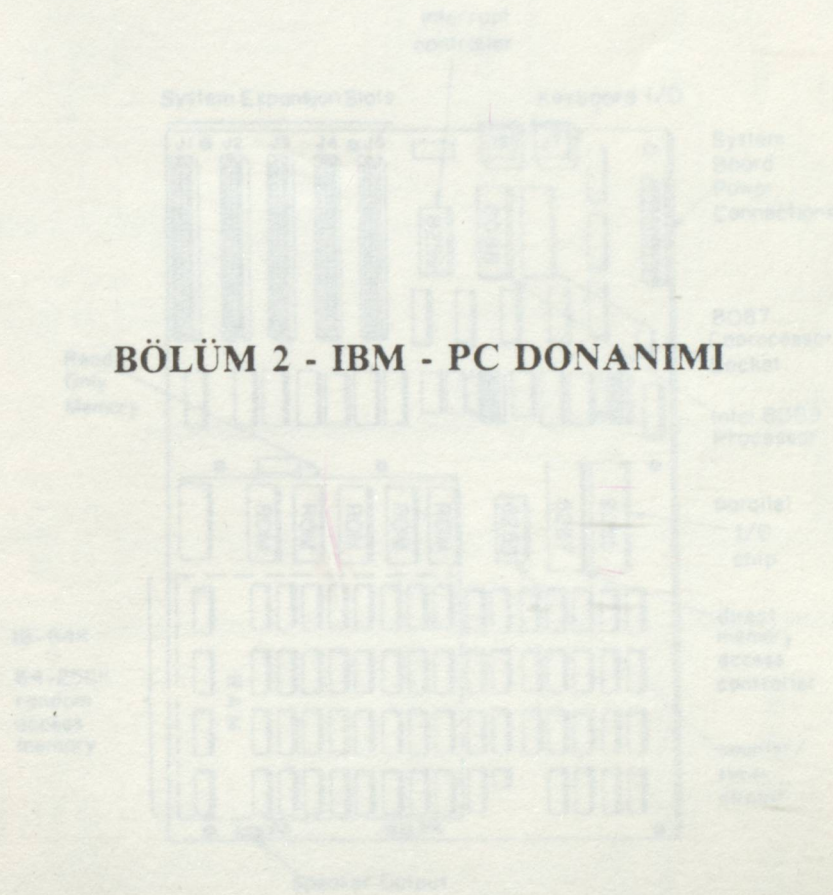
$$V_{CMIN} (0)$$

$$= 0 \text{ olur.}$$



## 2-1-IBM-PC DONANIMINA GENEL BİR BAKIŞ

IBM PC'nin ana sistem kartı, şekil 2-1.1'de görülmektedir. Sistem kartında, şekilden de görüleceği gibi beş sistem genişletme yarığı vardır. Bununla, bu ana karta ek birimler takılabilir. Bu kartın ana elemanı 16 Bitlik Intel 8088 mikro işleyicisidir. 40.960 byt ROM ve 262.144 byt RAM vardır. ROM'da BASIC derleyici ve giriş / çıkış cihazları (buş takımı, ekran, disk, kaset, zamanlayıcı, yazıcı gibi) için özel alt programlar vardır.



### BÖLÜM 2 - IBM - PC DONANIMI

Şekil 2-1.1: IBM-PC sistem kartının genel görünüşü (kaynak: IBM)

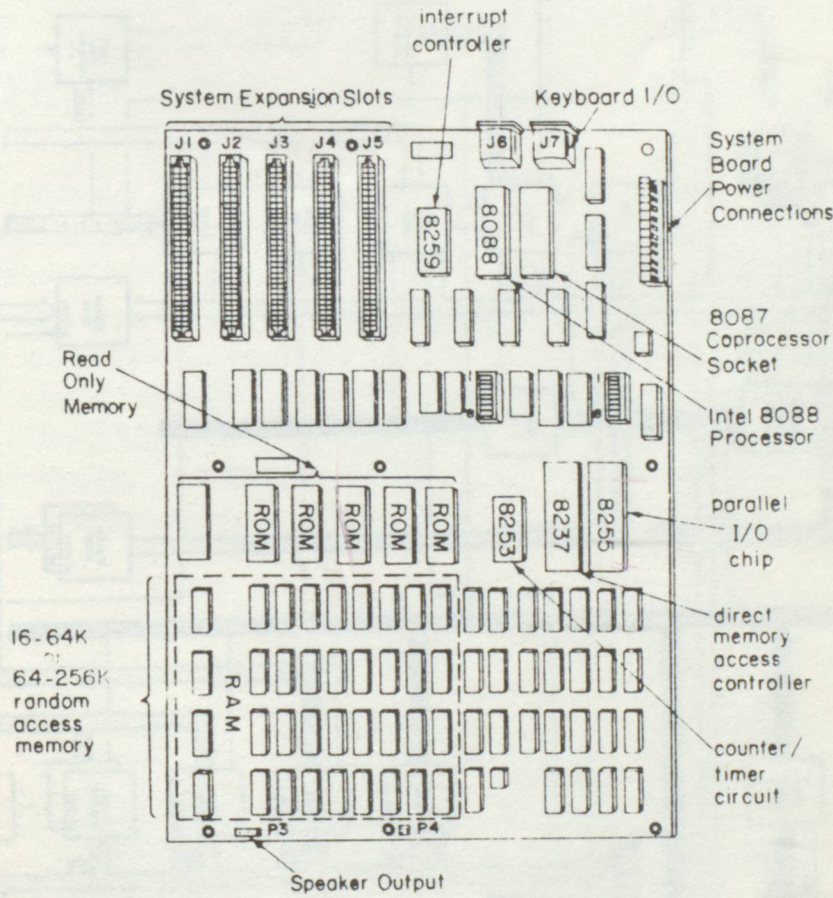
ROM dizisinin hemen yanında beş özel IBM devre vardır. Bunlardan ilki, sayıcı / zamanlayıcı devresi olan 8253'dür.

Bu kurulum, gerçek zaman saati elde etmek, DMA faaliyetinde zamanlama ve jazeleme işlemleri yapısını elde etmek, hoparlörü sağlamak için gerekli üretili elde etmek gibi amaçlarla kullanılabilir.



## 2-1-IBM-PC DONANIMINA GENEL BİR BAKIŞ

IBM PC'nin ana sistem kartı, şekil 2-1.1'de görülmektedir. Sistem kartında, şekilden de görüleceği gibi beş sistem genişletme yarığı vardır. Bununla, bu ana karta ek birimler takılabilir. Bu kartın ana elemanı 16 Bitlik intel 8088 mikro işleyicisidir. 40,960 byt ROM ve 262,144 byt RAM vardır. ROM'da BASIC derleyici ve giriş / çıkış cihazları (tuş takımı, ekran, disk, kaset, zamanlayıcı, yazıcı gibi) için özel alt programlar vardır.

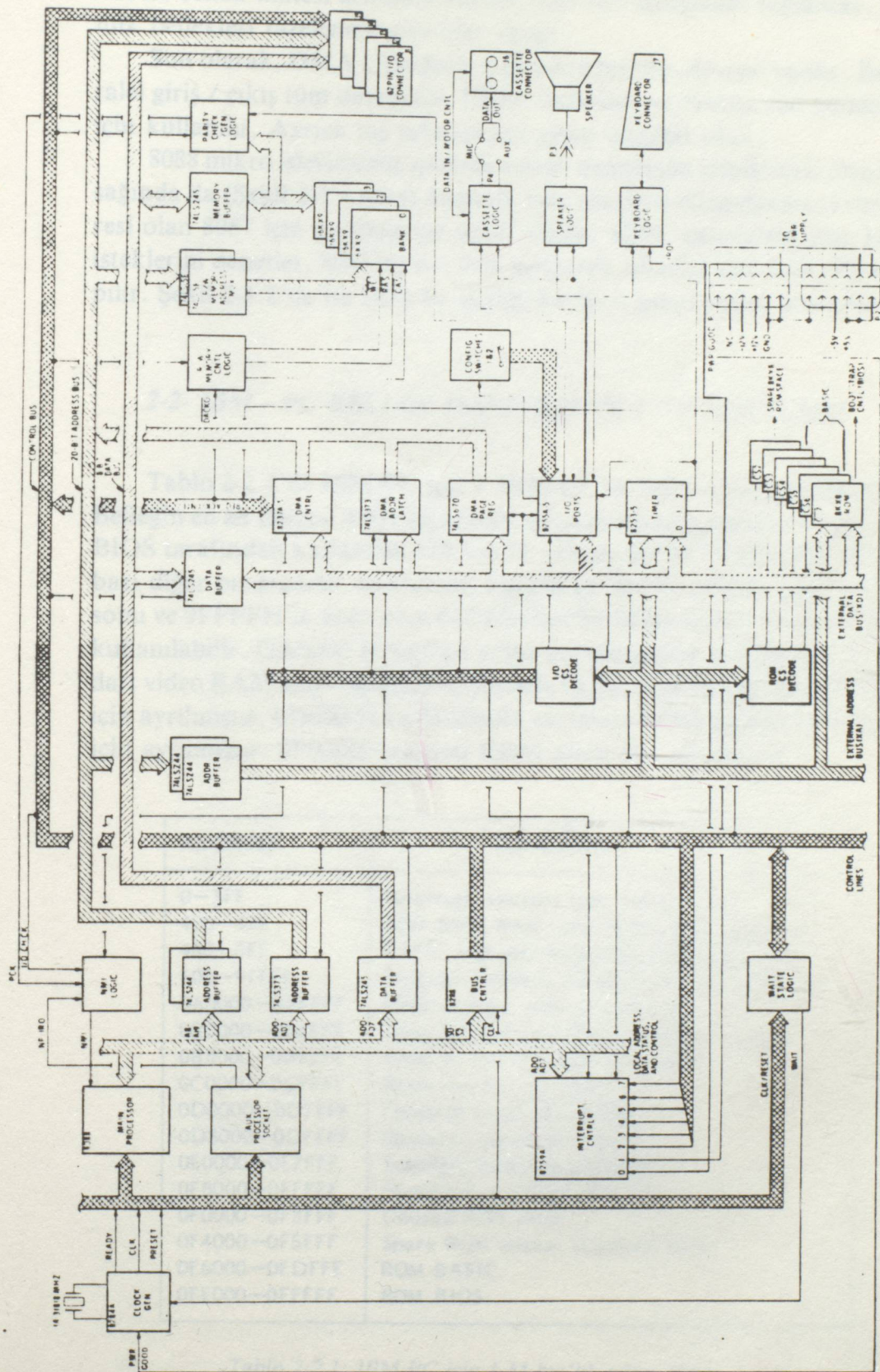


Şekil 2-1.1: IBM-PC sistem kartının genel görünüşü (fiziksel olarak)

ROM dizisinin hemen yanında üç özel tüm devre vardır. Bunlardan ilki, sayıcı / zamanlayıcı devresi olan 8253'dür.

Bu kırkık, gerçek zaman saati elde etmek, DMA kanalında zamanlama ve tazeleme işlemleri çağrısı elde etmek, hoparlörü sürmek için gerekli işareti elde etmek gibi amaçlarla kullanılır.





Şekil 2-1.2: IBM-PC sistem kartının genel yapısı



İkincisi doğrudan bellek erişimi (DMA) kırımlıdır. DMA, I/O cihazları ile bellek ünitesi arasında yüksek hızlı veri iletişimini sağlamak, dinamik bellekleri tazelemek gibi işler yapar.

Son olarak, DMA kırımlının yanında 8255 tüm devresi vardır. Bu, paralel giriş / çıkış tüm devresidir. Disket ünitesine ve ekrana veri göndermek için kullanılır. Ayrıca tuş takımından gelen bilgileri okur.

8088 mikro işleyicisinin solunda kesinti denetleyici tümdevresi olan 8259, sağında da (Şekil 2-1'e göre) nümerik veri işleyicisi (Coprocesor) tümdevresi olan 8087 için ayrılmış bir soket vardır. 8259, sistemdeki tüm kesinti isteklerini denetler. 8087'de ise, tüm aritmetik işlemler çok hızlı olarak yapılır. Şekil 2-1.2'de ise IBM Pc sistem kartının genel yapısı gösterilmiştir.

## 2-2- IBM - PC BELLEK HARİTASI VE I / O PORTLARI

Tablo 2-2.1'de IBM-PC için 1 Megabyt'lık adres alanı görülmektedir. Belleğin en alt bölgesi 4 byt'lık kesinti vektörlerine ayrılmıştır. Bunu, ROM BIOS tarafından kullanılan 128 byt'lık sistemi RAM'ı ve BASIC, DOS ve bazı diğer programlar tarafından kullanılan 384 byt RAM izler. DOS'un sonu ve 9FFFFH'in arası olan 640 kilo byt'lık bölge tamamen RAM olarak kullanılabilir. 0A0000 H Sayfası video genişlemesine ayrılmıştır. Ve standart video RAM alanı 0B000H sayfasında başlar 0C000H Sayfası I / O ROM için ayrılmıştır. 0D000 H ve 0E0000H sayfaları ROM fişekleri (cartridges) için ayrılmıştır. 0F0000H sayfası ROM alanı için ayrılmıştır.

ADDRESS	FUNCTION
0-3FF	Interrupt vectors (see Table 3-4)
400-47F	ROM BIOS RAM (see <i>Tech. Ref. App. A</i> )
480-5FF	BASIC and special system function RAM
600-9FFFF	Program memory (usually not all installed)
0A0000-0AFFFF	Reserved for video expansion
0B0000-0B0FFF	Used by IBM monochrome display adapter
0B8000-0BFFFF	Used by color/graphics adapter
0C0000-0CFFFF	Reserved for I/O ROM
0D0000-0D7FFF	Optional cartridge ROM #2
0D8000-0DFFFF	Optional cartridge ROM #1
0E0000-0E7FFF	Standard cartridge ROM #2
0E8000-0EFFFF	Standard cartridge ROM #1
0F0000-0F3FFF	Unused ROM area
0F4000-0F5FFF	Spare ROM socket responds here
0F6000-0FDFFF	ROM BASIC
0FE000-0FFFFF	ROM BIOS

Tablo 2-2.1: IBM-PC için 1 M byt'lık adres akım



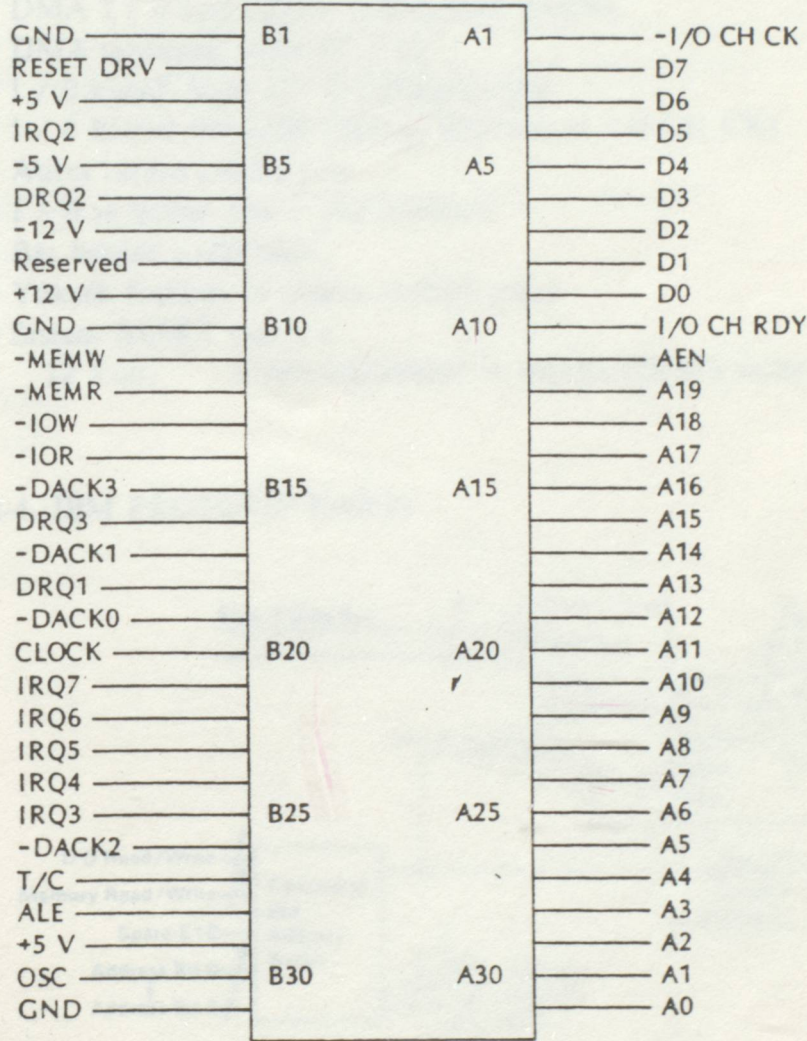
Tablo 2-2.2'de ise IBMPC için I / O port adresleri verilmiştir.

RANGE	DEVICE
<u>System Board</u>	
0-1F	8237 4-channel DMA controller
20-3F	8259 8-channel interrupt controller
40-5F	8253 3-channel counter/timer circuit
60-7F	8255 24-line parallel I/O interface
80-9F	DMA 64K page register
0A0-0BF	NMI mask bit latch
0C0-0C7	PCjr sound generator
0C8-0EF	Reserved
0F0-0FF	PCjr floppy diskette interface
100-1FF	Not usable
<u>I/O Channel</u>	
200-20F	Game I/O adapter
210-217	Expansion unit
220-24F	Reserved
250-277	Not used
278-27F	Second parallel printer interface (LPT2)
280-2EF	Not used
2F0-2F7	Reserved
2F8-2FF	Second 8250 serial UART interface (COM2)
300-31F	Prototype card
320-32F	Hard disk
330-377	Not used
378-37F	First parallel printer interface (LPT1)
380-38C	SDLC or secondary binary synchronous interface
390-39F	Not used
3A0-3A9	Primary binary synchronous
3B0-3BF	Monochrome display and first parallel printer
3C0-3CF	Reserved
3D0-3DF	Color/graphics display adaptor
3E0-3EF	Reserved
3F0-3F7	5-1/4" floppy disk drive controller
3F8-3FF	First 8250 serial UART interface (COM1)

Tablo 2-2.2: IBMPC için I / O port adresleri



## 2-3- IBMPC I / O KANAL ŞEMASI



Şekil 2-3.1: I / O Kanal Şeması

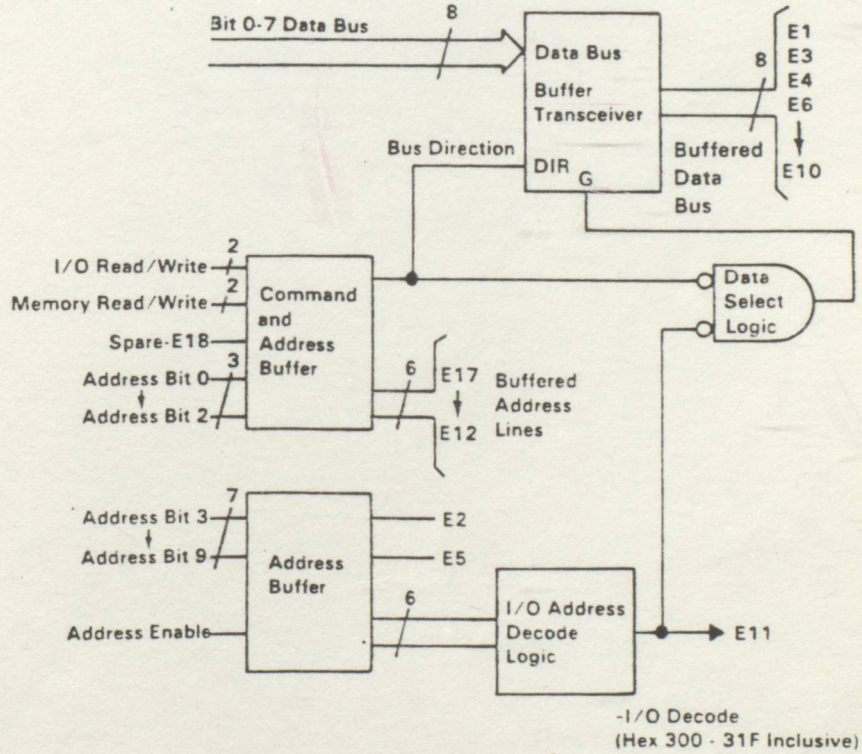
Şekil 2-3.1'de I / O kanal şeması görülmektedir. I / O kanalı, mikro-işleyici veriyolunun bir genişleme biçimidir. Güç kaynağı, DMA ve çeşitli kesinti işlevlerinin eklenmesiyle geliştirilmiş, 62 hatlı bir yapıdır. I / O cihazları, I / O bellek haritasındaki adres alanları kullanılarak adreslenir. I / O kanalı, her bağlantı yarığındaki kartların LS serisi tümdevrelerin kullanılacağı varsayılarak 8 genişletme yarığının tümüne yetecek güçte güç kaynağıyla donatılmıştır.



I / O kanalının özellikleri şunlardır:

- 20 adres adres yolu
- 8 çift yönlü veri yolu
- Üç DMA isteği (DMA request) ve dört DMA onayı (DMA acknowledge) hattı
- DMA I / O kod çözme yasaklaması (AEN),
- DMA terminali sayısı (T / C)
- I / O kanalı hazır (I / O CHRDY) ucu
- I / O kanalı benzerlik (parity) denetimi (I / O CH CK)
- Adres tutma (ALE) ucu
- I / O ve bellek oku / yaz işaretleri
- Beş kesinti isteği hattı,
- Yüksek frekans ve sistem saatleri çıkışı
- Sistem RESET ucu v e
- 12 Volt, 5 volt kaynaklar ve toprak (GND) uçları,

#### 2-4- IBM PROTOTİP KARTI



Şekil 2-4.1: Prototip Kartı Blok Diyagramı



Prototip kartı, 4.2 inc (106.7 milimetre) yüksekliğinde, 13.2 inc (335.3 milimetre) uzunluğunda, genişleme yarığına (slot) takılacak şekilde tasarlanmış bir genişleme birimidir. Bütün sistem denetim işaretleri ve gereken gerilimler 2 x 31 konumlu kart kenar ucundan sağlanır.

Kartın kenarları, (+ 5 V dc) ve toprak (0 V<sub>dc</sub>) ile çevrilmiştir. + 5 V arka tarafında (lehim tarafı), toprak da kartın ön tarafındadır. Sistem ara-birim elemanları, bu kart kullanılarak da tasarlanabilir. Şekil 2-4.1'de prototip kartı blok diyagramı görülmektedir.

Prototip kartı için I / O kodçözme adresi aşağıdadır:

	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
HEX 3001	1	0	0	0	0	0	0	0	0	0
HEX 31F1	1	1	1	1	1	1	1	1	1	1
1	1	0	0	0	X	X	X	X	X	X

BÖLÜM 1 - 120 785 - 120 785 - 120 785 - 120 785



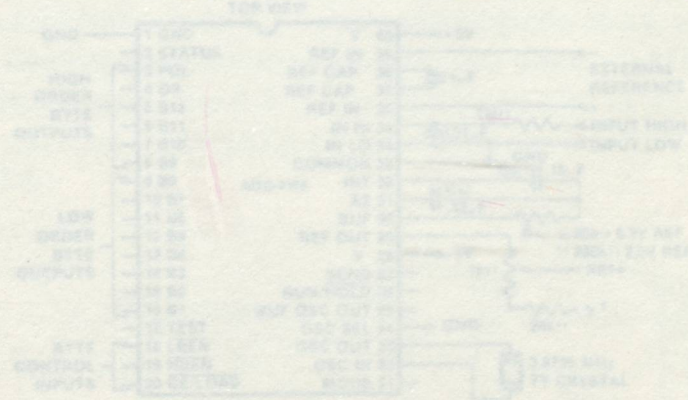
### 3-1- ADC - 7109 : MİKRO İŞLEYİCİ ARABİRLERİ İÇİN 12 BIT BİNARY Ö / S DÖNÜŞTÜRÜCÜ

ADC-7109, mikro işleyicilerle kullanılması çok kolay olan 12 bitlik binary çift eğimli integrasyon tipi Örneksel / Sayısal dönüştürücü tümdevresidir. Ayrıca işaretin kutbunu göstermek amacıyla "polarity" rasmayı göstermek için de "overrange" bitleri de vardır. RUN / HOLD girişi ve STATUS çıkışı ile dönüştürme zamanını denetlemek gösterilebilir.

Düşük görünümlüdür. Doğruluğu yüksektir. Farksal girişi ve referansı vardır. Giriş kutuplama akımı maksimumu 1 pA, tipik güç harcaması da 20 m. W. civarındadır.

Birçok veri elde etme uygulamalarında kullanılabilen bu tümdevrenin bacak bağlantısı ve test devresi şekil 3-1.1'de görülmektedir.

## BÖLÜM 3 — ADC 7109 ve 8255'İN GENEL TANITIMI



Şekil 3-1.1: ADC-7109'un bacak bağlantısı ve test devresi

Bu tüm devreye ağı bazı maksimum değerler şunlardır:

Pozitif Kaynak Gerilimi (GND'den $V^+$ ya)	.....	+6.2 V.
Negatif Kaynak Gerilimi (GND'den $V^-$ ye)	.....	-9 V.
Örneksel Giriş Gerilimi (LO ya da HI)	.....	$V^+$ ..... 'dan $V^-$ ye

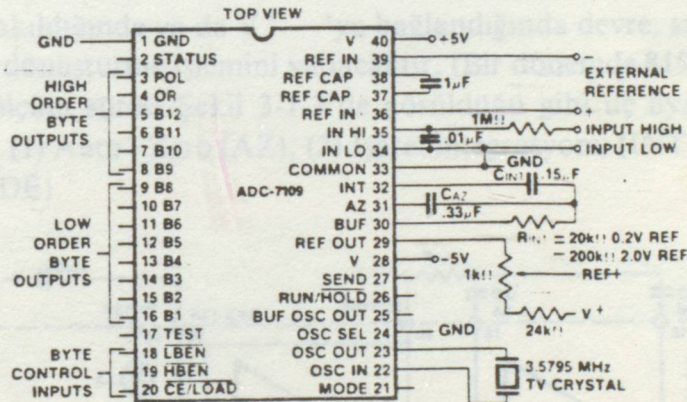


### 3-1- ADC - 7109 : MİKRO İŞLEYİCİ ARABİRİMLERİ İÇİN 12 BİT BİNARY Ö / S DÖNÜŞTÜRÜCÜ

ADC-7109, mikro işleyicilerle kullanılması çok kolay olan 12 bitlik binary çift eğimli integrasyon tipi Örneksel / Sayısal dönüştürücü tümdevresidir. Ayrıca işaretin kutbunu göstermek amacıyla "polarity" tasmayı göstermek için de "överrange" bitleri de vardır. RUN / HOLD girişi ve STATUS çıkışı ile dönüştürme zamanı denetlenip gösterilebilir.

Düşük gürültülüdür. Doğruluğu yüksektir. Farksal girişi ve referansı vardır. Giriş kutuplama akımı maksimum 1 pA, tipik güç harcaması da 20 m W civarındadır.

Birçok veri elde etme uygulamalarında kullanılabilen bu tümdevrenin bacak bağlantısı ve test devresi şekil 3-1.1'de görülmektedir.



Şekil 3-1.1: ADC-7109'un bacak bağlantısı ve test devresi

Bu tüm devreye ait bazı maksimum değerler şunlardır:

Pozitif Kaynak Gerilimi (GND'den $V^+$ 'ya).....	+6.2 V.
Negatif Kaynak Gerilimi (GND'den $V^-$ 'ye).....	-9 V.
Örneksel Giriş Gerilimi (LO ya da Hi).....	$V^+$ 'dan $V^-$ 'ye



Referans Giriş Gerilimi (Lo ya da Hi).....	$V^+$	'dan $V^-$ 'ye
Sayısal Giriş Gerilimi.....	$V^+ + 0.3 V$	'dan GND -0.3 V
Güç harcaması, seramik kılıf için.....	1 W	85 °C
Plastik kılıf için.....	500 mW	70 °C

#### Çalışma Sıcaklığı

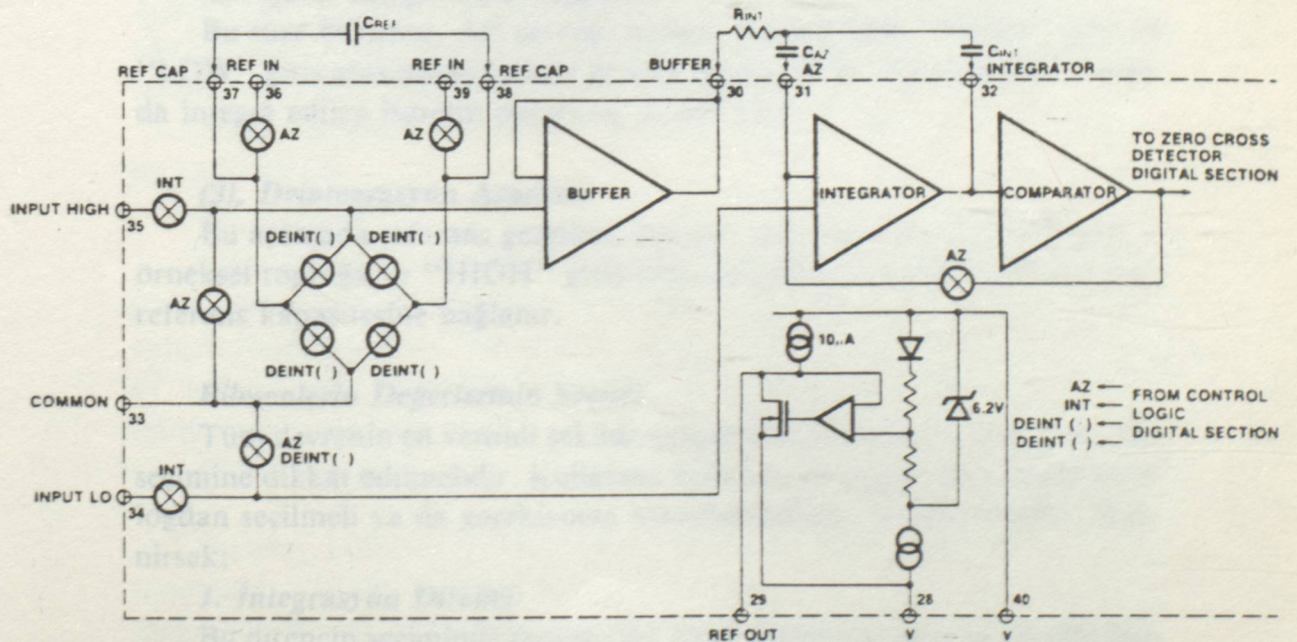
Seramik kılıf için.....	-25 °C	TA	85 °C
Plastik kılıf için.....	0 °C	TA	70 °C
Depolama Sıcaklığı.....	-55 °C	TA	125 °C

Bunların dışındaki daha ayrıntılı çalışma karakteristikleri ve bacak işlevleri bu kitabın sonundaki Ek-1'de verilmiştir. Ancak iç yapısından söz etmekte yarar vardır.

Bu tüm devre iki bölümden oluşmuştur. Örneksel bölüm ve sayısal bölüm.

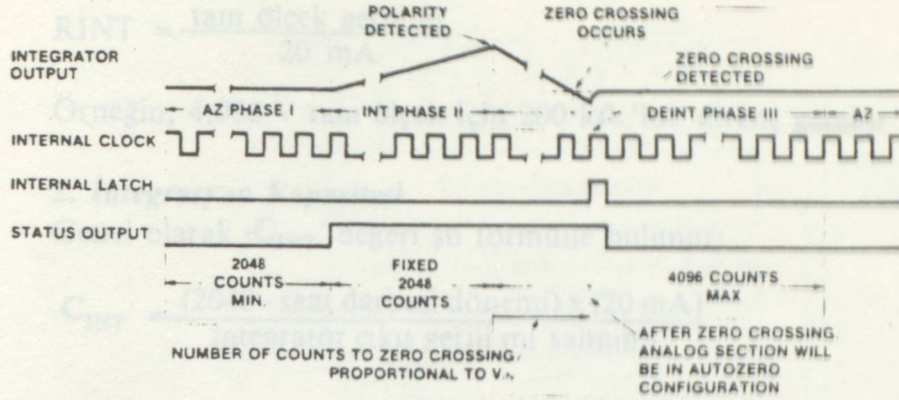
#### -ADC 7109'UN ÖRNEKSEL BÖLÜMÜ

Şekil 3-1.2'de ADC 7109'un örneksel bölümü verilmiştir. RUN /  $\overline{\text{HOLD}}$  girişi açık bırakıldığında ya da  $V^+$ 'ya bağlandığında devre, saat frekansı hızına göre dönüştürme işlemini yapacaktır. (Bir dönemde 8192 saat darbesi). Her ölçüm süresi Şekil 3-1.3'de görüldüğü gibi üç ayrı aşamaya bölünmüştür. (1) Auto - Zero (AZ), (2) İşaret integrasyonu (INT) ve (3) De-integrasyon (DE)



Şekil 3-1.2: ADC 7109'un Örneksel Bölümü.





Şekil 3-1.3: Dönüştürme zamanlaması

### (1). Auto Zero Aşaması

Bu fazda üç şey olur. Önce, "H" ve "L" giriş (INLO ve IN HI) bacaklarından ayrılır ve içten örnek sel toprağa bağlanır. sonra, referans kapasitesi, referans gerilimi ile yüklenir. Daha sonra, sistem çevresinde, karşılaştırıcı, integratör ve tampon kuvvetlendiricideki offset gerilimini dengelemek amacıyla, AZ kapasitesi CAZ'i yüklemek için bir geri besleme çevrimi oluşturulur. Karşılaştırıcı çevrimin içinde olduğu için, AZ'in doğruluğu yalnızca sistemin gürültüsü ile orantılıdır.

### (2). İşaret İntegrasyonu Aşaması

Bu süre boyunca, AZ çevrimi açıktır. Bu aşamada "HIGH" giriş ve "LOW" giriş arasındaki farksal gerilim integre edilir. Bu aşamanın sonunda integre edilen işaretin polaritesi de belirlenir.

### (3). Deintegrasyon Aşaması

Bu aşamada referans gerilimi integre edilir. Burada "LOW" giriş iç örnek sel toprağa ve "HIGH" giriş daha önceden 1. aşamada doldurulan referans kapasitesine bağlanır.

### Bileşenlerin Değerlerinin Seçimi

Tüm devrenin en verimli şekilde çalışabilmesi için devre elemanlarının seçimine dikkat edilmelidir. Kullanma amacına en uygun olan değer katalogdan seçilmeli ya da gerekiyorsa hesaplanmalıdır. Kısaca bunlara değinirsek;

#### 1. İntegrasyon Direnci

Bu direncin seçiminde seçilen tam ölçek gerilimine göre şu formül kullanılır:



$$R_{INT} = \frac{\text{tam ölçek gerilimi}}{20 \text{ mA}}$$

Örneğin, 4,096 V tam ölçek için 200 k $\Omega$  'luk direnç gerekir.

## 2. İntegrasyon Kapasitesi

Genel olarak  $C_{INT}$  değeri şu formülle bulunur:

$$C_{INT} = \frac{(2048 - \text{saat darbesi dönemi}) \times (20 \text{ mA})}{\text{integratör çıkış gerilimi salınımı}}$$

$C_{INT}$ , integratör çıkış geriliminin verilen maksimum çıkış gerilimi salınımına göre seçilmelidir. (Doymaya gitmeyecek şekilde) Örneğin, 7.5 dönüştürme için  $C_{INT} = 0.15 \mu\text{F}$ ,  $C_{AZ} = 0.33 \mu\text{F}$  seçilmelidir.

## 3. Auto - Zero Kapasitesi

Bu kapasitenin değerinin  $C_{INT}$  'in iki katı alınması önerilir.

## 4. Referans Kapasitesi:

1  $\mu\text{F}$  'lık bir kapasite, uygulamada iyi sonuçlar vermektedir. Fakat daha büyük ortak mod gerilimlerinde daha yüksek değerli kapasiteler gerekebilir.

## 5. Referans Gerilimi

Referans gerilimi,  $V_{IN} = 2 V_{ref}$  olacak şekilde seçilmelidir. Normal ölçekte, örneğin 4,096 V. için 2.048 V referans gerilimi gerekir.

## ADC - 7109'UN SAYISAL BÖLÜMÜ

ADC-7109'un sayısal bölümü şekil 1-3.4'de görülmektedir. Bu bölümde, saat darbesi üreticisi, ölçme devresi, 12 bitlik sayıcı, sayısal tutucu devresi (latch) ve üç konumlu çıkış devresi bulunur.

Minimum güç harcaması için bütün girişler GND ve V arasında salınmalıdır.

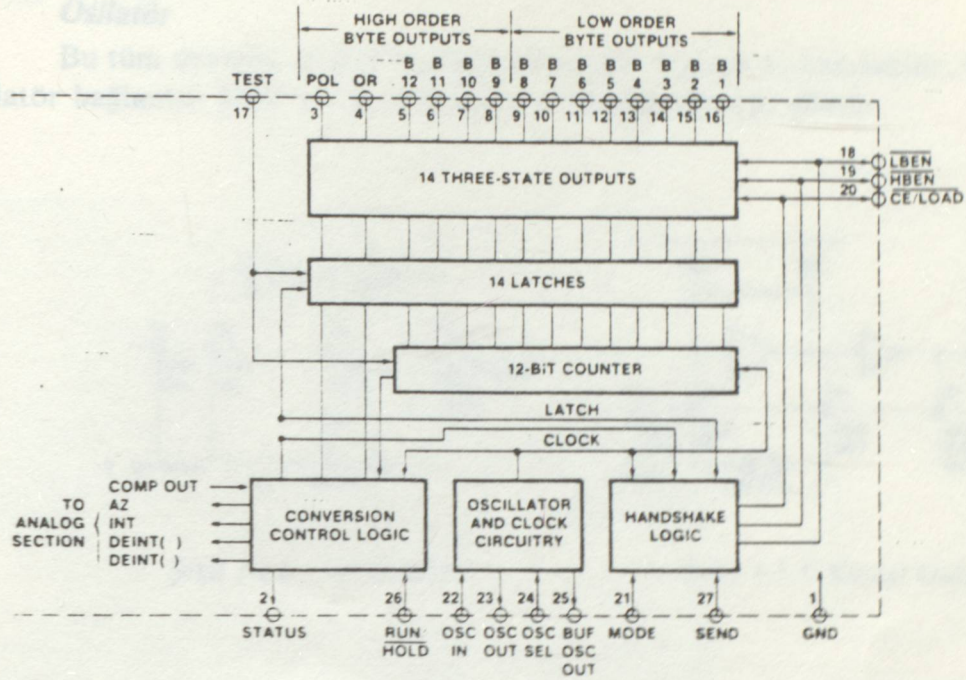
### Mode Girişi

MODE girişi, dönüştürücünün çıkış modunu denetlemek için kullanılır. Bu giriş GND'ye bağlandığında, dönüştürücü "doğrudan" çıkış modunda çalışır. Burada veriye, "byt enable" uçları kullanılarak doğrudan erişilebilir. MODE girişi "high" a çıkarsa (bir darbe olarak) dönüştürücü "UART handshake" moduna geçer.

### Status Çıkışı

Bu çıkış, integrasyon işlemi boyunca "high" dedir. İntegrasyon tamamlandığında "LOW" a düşer. Bu işaret, dönüştürücünün durumunu göstermek ya da kesinti girişini (interrupt) sürmek için uygun veri bayrağı (data validflag) olarak kullanılabilir.

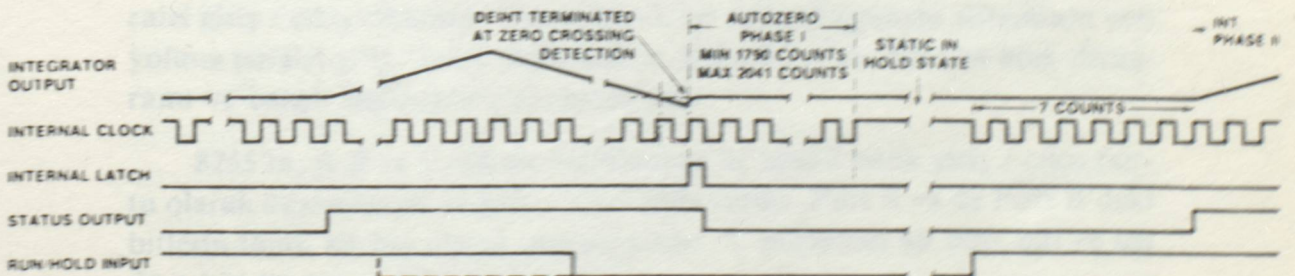




Şekil: 1-3.4: ADC-7109'un sayısal bölümü.

### ***RUN / $\overline{HOLD}$ Girişi***

Bu giriş " $\overline{H}$ "ya bağlandığında sürekli olarak dönüştürme yapılır. Eğer, sıfır geçiş anı saptanmadan " $\overline{1}$ "a giderse o andaki dönüştürme tamamlanır ve bilgi saklanır. Dönüştürücü Auto-Zero aşamasına atlar ve bu giriş " $\overline{H}$ "ya gidene kadar bu fazda bekler. " $\overline{H}$ "ya gittikten yedi saat darbesi dönemi sonra dönüştürme işlemi başlar. Şekil 1-3.5'de bu durum daha ayrıntılı olarak görülmektedir.

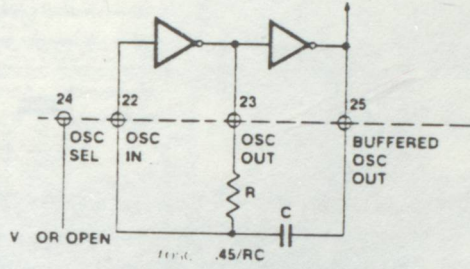


Şekil 1-3.5: RUN / HOLD İşlemi

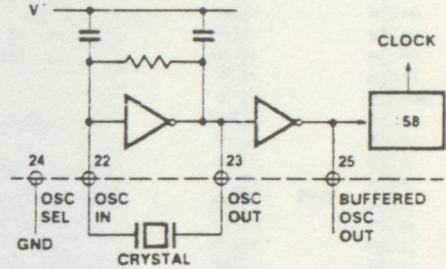


### Osilatör

Bu tüm devrede, kristal osilatör ya da RC osilatör kullanılabilir. Osilatör bağlantısı Şekil 1-3.6 ve Şekil 1-3.7'de gösterildiği gibidir.



Şekil 1-3.6 : RC Osilatör



Şekil 1-3.7: Kristal Osilatör.

RC osilatörde, verilen bir  $f$  frekansı için  $R$  ve  $C$  değerleri  $f = 0.45 / RC$  bağıntısından bulunabilir. Burada  $R$ 'in  $100 \text{ k}$  seçilmesi tavsiye edilir. Eğer  $3,58 \text{ Mhz.}$ lik TV kristali kullanılırsa, bir integrasyon zamanının sağlayacağı dönüştürme oranı:

$$T = (2048 \text{ saat darbesi dönemi}) \times \frac{58}{3.58 \text{ M Hz.}} = 33.18 \text{ mS'dir.}$$

Bu tüm devrenin çalışma modları için Ek-1'e bakılması önerilir.

### 3-2- INTEL 8255- PROGRAMLANABİLİR PARALEL GİRİŞ / ÇIKIŞ ARA BİRİMİ

8255, mikro işleyicilerle kullanımı çok kolay olan programlanabilir paralel giriş / çıkış cihazıdır. Temel işlevi, bir mikrobilgisayar sisteminin veri yoluna paralel giriş / çıkışı sağlamaktır. Şekil 3-2.1'de, 8255'in blok diyagramı ve bacak bağlantıları görülmektedir.

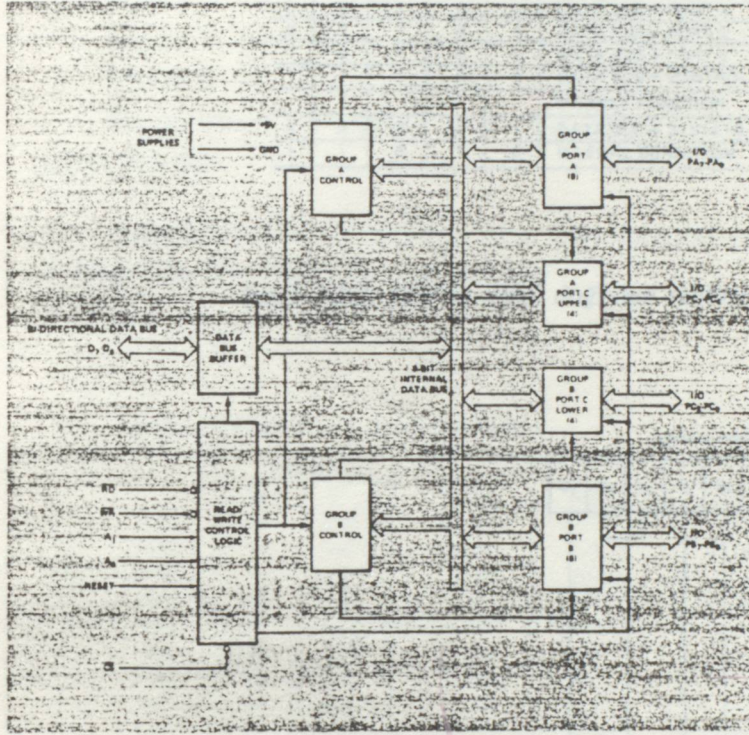
8255'in, A, B ve C olarak etiketlenmiş üç tane 8 bitlik giriş / çıkış portu olarak düzenlenmiş 24 giriş / çıkış hattı vardır. Port A ya da Port B'deki bitlerin tümü bir byt olarak programlanır. C portunun alt dört biti ve üst dört biti iki ayrı şekilde programlanır.

8255'de üç çalışma modu vardır. Mode 0, Mode 1 ve Mode 2. Bu modlar tek başına kullanılabileceği gibi karışık olarak da kullanılabilir. Örneğin, A "mode 2"ye programlanırken, B "mode 0"ya programlanabilir. Ayrıca, denetim amacı ile C portunun bitlerini set ya da reset yapmaya ola-

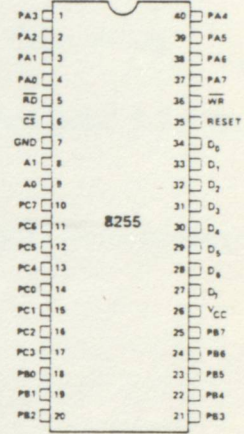


nak tanıyan bir "set / reset modu" da vardır.

8255 BLOCK DIAGRAM



PIN CONFIGURATION



PIN NAMES

D <sub>7</sub> -D <sub>0</sub>	DATA BUS (BI DIRECTIONAL)
RESET	RESET INPUT
CS	CHIP SELECT
RD	READ INPUT
WR	WRITE INPUT
A0, A1	PORT ADDRESS
PA7-PA0	PORT A (BIT)
PB7-PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
V <sub>CC</sub>	+5 VOLTS
GND	0 VOLTS

Şekil: 3-2.1 8255'in bacak bağlantısı ve blok diyagramı

### 8255'in Arabirim Elemanı Olarak Kullanılması

8255'in iki yönlü veri yolu vardır. Mikro işleyici ve 8255 arasındaki tüm haberleşmeler, bu sekiz tel üzerinden yapılır. Gerçekte, mikroişleyiciye 8255, A<sub>0</sub> ve A<sub>1</sub> adres girişlerinin dört olasılığına karşı gelen dört giriş / çıkış bölgesi olarak görünür. Yani 8255, bellek haritasında dört byt'lık bir yer kaplar. Gösterilen port adresi kırkık seçme ( $\overline{CS}$ ) girişi ile denetlenir. Ancak bu giriş "L" olduğunda 8255'e erişilebilir.

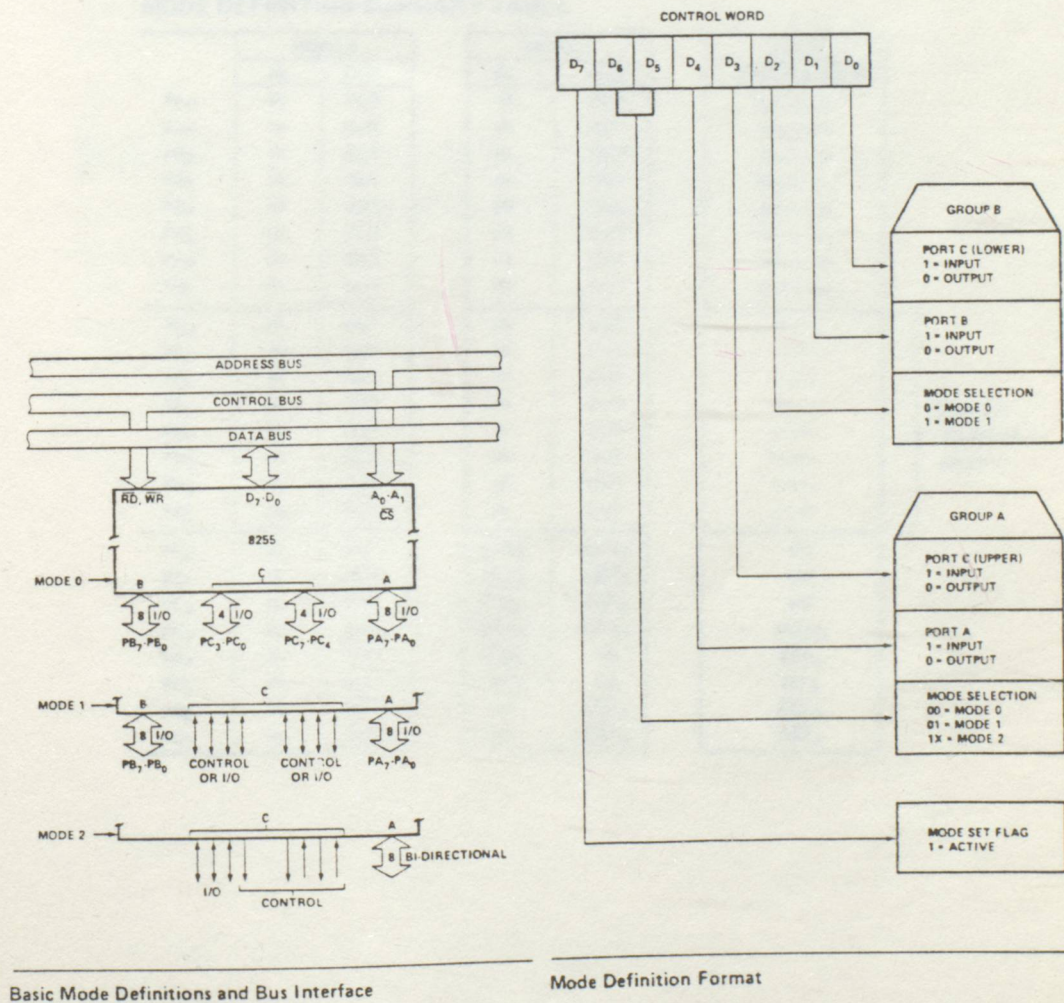
RD "L" olduğunda, üç veri portundan herbiri, ilgili adresten okunabilir. Eğer A<sub>0</sub> ve A<sub>1</sub> girişlerinin her ikisi "H" olursa "Denetim Yazmacı"na erişilebilir. Bu, cihazın çalışma modunu denetleyen 8255'deki özel bir yazmacıdır. Bu yazmacı yalnız bilgi yazılabilir. Şekil 3-2.2'de 8255'in doğruluk tablosu görülmektedir.



## 8255 BASIC OPERATION

A <sub>1</sub>	A <sub>0</sub>	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A = DATA BUS
0	1	0	1	0	PORT B = DATA BUS
1	0	0	1	0	PORT C = DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS = PORT A
0	1	1	0	0	DATA BUS = PORT B
1	0	1	0	0	DATA BUS = PORT C
1	1	1	0	0	DATA BUS = CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS = 3-STATE
1	1	0	1	0	ILLEGAL CONDITION

Şekil 3-2.2: 8255'in temel doğruluk tablosu.



Şekil 3-2.3: Mod seçimi ve modların şematik gösterimi.



8255 grup A ve Grup B olmak üzere iki ana gruba ayrılmıştır.

Denetim grubu A - Port A ve Port C üst ( C7 - C4)

Denetim grubu B - Port B ve Port C alt (C3-C0)

### Çalışma Modu Seçimi

Daha önce üç çalışma modunun olduğu söylenmişti. Bunlar:

Mode 0- Temel Giriş / Çıkış modu.

Mode 1- Anlaşmalı (strobed, handshaking) Giriş / Çıkış modu

Mode 2- İki yönlü veri yolu modu.

Bu modların ne şekilde seçileceği, şematik gösterimleri Şekil 3-2.3'de gösterilmiştir.

Aşağıdaki tabloda ise modların özet tanıtımı verilmiştir. Daha ayrıntılı bilgi için Ek-1'e bakılması önerilir.

MODE DEFINITION SUMMARY TABLE

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA <sub>0</sub>	IN	OUT	IN	OUT	↔	
PA <sub>1</sub>	IN	OUT	IN	OUT	↔	
PA <sub>2</sub>	IN	OUT	IN	OUT	↔	
PA <sub>3</sub>	IN	OUT	IN	OUT	↔	
PA <sub>4</sub>	IN	OUT	IN	OUT	↔	
PA <sub>5</sub>	IN	OUT	IN	OUT	↔	
PA <sub>6</sub>	IN	OUT	IN	OUT	↔	
PA <sub>7</sub>	IN	OUT	IN	OUT	↔	
PB <sub>0</sub>	IN	OUT	IN	OUT	—	
PB <sub>1</sub>	IN	OUT	IN	OUT	—	
PB <sub>2</sub>	IN	OUT	IN	OUT	—	
PB <sub>3</sub>	IN	OUT	IN	OUT	—	
PB <sub>4</sub>	IN	OUT	IN	OUT	—	
PB <sub>5</sub>	IN	OUT	IN	OUT	—	
PB <sub>6</sub>	IN	OUT	IN	OUT	—	
PB <sub>7</sub>	IN	OUT	IN	OUT	—	
PC <sub>0</sub>	IN	OUT	INTR <sub>B</sub>	INTR <sub>B</sub>	I/O	
PC <sub>1</sub>	IN	OUT	IBF <sub>B</sub>	ÖBF <sub>B</sub>	I/O	
PC <sub>2</sub>	IN	OUT	STB <sub>B</sub>	ACK <sub>B</sub>	I/O	
PC <sub>3</sub>	IN	OUT	INTR <sub>A</sub>	INTR <sub>A</sub>	INTR <sub>A</sub>	
PC <sub>4</sub>	IN	OUT	STB <sub>A</sub>	I/O	STB <sub>A</sub>	
PC <sub>5</sub>	IN	OUT	IBF <sub>A</sub>	I/O	IBF <sub>A</sub>	
PC <sub>6</sub>	IN	OUT	I/O	ACK <sub>A</sub>	ACK <sub>A</sub>	
PC <sub>7</sub>	IN	OUT	I/O	ÖBF <sub>A</sub>	ÖBF <sub>A</sub>	

MODE 0  
OR MODE 1  
ONLY



#### 4-1. DEVRENİN GENEL TANITIMI

Bu devre, genel olarak altı birimden oluşmaktadır. Bu birimler Şekil 4-1.1'deki devrenin blok diyagramında gösterilmektedir. Bu blok diyagramı, tampon devresi, PIO, Ö/S Dönüştürücü, adres çözücü, ölçme kontrolcisi ve çoğullayıcı bloklarından oluşmaktadır. Bu bloklar dan ayrıca ayrıntılı olarak söz edilecektir.

Tampon devresi, 74LS 245 ve 74LS 244 (bu transceiverlerden oluşmaktadır). Tasarımcıların tercihleriyle IBM ile uyumlu bir porttan uyum sağlanmasını temin eder. Ayrıca bilgisayarın güç bölümü arasında bir yalıtım da oluşturur. Bu bilgisayar kartındaki diğer 74LS 245 bilgisayar verilerinin girişlerini sağlar ve parafit giriş / çıkış olarak, bu daha önce biraz değinilen INTEL 8255 PIO'dur. Bilgisayara veri girişi olarak bu cihaz tarafından sağlanır. Ö/S Dönüştürücü ise, alt bilgisayar sistemine devreyen 12 bitlik ADDRESS BUS (TAP) ile devreyedir. Burada devreye her saat sayısal üyümlenir dönüştürülür. Adres çözücü bloku, 8 bitlik sayısal karşılaştırıcı devreye olan 74 LS 285 ile 8 kanallı DİP anahtarları ile oluşmaktadır.

### BÖLÜM 4 : IBM PC İÇİN 12 BİTLİK 16 KANALLI ÖRNEKSEL GİRİŞ KARTI

Bu kartın alt devre şeması Şekil 4-1.1'de verilmiştir. Bu devrede, veri yolu 74 LS 245, adres yolu ve diğer devreler hepsi de 74 LS 244 türedevre-

Bu kartın genel özellikleri aşağıdaki gibi sıralanabilir:

- \* 16 kanallı giriş.
- \* Tam blok güç gerilimi = 4.5V V.
- \* 1 - 2 adres bölmesi, Portları kartın her bölgesi kullanılabilir.
- \* Her bir kart sadece dört birim ile yer kaplar.
- \* Bütün anahtarlar, veri ve devreler her birim TTL uyumludur.
- \* 12 bitlik sayısalık sağlar.

#### 4.2. DEVRENİN ÇATIŞMASI

\* Veri Tamponu ve Adres Sağlar Kartı

Bu kartın alt devre şeması Şekil 4-1.1'de verilmiştir. Bu devrede, veri yolu 74 LS 245, adres yolu ve diğer devreler hepsi de 74 LS 244 türedevre-



#### 4-1- DEVRENİN GENEL TANITIMI

Bu devre, genel olarak altı birimden oluşmuştur. Bu birimler Şekil 4-1.1'deki devrenin blok diyagramında gösterilmiştir. Bu blok diyagramı, tampon devresi, PIO, Ö / S Dönüştürücü, adres çözücü, ölçme kuvvetlendiricisi ve çoğullayıcı bloklarından oluşmuştur. Bu bloklardan ayrıca ayrıntılı olarak söz edilecektir.

Tampon devresi, 74LS 245 ve 2x74LS 244 (bus transceiver)den oluşmuştur. Tasarlanan çevre biriminin IBM'in genişleme portuna uyum sağlamasını temin eder. Ayrıca bilgisayarla çevre birimi arasında bir yatılım da oluşturur. Bu, bilgisayar için emniyet sağlar. PIO; bilgisayara verilerin girilmesini sağlayan paralel giriş / çıkış cihazıdır. Bu, daha önce biraz değinilen INTEL 8255 PIO'dur. Bilgisayara veri giriş / çıkışı bu cihaz üzerinden sağlanır. Ö / S Dönüştürücü ise, çift integrasyon yöntemine dayanan 12 bitlik ADC7109 (TSC 7109) tüm devresidir. Burada, örneksel işaret sayısal büyüklüğe dönüştürülür. Adres çözücü bloku, 8 bitlik sayısal karşılaştırıcı tümdevresi olan 74 HC 688 ile 8 konumlu DIP anahtarlardan oluşmuştur. Bu yöntemle, kartın yerleşme adresinde çok büyük bir esneklik sağlanmış olur. Ölçme kuvvetlendiricisi bloku, üç işlemsel kuvvetlendiriciden oluşmuştur. Bunlar, LF 441 ile LF 353 tümdevreleridir. Burada, Ö / S Dönüştürücüde değerlendirilecek olan işaret oluşturulur. Çoğullayıcı bloku da dört adet 4051 tümdevresinden oluşmuştur. Bu, örneksel çoğullayıcıdır. Burada 16 kanal, farksal olarak çoğullanır. Kanal seçimi, 8255 aracılığı ile bilgisayar tarafından yapılır.

Bu kartın genel özellikleri aşağıdaki gibi özetlenebilir:

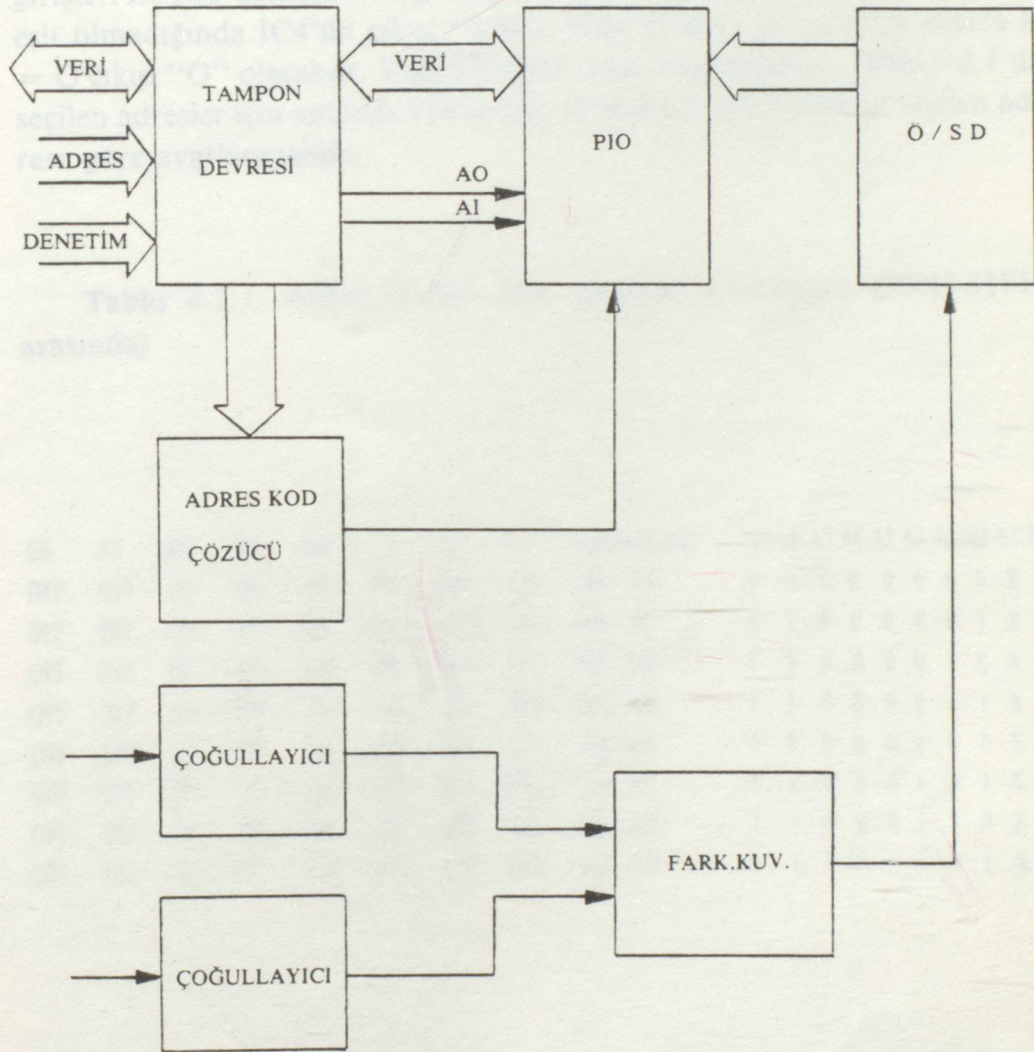
- 16 farksal giriş,
- Tam ölçek giriş gerilimi : 4.096 V.
- I / O adres bölgesi ; Prototip kartın her bölgesi kullanılabilir.
- Her bir kart sadece dört byt.lık yer kaplar.
- Bütün adresler, veri ve denetim işaretleri TTL uyumludur.
- 12 bitlik yoğunluk sağlar.

#### 4-2. DEVRENİN ÇALIŞMASI

- Veri Tamponu ve Adres Seçici Kısmı

Bu kısma ait devre şeması Şekil 4-2.1'de verilmiştir. Bu devrede, veri yolu 74 LS 245, adres yolu ve diğer denetim hatları da 74 LS 244 tümdevre-





Şekil 4-1.1: Devrenin Blok Diyagramı



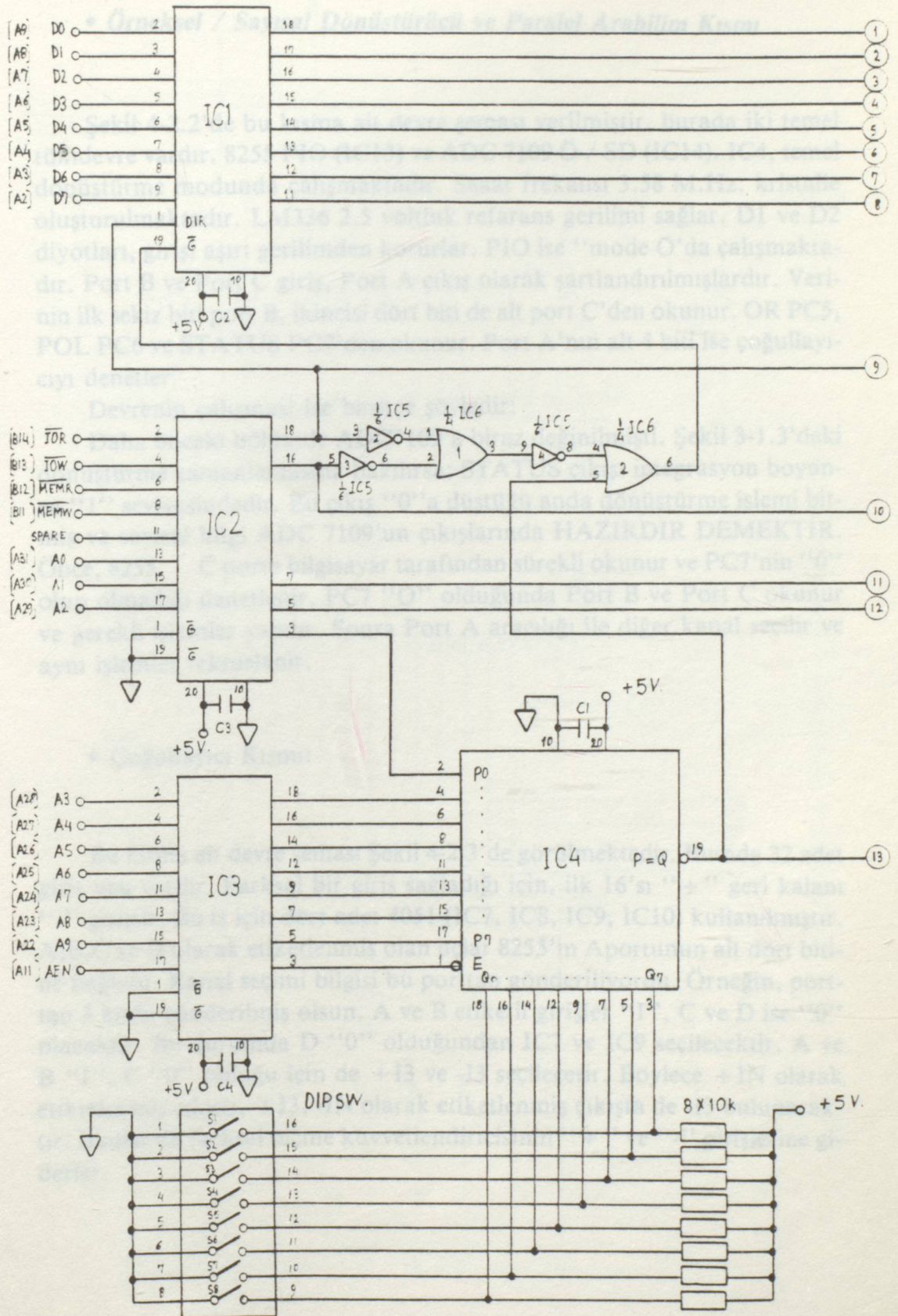
leri ile tamponlanmıştır. 74LS245 "3-state" çıkışlı alıcı-verici (transceiver) tampondur. 74LS244'de "3 state" çıkışlı veri yolu tampondur. IC2 ve IC3 tek yönlü, IC1 ise çift yönlü çalışır. IC4 8 bitlik karşılaştırıcı tümdevresi olan 74HC688'dir. Giriş / Çıkış adresi, DIP anahtarla ayarlanır. DIP anahtarın birer uçları IC4'ün Q girişlerine bağlanmıştır. Bu anahtarlardan kapalı olanlar, Q girişinde "0", açık alanlarda "1" durumu oluştururlar. Böylece IC4'ün Q girişleri, istediğimiz adrese şartlandırılabilir. IC4'ün P girişleri ise IC3 üzerinden bilgisayarın veri yoluna bağlıdır. Q ve P girişleri eşit olmadığında IC4'ün çıkışı "1"dir. Eğer P ve Q girişleri eşit olursa P = Q çıkışı "0" olacaktır. Yani  $\overline{CS}$  işareti üretilmiş olacaktır. Tablo 4-2.1'de seçilen adresler için anahtar konumları verilmiştir. DIP anahtar seçilen adrese göre ayarlanmalıdır.

Tablo 4-2.1: Adres Seçimi İçin Anahtar Konumları (300H-31FH arasında)

S8	S7	S6	S5	S4	S3	S2	S1	Adres(Hex)	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
OFF	OFF	ON	ON	ON	ON	ON	ON	300 - 303	1	1	0	0	0	0	0	0	X	X
OFF	OFF	ON	ON	ON	ON	ON	OFF	304 - 307	1	1	0	0	0	0	0	1	X	X
OFF	OFF	ON	ON	ON	ON	OFF	ON	308 - 308	1	1	0	0	0	0	1	0	X	X
OFF	OFF	ON	ON	ON	ON	OFF	OFF	30C - 30F	1	1	0	0	0	0	1	1	X	X
OFF	OFF	ON	ON	ON	OFF	ON	ON	310 - 313	1	1	0	0	0	1	0	0	X	X
OFF	OFF	ON	ON	ON	OFF	ON	OFF	314 - 317	1	1	0	0	0	1	0	1	X	X
OFF	OFF	ON	ON	ON	OFF	OFF	ON	318 - 31B	1	1	0	0	0	1	1	0	X	X
OFF	OFF	ON	ON	OFF	OFF	OFF	OFF	31C - 31F	1	1	0	0	0	1	1	1	X	X

Bu devredeki, NOT ve OR (IC5 ve IC6) kapılarından oluşan kısım ise, hem  $\overline{IOR}$ , hem de  $\overline{IOW}$  işareti olduğunda IC1'i etkin kılmak içindir. Devre, aynı zamanda, uygun denetim işaretlerini de 8255'e aktarır. Şekilden görüleceği üzere, başka yerlere bağlanması gereken uçlar etiketlenmiştir. Diğer şekillerde de aynı noktaya bağlanması gereken uçlar, aynı numara ile etiketlenmiştir. Örneğin, 13 nolu uç 8255'in  $\overline{CS}$  ucuna bağlanmıştır.  $\overline{CS}$  ucu da 13 olarak etiketlenmiştir.





Şekil 4.2.1: Adres kod çözücü devresi



• *Örneksel / Sayısal Dönüştürücü ve Paralel Arabilim Kısmı*

Şekil 4-2.2'de bu kısma ait devre şeması verilmiştir. burada iki temel tümdevre vardır. 8255 PIO (IC13) ve ADC 7109 Ö / SD (IC14). IC4, temel dönüştürme modunda çalışmaktadır. Saaat frekansı 3.58 M.Hz. kristalle oluşturulmaktadır. LM336 2.5 voltluk referans gerilimi sağlar. D1 ve D2 diyotları, girişi aşırı gerilimden korurlar. PIO ise "mode O'da çalışmaktadır. Port B ve Port C giriş, Port A çıkış olarak şartlandırılmışlardır. Verinin ilk sekiz biti port B, ikincisi dört biti de alt port C'den okunur. OR PC5, POL PC6 ve STATUS PC7'den okunur. Port A'nın alt 4 biti ise çoğullayıcıyı denetler.

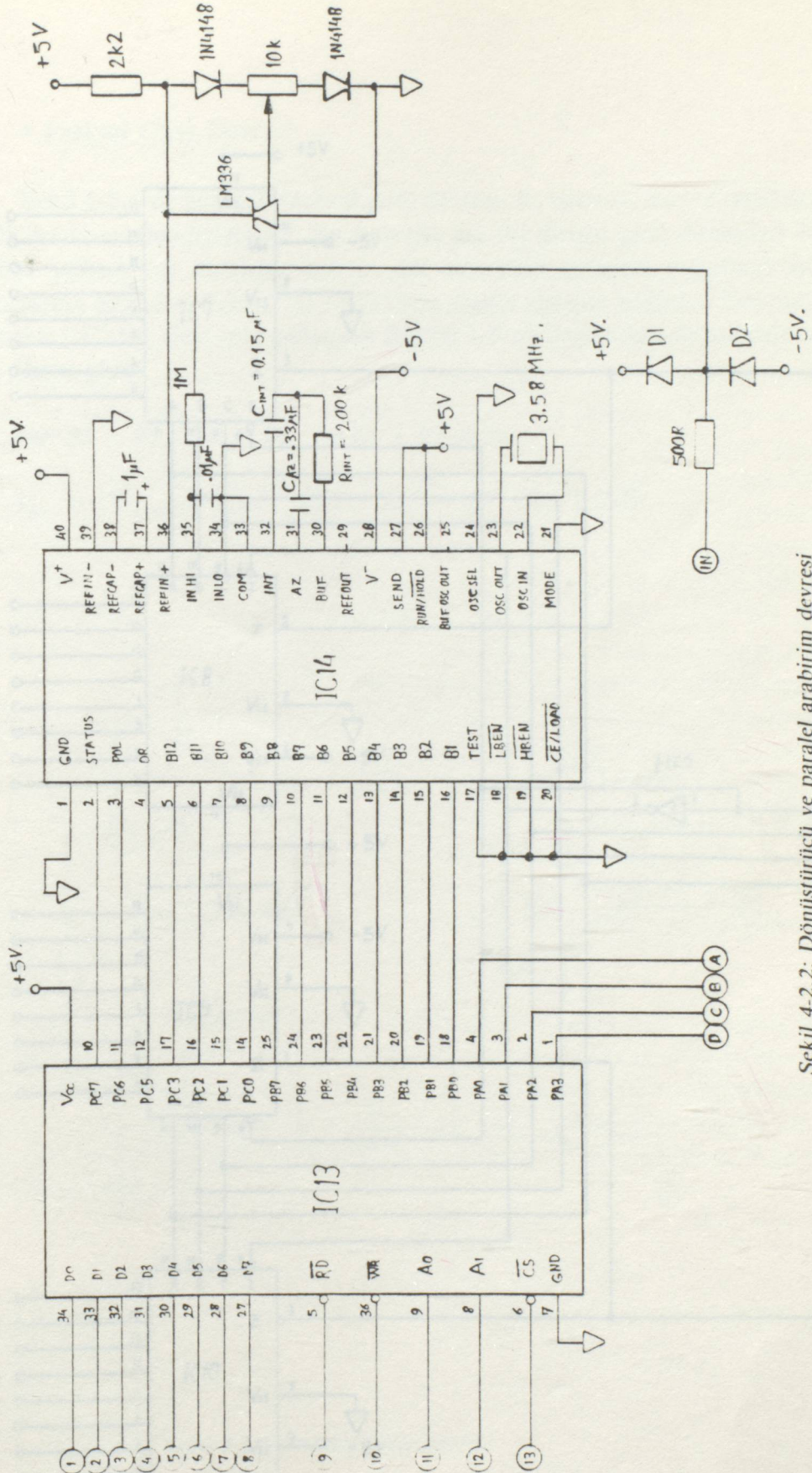
Devrenin çalışması ise basitçe şöyledir:

Daha önceki bölümde ADC7109'a biraz değinilmişti. Şekil 3-1.3'deki dönüştürme zamanlamasına bakılırsa; STATUS çıkışı integrasyon boyunca "1" seviyesindedir. Bu çıkış "0" a düştüğü anda dönüştürme işlemi bitmiş ve sayısal bilgi ADC 7109'un çıkışlarında HAZIRDIR DEMEKTİR. Önce, 8255 C portu bilgisayar tarafından sürekli okunur ve PC7'nin "0" olup olmadığı denetlenir. PC7 "O" olduğunda Port B ve Port C okunur ve gerekli işlemler yapılır. Sonra Port A aracılığı ile diğer kanal seçilir ve aynı işlemler tekrarlanır.

• *Çoğullayıcı Kısmı:*

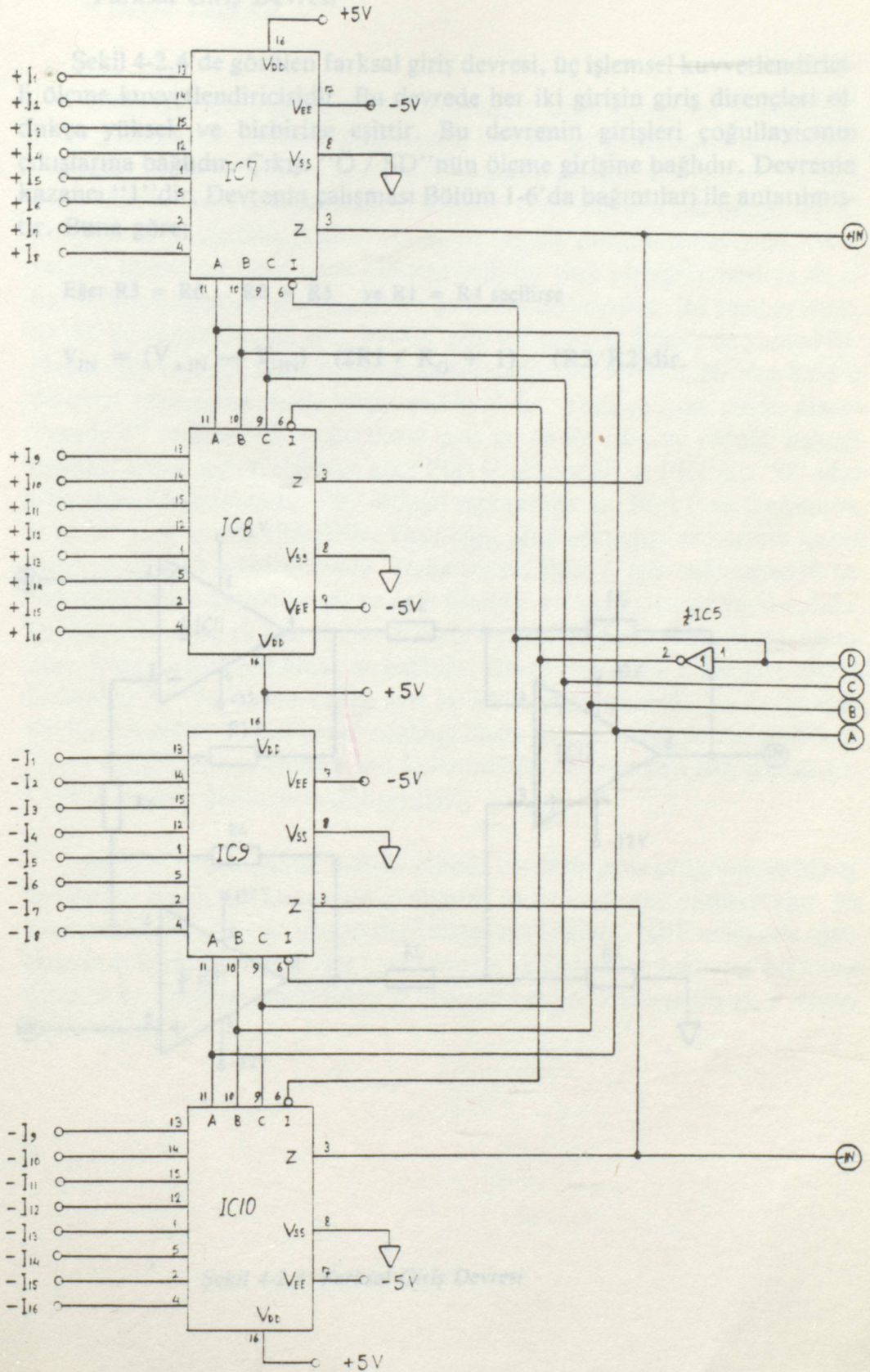
Bu kısma ait devre şeması Şekil 4-2.3'de görülmektedir. Burada 32 adet giriş ucu vardır. Farksal bir giriş sağladığı için, ilk 16'sı "+" geri kalanı "-" giriştir. Bu iş için dört adet 4051 (IC7, IC8, IC9, IC10) kullanılmıştır. A,B,C ve D olarak etiketlenmiş olan uçlar 8255'in Aportunun alt dört bitine bağlıdır. Kanal seçimi bilgisi bu porttan gönderiliyordu. Örneğin, porttan 3 kodu gönderilmiş olsun. A ve B etiketli girişler "1", C ve D ise "0" olacaktır. Bu durumda D "0" olduğundan IC7 ve IC9 seçilecektir. A ve B "1", C "0" olduğu için de +I3 ve -I3 seçilecektir. Böylece +IN olarak etiketlenmiş çıkışı, +I3, -IN olarak etiketlenmiş çıkışta de -I3 bulunacaktır. Bunlar da farksal ölçme kuvvetlendiricisinin "+" ve "-" girişlerine girerler.





Şekil 4-2.2: Dönüştürücü ve paralel arabirim devresi





Şekil 4-2.3: Çoğullayıcı devresi

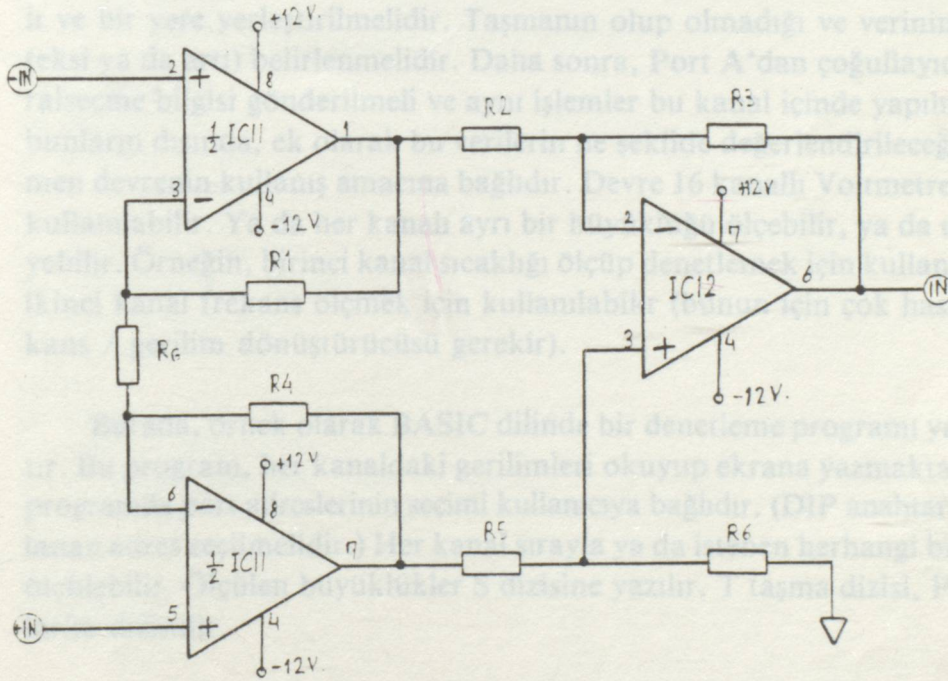


### • Farksal Giriş Devresi

Şekil 4-2.4'de görülen farksal giriş devresi, üç işlemsel kuvvetlendiricili ölçme kuvvetlendiricisidir. Bu devrede her iki girişin giriş dirençleri oldukça yüksek ve birbirine eşittir. Bu devrenin girişleri çoğullayıcının çıkışlarına bağlıdır. Çıkışı "Ö / SD"nın ölçme girişine bağlıdır. Devrenin kazancı "1"dir. Devrenin çalışması Bölüm 1-6'da bağıntıları ile anlatılmıştır. Buna göre;

Eğer  $R_3 = R_6$ ,  $R_2 = R_5$  ve  $R_1 = R_4$  seçilirse

$$V_{IN} = (V_{+IN} - V_{-IN}) (2R_1 / R_G + 1) (R_3/R_2) \text{dir.}$$



Şekil 4-2.4: Farksal Giriş Devresi



### • Devre Yazılımı

Bilgisayar için yapılan arabirim cihazları, çoğu zaman tek başlarına hiçbir işe yaramazlar. Onların bilgisayarla birlikte çalışabilmeleri için yazılım desteğine gerek vardır. Bu devre içinde yazılım gerekir. Bu yazılım, kullanıcının kartı ne amaçla kullanacağına bağlıdır. Aynı kart için çok değişik amaçlı programlar yazılabilir. Yalnız bütün bu değişik programların ortak yönü, verinin bilgisayar tarafından okunup belli bir yere yerleştirilmesi ya da cihazın bazı değişmez denetimlerinin gerçekleştirilmesidir. Bu yazılım makine dili ile yapılabileceği gibi, BASIC gibi üst seviyeli dillerle de yapılabilir. Hangi dille yazılırsa yazılınsın yapılacak iş aynıdır. Bu devrede, ilk önce 8255'in denetim yazmacına mode bilgisi yazılmalıdır. Yani çalışma modu olarak "mode 0" seçilmelidir ve portların giriş mi ya da çıkış mı olduğu belirtilmelidir. Daha sonra, devreye göre Port C okunmalı ve PC7'nin "0" olup olmadığına bakılmalıdır. "0" olduğu saptandığında, Port C ve B okunmalı ve bir yere yerleştirilmelidir. Taşmanın olup olmadığı ve verinin işareti (eksi ya da artı) belirlenmelidir. Daha sonra, Port A'dan çoğullayıcıya karaseçme bilgisi gönderilmeli ve aynı işlemler bu kanal içinde yapılmalıdır. bunların dışında, ek olarak bu verilerin ne şekilde değerlendirileceği tamamen devrenin kullanım amacına bağlıdır. Devre 16 kanallı Voltmetre olarak kullanılabilir. Ya da her kanalı ayrı bir büyüklüğü ölçebilir, ya da denetleyebilir. Örneğin, birinci kanal sıcaklığı ölçüp denetlemek için kullanılırken, ikinci kanal frekans ölçmek için kullanılabilir (bunun için çok hassas frekans / gerilim dönüştürücüsü gerekir).

Burada, örnek olarak BASIC dilinde bir denetleme programı yazılmıştır. Bu program, her kanaldaki gerilimleri okuyup ekrana yazmaktadır. Bu programda port adreslerinin seçimi kullanıcıya bağlıdır. (DIP anahtarla ayarlanan adres seçilmelidir.) Her kanal sırayla ya da istenen herhangi bir kanal ölçülebilir. Ölçülen büyüklükler S dizisine yazılır. T taşma dizisi, P de polarite dizisidir.



```

110 REM 12 bit'lik ADC KONTROL PROGRAMI
20 REM S=sonuc dizisi      T=tasma dizisi      P=polarite dizisi
30 DIM S(16),T(16),P(16)
40 INPUT "ARABIRIMIN YERLESTIGI YERIN BASLANGIC ADRESI (0300H-031CH) ",BADRES#
50 PORTA=VAL("&H"+BADRES#)
60 IF (PORTA>&H31C) OR (PORTA<&H300) THEN PRINT "ADRES HATASI  ",CHR$(7):GOTO 40
70 PORTB=PORTA+1
80 PORTC=PORTA+2
90 PORTK=PORTA+3
100 INPUT "BUTUN KANALLAR OLCULECEK MI (E/H) ",BK#
110 IF ASC(BK#)>72 THEN BK#=CHR$(ASC(BK#)-32)
120 IF BK#="E" OR BK#="H" THEN 130 ELSE 100
130 IF BK#="E" THEN K=1:KB=16:GOTO 170
140 IF BK#="H" THEN INPUT "HANGI KANAL OLCULECEK (1->16) ",KANAL
150 IF KANAL>16 OR KANAL<1 THEN 140
160 K=KANAL:KB=KANAL
170 OUT PORTK,&H8B
180 CLS:LOCATE 1,1:FOR KT=K TO KB
190 OUT PORTA,KT-1
200 DURUM=INP(PORTC)
210 PC7=PORTC AND &H80
220 IF PC7=&H80 THEN 210
230 SEKIZBIT=INP(PORTB)
240 DORTBIT=PORTC AND &HF
250 S(KT)=DORTBIT*256+SEKIZBIT
260 I(KT)=PORTC AND &H20
270 P(KT)=PORTC AND &H40
280 NEXT KT
290 FOR I=K TO KB
300 PRINT I;".KANAL=";S(I);
310 IF T(I)=&H20 THEN PRINT "TASMA VAR ";CHR$(7)
320 IF P(I)=&H40 THEN PRINT"POS" ELSE PRINT"NEG ";
330 PRINT
340 NEXT I
350 GOTO 180

```





**TSC7109**  
**12-Bit Plus Sign**  
**Integrating A/D Converter**  
 • BUS Compatible  
 • Serial Data Transmission w/UART

**General Description**

The TSC7109 is a 12-bit plus sign CMOS low power A/D Converter. The single CMOS IC contains all the necessary active devices to interface with microprocessors.

In direct mode, On-Chip Serial and High-Speed Data Transfer control parallel bus interface. In the handshake mode the TSC7109 will operate with industry standard UARTs in controlling serial data transmission. Ideal for remote data logging, Control and monitoring of equipment timing is provided by the Pulse-Width and STATUS outputs. The TSC7109 requires only the addition of a single external component plus a crystal to operate as a full-scale integrating A/D converter. The TSC7109 has features that make it an attractive peripheral alternative to analog multiplexing for many data acquisition applications. These features include typical input bias current of 10nA, offset less than 1.0mV, 100% linearity, True differential mode, and bridge-type structures such as load cells, strain gauges and thermocouple transducers.

For applications requiring more resolution see the TSC610, 15-bit plus sign data sheet.

**Ordering Information**

Part No.	Package	Temp. Range
TSC7109CP	40-Pin Plastic Dip	0°C to +70°C
TSC7109CPN	40-Pin Plastic Dip	0°C to +70°C
TSC7109CJ	40-Pin Cd-DIP	-25°C to +85°C
TSC7109CJA	40-Pin Cd-DIP	-25°C to +85°C
TSC7109CJG	40-Pin Cd-DIP	-55°C to +125°C

**Features**

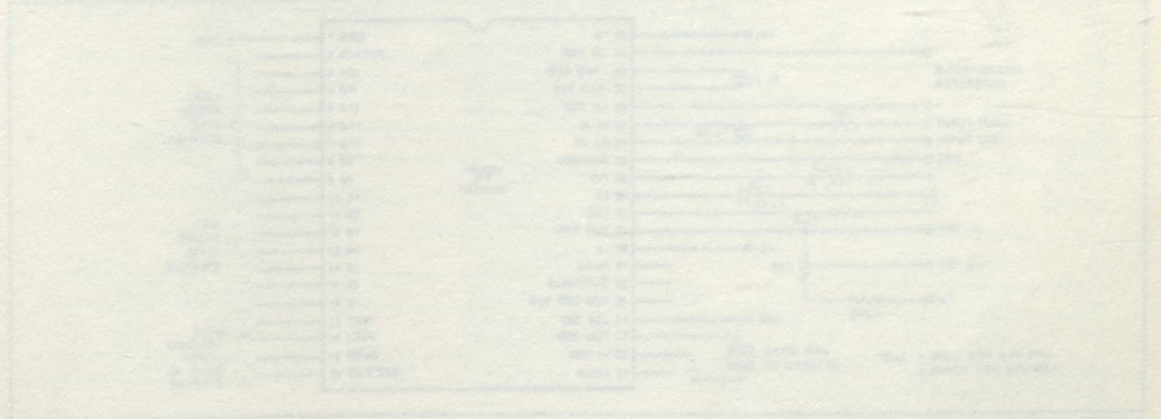
- 12-Bit Plus Sign Integrating A/D Converter with Overrange Indication
- Sign Magnitude Coding Format
- True Differential Signal Input and Differential Reference Input
- Low Noise - Typically 15µVpp
- High Normal Mode Noise and Line Frequency Rejection
- 1.0µA Typical Input Current
- No Zero Adjustment
- I<sup>2</sup>C Compatible Serial Greenfield Tri-State Output
- UART Handshake Mode for Serial Serial Data Transmission
- On-Chip Bus Connection for 5 or 15-Bit Bus - 4096 Word Crystal Provides 7.5 Conversions Per Second for 10 µs Resolution - External 4096-Word Provides up to 50 Conversions Per Second
- Power Dissipation Typically Less Than 20mW
- 5VCMOS Voltage Reference

**EK-1 KATALOG BİLGİLERİ**

Part No.	Package	Temp. Range
TSC7109CBO	40-Pin Plastic Dip Package	0°C to +70°C
TSC7109CBO	40-Pin Plastic Dip Package	0°C to +70°C

Device Available with 100 Hour, +125°C Supply

Fig. 1. TSC7109 (see Figure 1 for typical connections to A-DART or Microcomputer)









12-Bit Plus Sign  
Integrating A/D Converter  
• BUS Compatible

TSC7109

12-Bit Plus Sign  
Integrating A/D Converter  
• BUS Compatible

• Serial Data Transmission w/UART

### Absolute Maximum Ratings

Positive Supply Voltage (GND to $V^+$ )	.....	+6.2 V
Negative Supply Voltage (GND to $V^-$ )	.....	-9 V
Analog Input Voltage (LOW or HIGH) (Note 1)	... $V^+$ to $V^-$	
Reference Input Voltage (LOW or HIGH) (Note 1)	.. $V^+$ to $V^-$	
Digital Input Voltage (Pins 2-27) (Note 2)	.....	GND -0.3 V
Power Dissipation (Note 3)		
Ceramic Package	.....	1 W @ +85°C
Plastic Package	.....	500 mW @ +70°C
Operating Temperature		
Ceramic Package (M)	.....	-55°C ≤ $T_A$ ≤ +125°C
(I)	.....	-25°C ≤ $T_A$ ≤ +85°C
Plastic Package (C)	.....	0°C ≤ $T_A$ ≤ +70°C
Storage Temperature	.....	-55°C ≤ $T_A$ ≤ +125°C
Lead Temperature (Soldering, 60 sec.)	.....	+300°C

This device contains circuitry to protect the inputs from damage due to high static voltage or electric fields. It is advised that voltages greater than those listed

under absolute maximum ratings, may cause permanent damage to the devices. Normal precautions should be taken to avoid application of any voltage higher than maximum ratings.

#### Notes:

1. Input voltages may exceed the supply voltages if the input current is limited to  $\pm 100 \mu\text{A}$ .
2. Connecting any digital inputs or outputs to voltages greater than  $V^+$  or less than GND may cause destructive device latchup. Therefore, it is recommended that inputs from sources other than the same power supply should not be applied to the TSC7109 before its power supply is established. In multiple supply systems, the supply to the TSC7109 should be activated first.
3. This limit refers to that of the package and will not occur during the normal operation.
4. **HANDLING PRECAUTIONS:** These devices are CMOS and must be handled correctly to prevent damage. Package and store only in conductive foam, anti-static tubes or other conducting material. Use proper anti-static handling procedures. Do not connect in circuits under "power-on" conditions, as high transients may cause permanent damage.

**Electrical Characteristics:** All parameters with  $V^+ = +5\text{V}$ ,  $V^- = -5\text{V}$ , GND = 0 V,  $T_A = 25^\circ\text{C}$ , unless otherwise indicated. Test circuit as shown on page 1.

TYPE	NO.	SYMBOL	PARAMETER	TEST CONDITIONS	TSC7109			UNIT
					MIN	TYP	MAX	
	1		Zero Input Reading	$V_{IN} = 0\text{V}$ Full-Scale = 409.6 mV	-0000 <sub>8</sub>	±0000 <sub>8</sub>	+0000 <sub>8</sub>	Octal Reading
	2		Ratiometric Reading	$V_{IN} = V_{REF}$ $V_{REF} = 204.8\text{mV}$	3777 <sub>8</sub>	3777 <sub>8</sub> 4000 <sub>8</sub>	4000 <sub>8</sub>	Octal Reading
	3	NL	Non-Linearity (Max. Deviation From Best Straight Line Fit)	Full-Scale = 409.6 mV to 4.096 V Over Full Operating Temp. Range.	-1	±2	+1	Counts
	4		Roll-Over Error (Difference in Reading for Equal Pos. and Neg. Inputs Near Full-Scale)	Full-Scale = 409.6 mV to 4.096 V Over Full Operating Temp. Range.	-1	±2	+1	Counts
	5	CMRR	Input Common-Mode Rejection Ratio	$V_{CM} \pm 1\text{V}$ , $V_{IN} = 0\text{V}$ Full-Scale = 409.6 mV	—	50	—	$\mu\text{V/V}$
A	6	VCMR	Common-Mode Range	Input High, Input Low, Common	$V^- - 1.5$	—	$V^+ - 1.0$	V
N	7		Noise (p-p value not Exceeded 95% of Time)	$V_{IN} = 0\text{V}$ Full-Scale = 409.6 mV	—	15	—	$\mu\text{V}$
A	8	$I_{IN}$	Leakage Current at Input TSC7109	$V_{IN} = 0$ All Packages 25°C	—	1	10	pA
L				TSC7109CPL 0°C ≤ $T_A$ ≤ +70°C	—	20	100	pA
O				TSC7109IJL -25°C ≤ $T_A$ ≤ +85°C	—	100	250	pA
G				TSC7109MJL -55°C ≤ $T_A$ ≤ +125°C	—	2	5	nA
	9	$I_{IN}$	Leakage Current at Input TSC7109B	$V_{IN} = 0$ All Packages 25°C TSC7109BCPL 0°C ≤ $T_A$ ≤ +70°C TSC7109BIJL -25°C ≤ $T_A$ ≤ +85°C	—	—	500 750	pA pA
	10	TC <sub>ZS</sub>	Zero Reading Drift	$V_{IN} = 0\text{V}$	—	0.2	1	$\mu\text{V}/^\circ\text{C}$
	11	TC <sub>FS</sub>	Scale Factor Temperature Coefficient	$V_{IN} = 408.9\text{mV} > 7770_8$ Reading Ext. Ref. 0 ppm/°C	—	1	5	ppm/°C
	12	$I^+$	Supply Current $V^+$ to GND	$V_{IN} = 0$ , Crystal Osc. 3.58 MHz Test Circuit	—	700	1500	$\mu\text{A}$
	13	$I_{SUPP}$	Supply Current $V^-$ to $V^-$	Pins 2-21, 25, 26, 27, 29, Open	—	700	1500	$\mu\text{A}$
	14	$V_{REF}$	Ref Out Voltage	Referred to $V^+$ , 25 k $\Omega$ Between $V^+$ and Ref Out	-2.4	-2.8	-3.2	V
	15	TC <sub>REF</sub>	Ref Out Temp. Coefficient	25 k $\Omega$ Between $V^+$ and Ref Out	—	50	—	ppm/°C



**12-Bit Plus Sign  
Integrating A/D Converter**  
 • BUS Compatible  
 • Serial Data Transmission w/UART

12-Bit Plus Sign  
Integrating A/D Converter  
TSC7109

**Electrical Characteristics:** All parameters with  $V^+ = -5V$ ,  $V^- = -5V$ ,  $GND = 0V$ ,  $T_A = 25^\circ C$ , unless otherwise indicated.  
 Test circuit as shown on page 1.

TYPE	NO.	SYMBOL	PARAMETER	TEST CONDITIONS	TSC7109			UNIT
					MIN	TYP	MAX	
DIGITAL	16	$V_{OH}$	Output High Voltage	$I_{OUT} = 100 \mu A$ Pins 2-16, 18, 19, 20	3.5	4.3	—	V
	17	$V_{OL}$	Output Low Voltage	$I_{OUT} = 1.6 mA$	—	0.2	0.4	V
	18		Output Leakage Current	Pins 3-16 High Impedance	—	$\pm 0.1$	$\pm 1$	$\mu A$
	19		Control I/O Pullup Current	Pins 18, 19, 20 $V_{OUT} = V^+$ -3 V MODE Input at GND	—	5	—	$\mu A$
	20		Control I/O Loading	HBEN Pin 19 LBEN Pin 16	—	—	50	pF
	21	$V_{IH}$	Input High Voltage	Pins 18-21, 26, 27 referred to GND	2.5	—	—	V
	22	$V_{IL}$	Input Low Voltage	Pins 18-21, 26, 27 Referred to GND	—	—	1	V
	23		Input Pullup Current	Pins 26, 27 $V_{OUT} = V^+ - 3V$	—	5	—	$\mu A$
	24		Input Pullup Current	Pins 17, 24 $V_{OUT} = V^+ - 3V$	—	25	—	$\mu A$
	25		Input Pulldown Current	Pin 21, $V_{OUT} = GND - 3V$	—	5	—	$\mu A$
	26	$O_{OH}$	Oscillator Output High	$V_{OUT} = 2.5V$	—	1	—	mA
		$O_{OL}$	Oscillator Output Low	$V_{OUT} = 2.5V$	—	1.5	—	mA
27	$BO_{OH}$	Buffered Oscillator High	$V_{OUT} = 2.5V$	—	2	—	mA	
	$BO_{OL}$	Buffered Oscillator Low	$V_{OUT} = 2.5V$	—	5	—	mA	
28	$t_w$	MODE Input Pulse Width		50	—	—	ns	

### Pin Description

40-Pin DIP Pin Number Normal/(Reverse)	60-Pin Flat Package Pin Number	Name	Description	
1	9	GND	Digital Ground, 0 V, Ground Return for all digital logic.	
2	10	STATUS	Output High during integrate and deintegrate until data is latched. Output Low when analog section is in Auto-Zero configuration.	
3	11	POL	Polarity — High for Positive Input.	All three state output data bits
4	12	OR	Overrange — High if Overranged	
5	13	B <sub>12</sub>	Bit 12 (Most Significant Bit)	
6	18	B <sub>11</sub>	Bit 11.	
7	19	B <sub>10</sub>	Bit 10.	
8	20	B <sub>9</sub>	Bit 9.	
9	21	B <sub>8</sub>	Bit 8.	
10	22	B <sub>7</sub>	Bit 7.	
11	24	B <sub>6</sub>	Bit 6.	
12	25	B <sub>5</sub>	Bit 5.	
13	26	B <sub>4</sub>	Bit 4.	
14	27	B <sub>3</sub>	Bit 3.	
15	28	B <sub>2</sub>	Bit 2.	
16	33	B <sub>1</sub>	Bit 1 (Least Significant Bit).	
17	34	TEST	Input High — Normal Operation. Input Low — Forces all bit outputs high. Note: This input is used for test purposes only.	



12-Bit Plus Sign  
Integrating A/D Converter  
TSC7109

12-Bit Plus Sign  
Integrating A/D Converter  
• BUS Compatible  
• Serial Data Transmission w/UART

### Pin Description (Cont.)

40-Pin DIP Pin Number Normal/(Reverse)	80-Pin Flat Package Pin Number	Name	Description
18	35	$\overline{\text{LBEN}}$	Low Byte Enable — With MODE (Pin 21) low, and $\overline{\text{CE/LOAD}}$ (Pin 20) low, taking this pin low activates low order byte outputs B1-B8. With MODE (Pin 21) high, this pin serves as low byte flag output used in handshake mode. See Figures 7, 8, 9.
19	36	$\overline{\text{HBEN}}$	High Byte Enable — With MODE (Pin 21) low, and $\overline{\text{CE/LOAD}}$ (Pin 20) low, taking this pin low activates high order byte outputs B9-B12. POL, OR. With MODE (Pin 21) high, this pin serves as high byte flag output used in handshake mode. See Figures 7, 8, 9.
20	37	$\overline{\text{CE/LOAD}}$	Chip Enable Load — With MODE (Pin 21) low, $\overline{\text{CE/LOAD}}$ serves as a master output enable. When high, B1-B12, POL, OR outputs are disabled. When MODE (Pin 21) low, a load strobe used in handshake mode. See Figures 7, 8, 9.
21	39	MODE	Input Low — Direct output mode where $\overline{\text{CE/LOAD}}$ (Pin 20), $\overline{\text{HBEN}}$ (Pin 19) and $\overline{\text{LBEN}}$ (Pin 18) act as inputs directly controlling byte outputs. Input Pulsed High — Causes immediate entry into handshake mode and output of data as in Figure 9. Input High — Enables $\overline{\text{CE/LOAD}}$ (Pin 20), $\overline{\text{HBEN}}$ (Pin 19), and $\overline{\text{LBEN}}$ (Pin 18) as outputs, handshake mode will be entered and data output as in Figures 7 and 8 at conversions completion.
22	40	OSC IN	Oscillator Input
23	41	OSC OUT	Oscillator Output
24	42	OSC SEL	Oscillator Select — Input high configures OSC IN, OSC OUT, BUF OSC OUT as RC oscillator — clock will be same phase and duty cycle as BUF OSC OUT. Input low configures OSC IN, OSC OUT for crystal oscillator — clock frequency will be 1/58 of frequency at BUF OSC OUT.
25	43	BUF OSC OUT	Buffered Oscillator Output.
26	48	$\overline{\text{RUN/HOLD}}$	Input High — Conversions continuously performed every 8192 clock pulses. Input Low — Conversion in progress completed, converter will stop in Auto-Zero seven counts before integrate
27	49	SEND	Input — Used in handshake mode to indicate ability of an external device to accept data. Connect to $V_S$ if not used
28	50	$V^-$	Analog Negative Supply — Nominally -5 V with respect to GND (Pin 1).
29	51	REF OUT	Reference Voltage Output — Nominally 2.8 V down from $V^+$ (Pin 40)
30	52	BUFFER	Buffer Amplifier Output.
31	54	AUTO-ZERO	Auto-Zero Node — Inside foil of $C_{AZ}$ .
32	55	INTEGRATOR	Integrator Output — Outside foil of $C_{INT}$ .
33	56	COMMON	Analog Common — System is Auto-Zeroed to COMMON.
34	57	INPUT LOW	Differential Input Low Side
35	59	INPUT HIGH	Differential Input High Side
36	1	REF IN +	Differential Reference Input Positive
37	3	REF CAP +	Reference Capacitor Positive
38	5	REF CAP -	Reference Capacitor Negative
39	6	REF IN -	Differential Reference Input Negative
40	7	$V^+$	Positive Supply Voltage — Nominally -5 V with respect to GND (Pin 1).

NOTE: All digital levels are positive true







12-Bit Plus Sign  
Integrating A/D Converter  
TSC7109

12-Bit Plus Sign  
Integrating A/D Converter  
• BUS Compatible  
• Serial Data Transmission w/UART

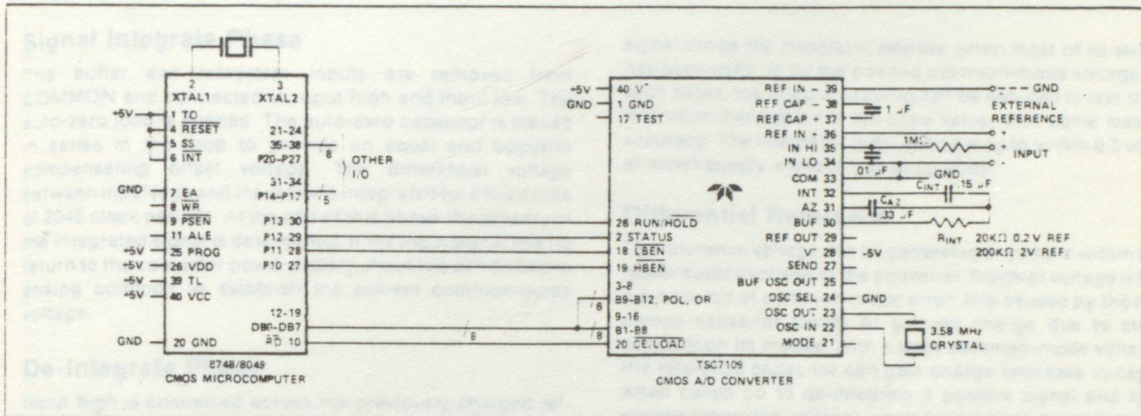


Figure 1B: TSC7109 Parallel Interface with 8048/8049 Microcomputer

Detailed Description

Analog Section

Figure 2 shows a block diagram of the Analog Section of the TSC7109. The circuit will perform conversions at a rate determined by the clock frequency (8192 clock periods per cycle), when the RUN/HOLD input is left open or connected to V+. Each measurement cycle is divided into three phases as shown in Figure 3. They are: (1) Auto-Zero (AZ), (2) Signal Integrate (INT), (3) Reference Deintegrate (DE).

Auto-Zero Phase

The buffer and the integrator inputs are disconnected from input high and input low and connected to analog common. The reference capacitor is charged to the reference voltage. A feedback loop is closed around the system to charge the auto-zero capacitor, CAZ, to compensate for offset voltage in the buffer amplifier, integrator, and comparator. Since the comparator is included in the loop, the A-Z accuracy is limited only by the noise of the system. The offset referred to the input is less than 10 μV.

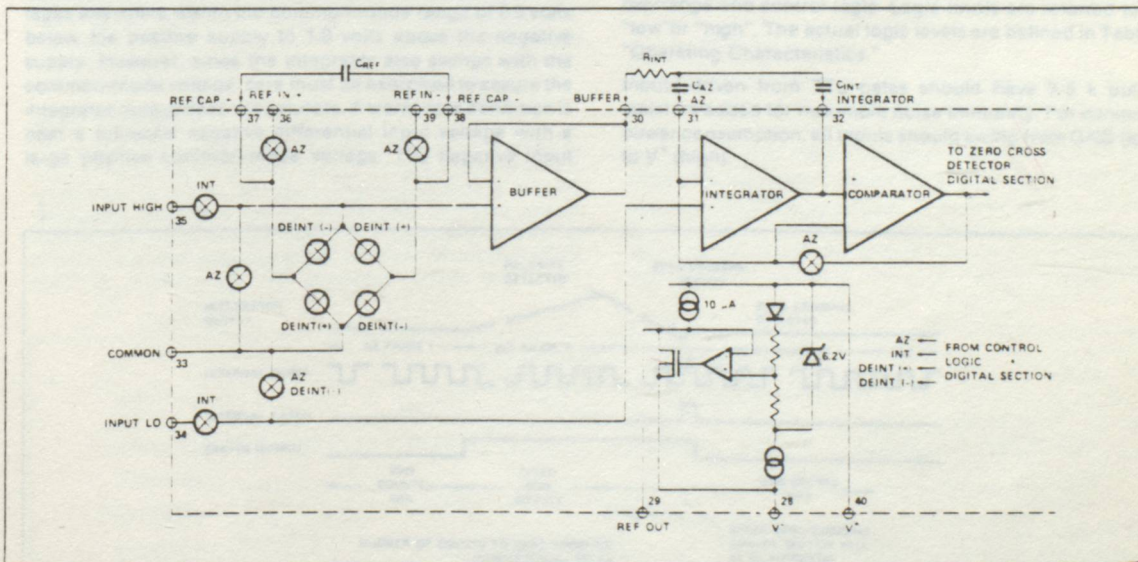


Figure 2: Analog Section



## 12-Bit Plus Sign Integrating A/D Converter

- BUS Compatible
- Serial Data Transmission w/UART

12-Bit Plus Sign  
Integrating A/D Converter  
• BUS Compatible  
• Serial Data Transmission

TSC7109

### Signal Integrate Phase

The buffer and integrator inputs are removed from COMMON and connected to input high and input low. The auto-zero loop is opened. The auto-zero capacitor is placed in series in the loop to provide an equal and opposite compensating offset voltage. The differential voltage between input high and input low is integrated for a fixed time of 2048 clock periods. At the end of this phase, the polarity of the integrated signal is determined. If the input signal has no return to the converter power supply, input low can be tied to analog common to establish the correct common-mode voltage.

### De-Integrate Phase

Input high is connected across the previously charged reference capacitor and input low is internally connected to analog common. Circuitry within the chip ensures that the capacitor will be connected with the correct polarity to cause the integrator output to return to the zero crossing (established by AUTO-ZERO) with a fixed slope. The time, represented by the number of clock periods counted for the output to return to zero, is proportional to the input signal.

### Differential Input

The TSC7109 has been optimized for operation with analog-common near digital ground. With +5 V and -5 V power supplies, a full  $\pm 4$  V full-scale integrator swing maximizes the analog section's performance.

A typical CMRR of 86 dB is achieved for input differential voltages anywhere within the common-mode range of 0.5 volts below the positive supply to 1.0 volts above the negative supply. However, since the integrator also swings with the common-mode voltage, care must be exercised to assure the integrator output does not saturate. A worst case condition is near a full-scale negative differential input voltage with a large positive common-mode voltage. The negative input

signal drives the integrator positive when most of its swing has been used up by the positive common-mode voltage. In such cases, the integrator swing can be reduced to less than the recommended  $\pm 4$  V full-scale value, with some loss of accuracy. The integrator output can swing to within 0.3 volts of either supply without loss of linearity.

### Differential Reference

The reference voltage can be generated anywhere within the power supply voltage of the converter. Rollover voltage is the main source of common-mode error. It is caused by the reference capacitor losing or gaining charge due to stray capacity on its nodes. With a large common-mode voltage, the reference capacitor can gain charge (increase voltage) when called up to de-integrate a positive signal and lose charge (decrease voltage) when called up to de-integrate a negative input signal. This difference in reference for (+) or (-) input voltage will cause a roll-over error. This error can be held to less than 0.5 count worst case by using a large reference capacitor in comparison to the stray capacitance. To minimize roll-over error from these above sources keep the reference common-mode voltage near or at analog common.

### Digital Section

The digital section is shown in block diagram Figure 4 and includes the clock oscillator and scaling circuit, a 12-bit binary counter with output latches and TTL-compatible three-state output drivers, UART handshake logic, polarity, overrange and control logic. Logic levels are referred to as "low" or "high". The actual logic levels are defined in Table 1 "Operating Characteristics."

Inputs driven from TTL gates should have 3-5 k pullup resistors added for maximum noise immunity. For minimum power consumption, all inputs should swing from GND (low) to  $V^+$  (high).

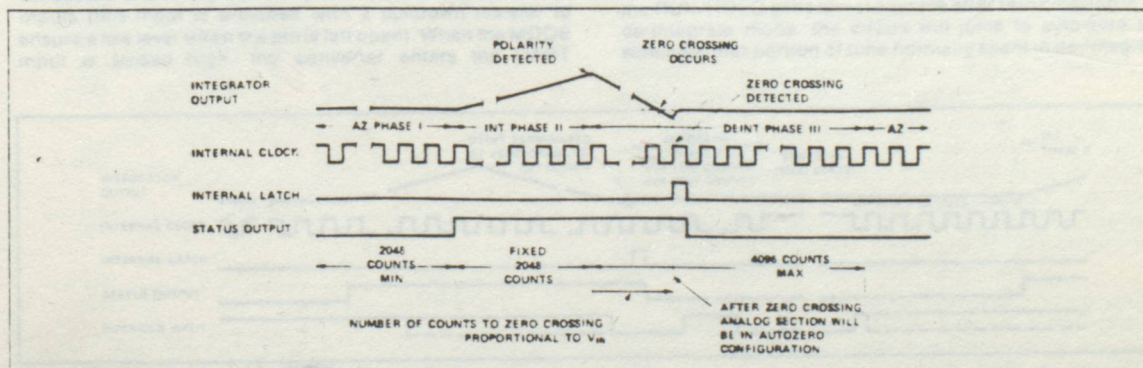


Figure 3: Conversion Timing (RUN/HOLD Pin High)



12-Bit Plus Sign  
Integrating A/D Converter  
• BUS Compatible  
TSC7109

12-Bit Plus Sign  
Integrating A/D Converter  
• BUS Compatible  
• Serial Data Transmission w/UART

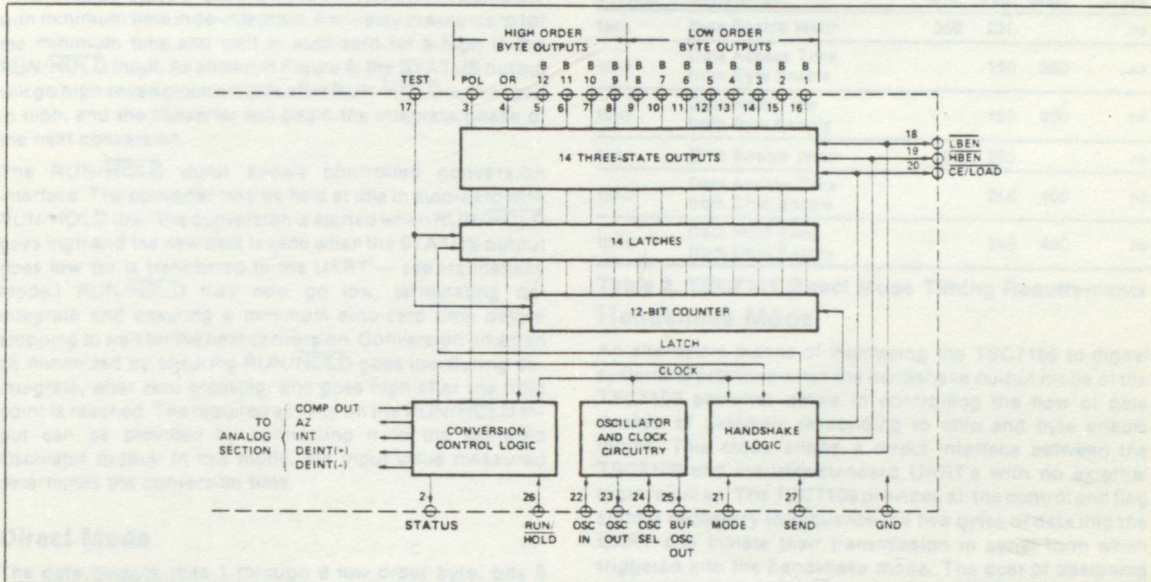


Figure 4: Digital Section

**STATUS Output**

During a conversion cycle, the STATUS output goes high at the beginning of Signal Integrate and goes low one-half clock period after new data from the conversion has been stored in the output latches. See Figure 3. The signal may be used as a "data valid" flag to drive interrupts, or for monitoring the status of the converter. (Data will not change while STATUS is low).

**MODE Input**

The output mode of the converter is controlled by the MODE input. The converter is in its "Direct" output mode, when the MODE pin is low or left open. The output data is directly accessible under the control of the chip and byte enable inputs (this input is provided with a pulldown resistor to ensure a low level when the pin is left open). When the MODE input is pulsed high, the converter enters the UART

handshake mode and outputs the data in two bytes, then returns to "direct" mode. When the MODE input is kept high, the converter will output data in the handshake mode at the end of every conversion cycle with MODE = 0 (Direct BUS Transfer) the send input should be tied to V+. (See Handshake Mode Section).

**RUN/HOLD Input**

With RUN/HOLD high or open, the circuit operates normally as a dual slope A/D as shown in Figure 3. Conversion cycles operate continuously with the output latches updated after zero crossing in the de-integrate mode. An internal pullup resistor is provided to insure a high level with an open input.

The RUN/HOLD may be used to shorten conversion time. If the RUN/HOLD goes low at anytime after zero crossing in the de-integrate mode, the circuit will jump to auto-zero and eliminate that portion of time normally spent in de-integrate.

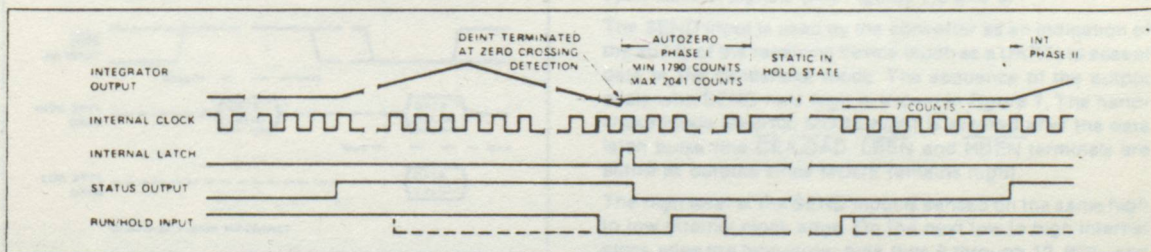


Figure 5: TSC7109 RUN/HOLD Operation



## 12-Bit Plus Sign Integrating A/D Converter

- BUS Compatible
- Serial Data Transmission w/UART

If RUN/HOLD stays or goes low the conversion will complete with minimum time in de-integrate. It will stay in auto-zero for the minimum time and wait in auto-zero for a high in the RUN/HOLD input. As shown in Figure 5, the STATUS output will go high seven clock periods after RUN/HOLD is changed to high, and the converter will begin the integrate phase of the next conversion.

The RUN/HOLD input allows controlled conversion interface. The converter may be held at idle in auto-zero with RUN/HOLD low. The conversion is started when RUN/HOLD goes high and the new data is valid when the STATUS output goes low (or is transferred to the UART — see Handshake Mode.) RUN/HOLD may now go low, terminating de-integrate and ensuring a minimum auto-zero time before stopping to wait for the next conversion. Conversion time can be minimized by ensuring RUN/HOLD goes low during de-integrate, after zero crossing, and goes high after the hold point is reached. The required activity on the RUN/HOLD input can be provided by connecting it to the Buffered Oscillator output. In this mode, the input value measured determines the conversion time.

### Direct Mode

The data outputs (bits 1 through 8 low order byte, bits 9 through 12, polarity and overrange high order byte) are accessible under control of the byte and chip enable terminals as inputs with the MODE pin at a low level. These three inputs are all active low. Internal pullup resistors are provided for an inactive high level when left open. When the chip enable input is low, a byte enable input low will allow the outputs of that byte to become active. A variety of parallel data accessing techniques may be used, as shown in the section entitled "Interfacing." (See Figure 6 and Table 3)

The access of data should be synchronized with the conversion cycle by monitoring the STATUS output. This will prevent accessing the data while it is being updated and eliminate the acquisition of erroneous data.

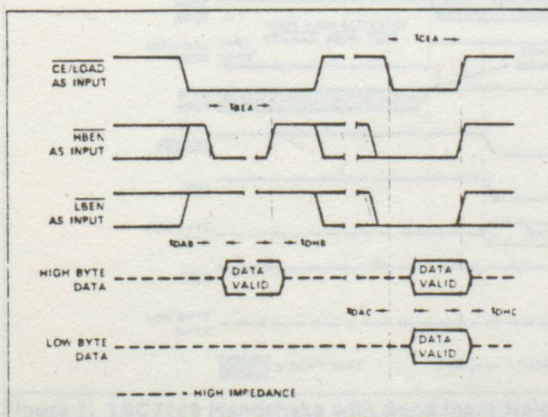


Figure 6: TSC7109 Direct Mode Output Timing

## TSC7109

Symbol	Description	Min.	Typ.	Max.	Units
$t_{BEA}$	Byte Enable Width	350	220		ns
$t_{DAB}$	Data Access Time from Byte Enable		150	350	ns
$t_{DHE}$	Data Hold Time from Byte Enable		150	300	ns
$t_{CEA}$	Chip Enable Width	400	260		ns
$t_{DAC}$	Data Access Time from Chip Enable		260	400	ns
$t_{DHC}$	Data Hold Time from Chip Enable		240	400	ns

Table 3. TSC7109 Direct Mode Timing Requirements Handshake Mode

An alternative means of interfacing the TSC7109 to digital systems is provided when the handshake output mode of the TSC7109 becomes active in controlling the flow of data instead of passively responding to chip and byte enable inputs. This mode allows a direct interface between the TSC7109 and industry-standard UART's with no external logic required. The TSC7109 provides all the control and flag signals necessary to sequence the two bytes of data into the UART and initiate their transmission in serial form when triggered into the handshake mode. The cost of designing remote data acquisition stations is reduced using serial data transmission to minimize the number of lines to the central controlling processor.

The MODE pin controls the handshake mode. When the MODE terminal is held high, the TSC7109 will enter the handshake mode after new data has been stored in the output latches at the end of every conversion performed (see Figures 7 and 8). Entry into the handshake mode may be triggered on demand by the MODE terminal. At any time during the conversion cycle, the low to high transition of a short pulse at the MODE input will cause immediate entry into the handshake mode. If this pulse occurs while new data is being stored, the entry into handshake mode is delayed until the data is stable. The MODE input is ignored in the handshake mode, and until the converter completes the output cycle and clears the handshake mode data updating will be inhibited (see Figure 9).

When the MODE input is high or when the converter enters the handshake mode, the chip and byte enable terminals become TTL-compatible outputs which provide the output cycle control signals (see Figures 7, 8 and 9).

The SEND input is used by the converter as an indication of the ability of the receiving device (such as a UART) to accept data in the handshake mode. The sequence of the output cycle with SEND held high is shown in Figure 7. The handshake mode (internal MODE high) is entered after the data latch pulse (the CE/LOAD, LBEN and HBEN terminals are active as outputs since MODE remains high).

The high level at the SEND input is sensed on the same high to low internal clock edge. On the next low to high internal clock edge the high-order byte (bits 9 through 12, POL and OR) outputs are enabled and the CE/LOAD and the HBEN



12-Bit Plus Sign  
Integrating A/D Converter  
Compatible

## TSC7109

12-Bit Plus Sign  
Integrating A/D Converter  
• BUS Compatible

## • Serial Data Transmission w/UART

outputs assume a low level. The  $\overline{CE}/\overline{LOAD}$  output remains low for one full internal clock period only; the data outputs remain active for 1-1/2 internal clock periods; and the high byte enable remains low for two clock periods. The  $\overline{CE}/\overline{LOAD}$  output low level or low to high edge may be used as a synchronizing signal to ensure valid data, and the byte enable as an output may be used as a byte identification flag. With  $\overline{SEND}$  remaining high the converter completes the output cycle using  $\overline{CE}/\overline{LOAD}$  and  $\overline{LBEN}$  while the low order byte outputs (bits 1 through 8) are activated. When both bytes are sent the handshake mode is terminated. The typical UART interfacing timing is shown in Figure 8. The  $\overline{SEND}$  input is used to delay portions of the sequence, or handshake to ensure correct data transfer. This timing diagram shows an industry-standard HD6402 or CDP1854 CMOS UART to interfacing serial data channels. The  $\overline{SEND}$  input to the TSC7109 is driven by the TBRE (Transmitter Buffer Register Empty) output of the UART, and the  $\overline{CE}/\overline{LOAD}$  terminal of the TSC7109 drives the TBRL (Transmitter Buffer Register Load) input to the UART. The eight transmitter Buffer Register inputs accept the parallel data outputs. With the UART Transmitter Buffer Register empty, the  $\overline{SEND}$  input will be high when the handshake mode is entered after new data is stored. The high order byte outputs become active and the  $\overline{CE}/\overline{LOAD}$  and  $\overline{HBEN}$  terminals will go low after  $\overline{SEND}$  is sensed. When  $\overline{CE}/\overline{LOAD}$  goes high at the end of one clock period, the high order byte data is clocked into the UART Transmitter Buffer Register. The UART TBRE output will go low, which halts the output cycle with the  $\overline{HBEN}$

output low, and the high order byte outputs active. When the UART has transferred the data to the Transmitter Register and cleared the Transmitter Buffer Register, the TBRE returns high. The high order byte outputs are disabled on the next TSC7109 internal clock high to low edge, and one-half internal clock later, the  $\overline{HBEN}$  output returns high. The  $\overline{CE}/\overline{LOAD}$  and  $\overline{LBEN}$  outputs go low at the same time as the low order byte outputs become active. When the  $\overline{CE}/\overline{LOAD}$  returns high at the end of one clock period, the low order data is clocked into the UART Transmitter Buffer Register, and TBRE again goes low. The next TSC7109 internal clock high to low edge will sense when TBRE returns to a high, disabling the data outputs. One-half internal clock later, the handshake mode is cleared, and the  $\overline{CE}/\overline{LOAD}$ ,  $\overline{HBEN}$  and  $\overline{LBEN}$  terminals return high and stay active, if  $\overline{MODE}$  still remains high.

Handshake output sequences may be performed on demand by triggering the converter into handshake mode with a low to high edge on the  $\overline{MODE}$  input. A handshake output sequence triggered is shown in Figure 9. The  $\overline{SEND}$  input is low when the converter enters handshake mode. The whole output sequence is controlled by the  $\overline{SEND}$  input, and the sequence for the first (high order) byte is similar to the sequence for the second byte.

This diagram also shows that the output sequence takes longer than a conversion cycle. New data will not be latched when the handshake mode is still in progress and is therefore lost.

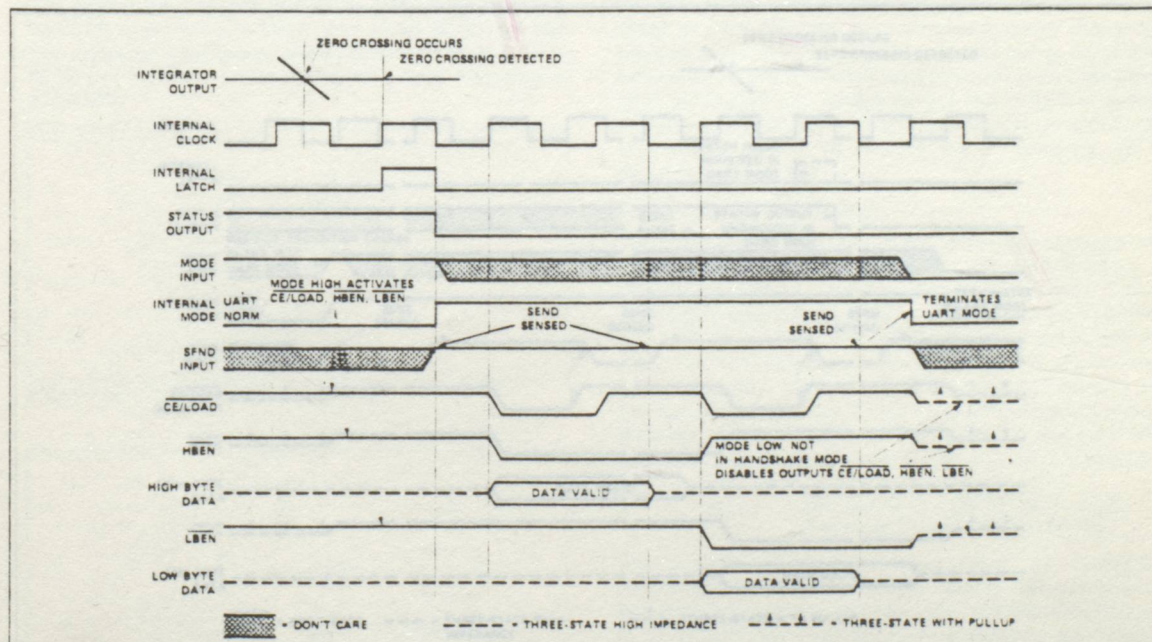


Figure 7: TSC7109 Handshake with Send Input Held Positive



**12-Bit Plus Sign  
Integrating A/D Converter**  
 • BUS Compatible  
 • Serial Data Transmission w/UART

TSC7109

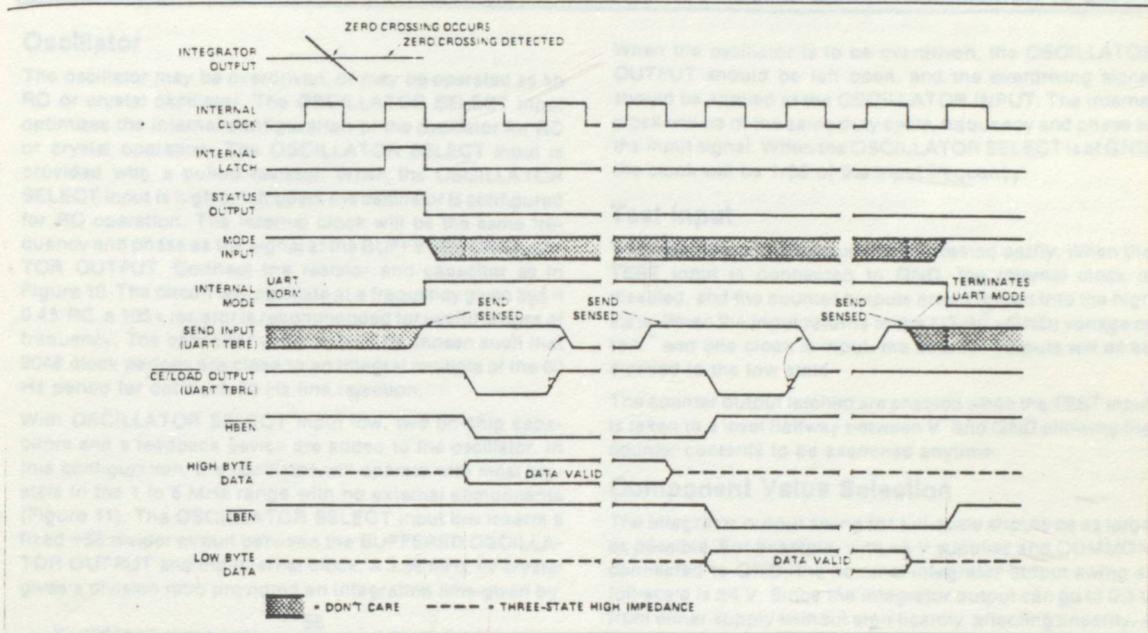


Figure 8: TSC7109 Handshake — Typical UART Interface Timing

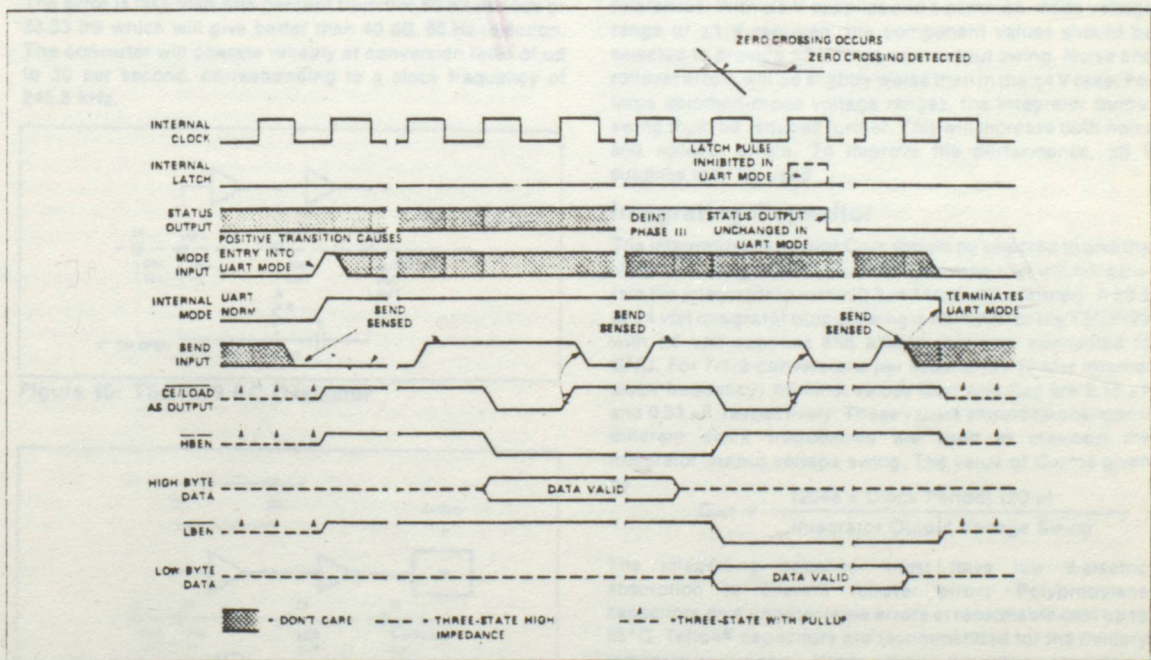


Figure 9: TSC7109 Handshake Triggered by Mode Input



12-Bit Plus Sign  
Integrating A/D Converter  
• BUS Compatible  
• Serial Data Transmission w/UART

## TSC7109

### Oscillator

The oscillator may be overdriven, or may be operated as an RC or crystal oscillator. The OSCILLATOR SELECT input optimizes the internal configuration of the oscillator for RC or crystal operation. The OSCILLATOR SELECT input is provided with a pullup resistor. When the OSCILLATOR SELECT input is high or left open, the oscillator is configured for RC operation. The internal clock will be the same frequency and phase as the signal at the BUFFERED OSCILLATOR OUTPUT. Connect the resistor and capacitor as in Figure 10. The circuit will oscillate at a frequency given by  $f = 0.45/RC$ , a 100 k resistor is recommended for useful ranges of frequency. The capacitor value should be chosen such that 2048 clock periods are close to an integral multiple of the 60 Hz period for optimum 60 Hz line rejection.

With OSCILLATOR SELECT input low, two on-chip capacitors and a feedback device are added to the oscillator. In this configuration, the oscillator will operate with most crystals in the 1 to 5 MHz range with no external components (Figure 11). The OSCILLATOR SELECT input low inserts a fixed +58 divider circuit between the BUFFERED OSCILLATOR OUTPUT and the internal clock. A 3.58 MHz TV crystal gives a division ratio providing an integration time given by:

$$T = (2048 \text{ clock periods}) \frac{58}{3.58 \text{ MHz}} = 33.18 \text{ ms}$$

The error is less than one percent from two 60 Hz periods or 33.33 ms which will give better than 40 dB, 60 Hz rejection. The converter will operate reliably at conversion rates of up to 30 per second, corresponding to a clock frequency of 245.8 kHz.

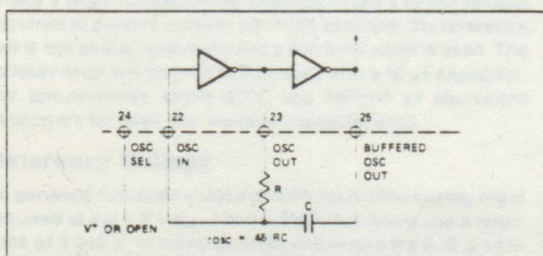


Figure 10: TSC7109 RC Oscillator

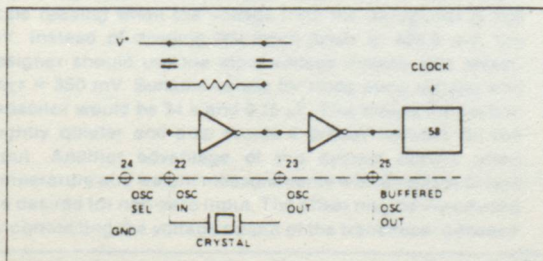


Figure 11: TSC7109 Crystal Oscillator

## 12-Bit Plus Sign Integrating A/D Converter

- BUS Compatible
- Serial Data Transmission w/UART

When the oscillator is to be overdriven, the OSCILLATOR OUTPUT should be left open, and the overdriving signal should be applied at the OSCILLATOR INPUT. The internal clock will be of the same duty cycle, frequency and phase as the input signal. When the OSCILLATOR SELECT is at GND, the clock will be 1/58 of the input frequency.

### Test Input

The counter and its outputs may be tested easily. When the TEST input is connected to GND, the internal clock is disabled, and the counter outputs are all forced into the high state. When the input returns to the  $1/2 (V^+ - \text{GND})$  voltage or to  $V^+$  and one clock is input, the counter outputs will all be clocked to the low state.

The counter output latched are enabled when the TEST input is taken to a level halfway between  $V^+$  and GND allowing the counter contents to be examined anytime.

### Component Value Selection

The integrator output swing for full-scale should be as large as possible. For example, with +5 V supplies and COMMON connected to GND, the nominal integrator output swing at full-scale is  $\pm 4$  V. Since the integrator output can go to 0.3 V from either supply without significantly affecting linearity, a 4 V integrator output swing allows 0.7 V for variations in output swing due to component value and oscillator tolerances. With  $\pm 5$  V supplies and a common-mode voltage range of  $\pm 1$  V required, the component values should be selected to provide  $\pm 3$  V integrator output swing. Noise and rollover errors will be slightly worse than in the  $\pm 4$  V case. For large common-mode voltage ranges, the integrator output swing must be reduced further. This will increase both noise and rollover errors. To improve the performance,  $\pm 6$  V supplies may be used.

### Integrating Capacitor

The integrating capacitor  $C_{INT}$  should be selected to give the maximum integrator output voltage swing that will not saturate the integrator to within 0.3 volt from either supply. A  $\pm 3.5$  to  $\pm 4$  volt integrator output swing is nominal for the TSC7109 with  $\pm 5$  volt supplies and analog common connected to GND. For 7-1/2 conversions per second (61.72 kHz internal clock frequency) nominal values  $C_{INT}$  and  $C_{AZ}$  are  $0.15 \mu\text{F}$  and  $0.33 \mu\text{F}$ , respectively. These values should be changed if different clock frequencies are used to maintain the integrator output voltage swing. The value of  $C_{INT}$  is given by:

$$C_{INT} = \frac{(2048 \times \text{Clock Period}) (20 \mu)}{\text{Integrator Output Voltage Swing}}$$

The integrating capacitor must have low dielectric absorption to prevent rollover errors. Polypropylene capacitors give undetectable errors at reasonable cost up to  $85^\circ\text{C}$ . Teflon<sup>®</sup> capacitors are recommended for the military temperature range. While their dielectric absorption characteristics vary somewhat between units, devices may be selected to less than 0.5 count of error due to dielectric absorption.



## 12-Bit Plus Sign Integrating A/D Converter

- BUS Compatible
- Serial Data Transmission w/UART

TSC7109

### Integrating Resistor

The integrator and the buffer amplifier both have a class A output stage with 100  $\mu$ A of quiescent current. They supply 20  $\mu$ A of drive current with negligible non-linearity. The integrating resistor should be large enough to remain in this very linear region over the input voltage range, but small enough that undue leakage requirements are not placed on the PC board. For 4.095 volt full-scale a 200 k $\Omega$  and for 409.6 mV full-scale a 20 k $\Omega$  are recommended.  $R_{INT}$  may be selected for other values of full-scale by:

$$R_{INT} = \frac{\text{Full-Scale Voltage}}{20 \mu\text{A}}$$

### Auto-Zero Capacitor

As the auto-zero capacitor is made large the system noise is reduced. Since it is in parallel with the integrating capacitor, it forms an RC time constant that determines the error that exists at the end of an auto-zero cycle and speed of recovery from overloads. For 4.096 V full-scale where recovery is most important, a value of  $C_{AZ}$  equal to half of  $C_{INT}$  should be used.

For 409.6 mV full-scale where noise is very important and the integrating resistor is small, use a value of  $C_{AZ}$  twice  $C_{INT}$ . The inner foil of  $C_{AZ}$  should be connected to pin 31 and the outer foil to the RC summing junction. The inner foil of  $C_{INT}$  should be connected to the RC summing junction and the outer foil to pin 32 for best rejection of the stray pickup. For low leakage at temperatures above 85°C use Teflon® capacitors.

### Reference Capacitor

A 1  $\mu$ F capacitor is recommended for most circuits. However, where a large common-mode voltage exists a larger value is required to prevent rollover error (for example: the reference is not analog common) and a 409.6 mV scale is used. The rollover error will be held to 0.5 count with a 10  $\mu$ F capacitor. For temperatures above 80°C use Teflon® or equivalent capacitors for their low leakage characteristics.

### Reference Voltage

To generate full-scale output of 4096 counts the analog input required is  $V_{IN} = 2 V_{REF}$ . For a 4.096 V full-scale use a reference of 2.048 V. In many applications where the A/D is connected to a transducer, there will exist a scale factor between the input voltage and the digital reading. For instance, in a measuring system, the designer might like to have a full-scale reading when the voltage from the transducer is 700 mV. Instead of dividing the input down to 409.6 mV, the designer should use the input voltage directly and select  $V_{REF} = 350$  mV. Suitable values for integrating resistor and capacitor would be 34 k and 0.15  $\mu$ F. This makes the system slightly quieter and also avoids a divider network on the input. Another advantage of this system occurs when temperature and weight measurements with an offset or tare are desired for non-zero input. The offset may be introduced by connecting the voltage output of the transducer between

common and analog high, and the offset voltage between common and analog low, observing polarities carefully. In processor-based systems using the TSC7109, it may be more desirable to use software and perform this type of scaling or tare subtraction digitally.

### Reference Sources

A major factor in the absolute accuracy of the converter is the stability of the reference voltage. The 12-bit resolution of the TSC7109 is one part in 4096, or 244 ppm. Thus, for the on-board reference temperature coefficient of 80 ppm/°C a temperature difference of 3°C will introduce a one-bit absolute error. Where the ambient temperature is not controlled or where high-accuracy absolute measurements are being made it is recommended that an external high-quality reference be used.

A Reference Output (pin 29) is provided which may be used with a resistive divider to generate a suitable reference voltage. 20 mA may be sunk without significant variation in output voltage. A pullup bias device is provided which sources about 10  $\mu$ A. The output voltage is nominally 2.8 V below  $V^+$ . When using the on-board reference, Ref Out (pin 29) should be connected to Ref - (Pin 39), and Ref + should be connected to the wiper of a precision potentiometer between Ref Out and  $V^+$ . The test circuit shows the circuit for a 204.8 mV reference, generated by a 2 k $\Omega$  precision potentiometer in series with a 24 k $\Omega$  fixed resistor.

### Interfacing

#### Direct Mode

Combinations of chip enable and byte enable control signals which may be used when interfacing the TSC7109 to parallel data lines as shown in Figure 12. The  $\overline{CE}/LOAD$  input may be tied low, allowing either byte to be controlled by its own enable (Figure 12A). Figure 12B shows the  $\overline{HBEN}$  and  $\overline{LBEN}$  as flag inputs, and  $\overline{CE}/LOAD$  as a master enable, which could be the READ strobe available from most microprocessors. Figure 12C shows a configuration where the two byte enables are connected together. The  $\overline{CE}/LOAD$  is a chip enable, and the  $\overline{HBEN}$  and  $\overline{LBEN}$  may be used as a second chip enable or connected to ground. The 14 data outputs will be enabled at the same time. In the direct MODE, SEND should be tied to  $V^+$ .

Figure 13 interfaces several TSC7109's to a bus, ganging the  $\overline{HBEN}$  and  $\overline{LBEN}$  signals to several converters together, and using the  $\overline{CE}/LOAD$  inputs to select the desired converter.

Figures 14-19 give practical circuits utilizing the parallel tri-state output capabilities of the TSC7109. Figure 14 shows parallel interface to the intel MCS-48, -80 and -85 systems via an 8255 PPI, where the TSC7109 data outputs are active at all times. The 8155 I/O ports may be used in an identical manner. This interface can be used in an identical manner. This interface can be used in a read-after-update sequence, as shown in Figure 15. The data is accessed by the high to low transition of the STATUS driving an interrupt to the microprocessor.



12-Bit Plus Sign  
Integrating A/D Converter  
TSC7109  
Serial Data Transmission w/UART

12-Bit Plus Sign  
Integrating A/D Converter  
• BUS Compatible  
• Serial Data Transmission w/UART

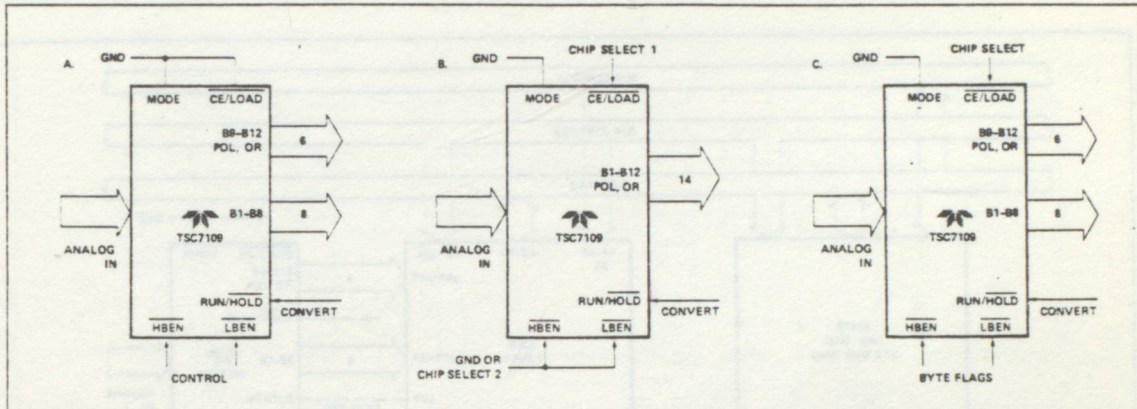


Figure 12: Direct Mode Chip and Byte Enable Combinations

The RUN/HOLD input is also used to initiate conversions under software control. Figure 16 gives an interface to Motorola MC6800 or MOS technology MCS650X systems.

An interrupt is generated through the control Resistor B, CB1 line from the high to low transition of the STATUS output. The RUN/HOLD pin is controlled by CB2 through Control Register B, allowing software control of conversions.

Direct interfacing to most microprocessor busses is easily

accomplished through the tri-state output of the TSC7109.

Figures 1B, 17 and 18 are typical connection diagrams. To be sure that requirements for setup and hold times, minimum pulse widths, and the drive limitations on long busses are met, it is necessary to carefully consider the system timing in this type of interface. This type of interface is used when the memory peripheral address density is low providing simply address decoding. Interrupt handling can be simplified by using an interface to reduce the component count.

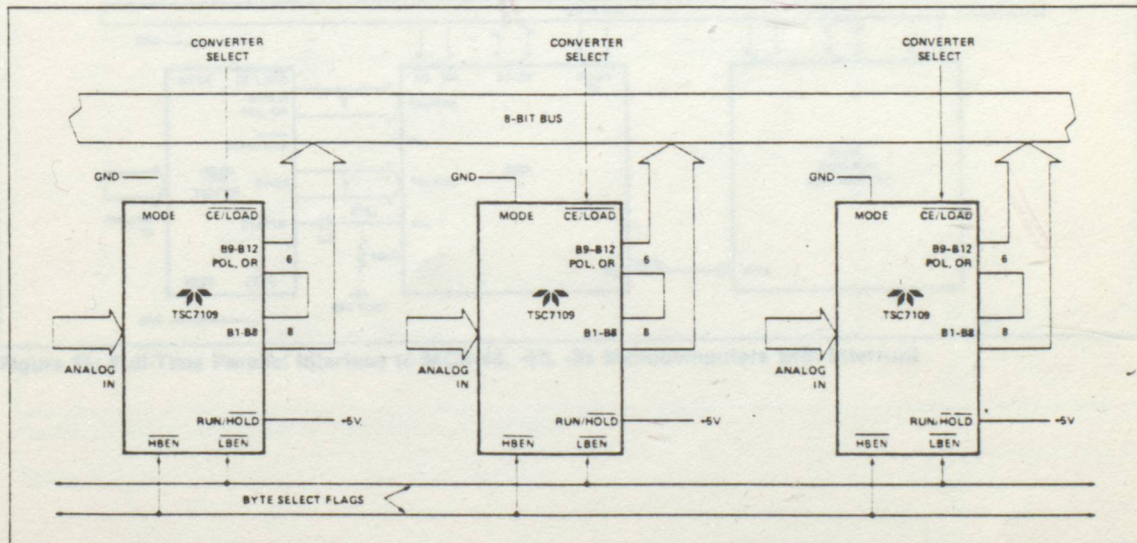


Figure 13: Three-Stating Several TSC7109's to a Small Bus



**12-Bit Plus Sign  
Integrating A/D Converter**

- BUS Compatible
- Serial Data Transmission w/UART

**TSC7109**

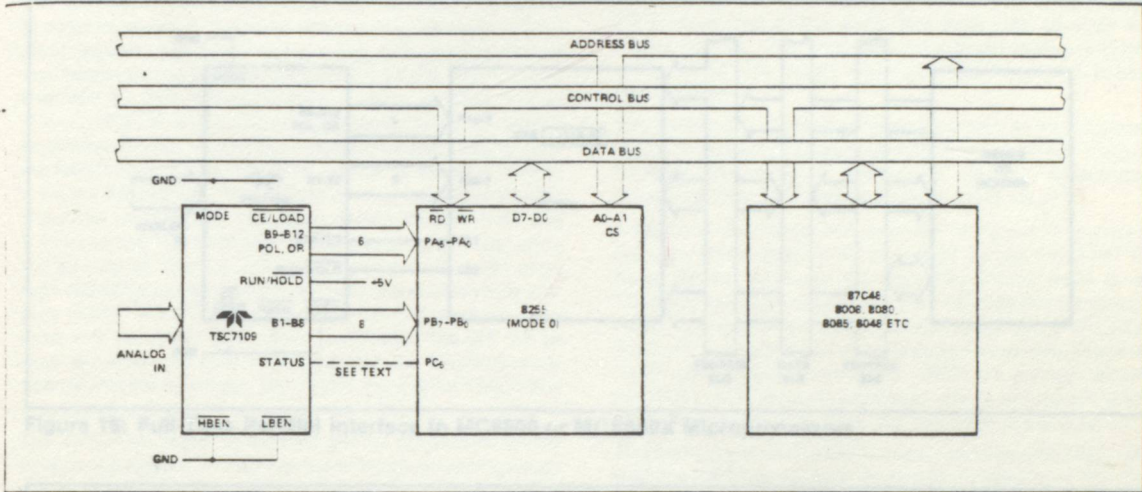


Figure 14: Full-Time Parallel Interface to MCS-48, -80, -85 Microcomputer Systems

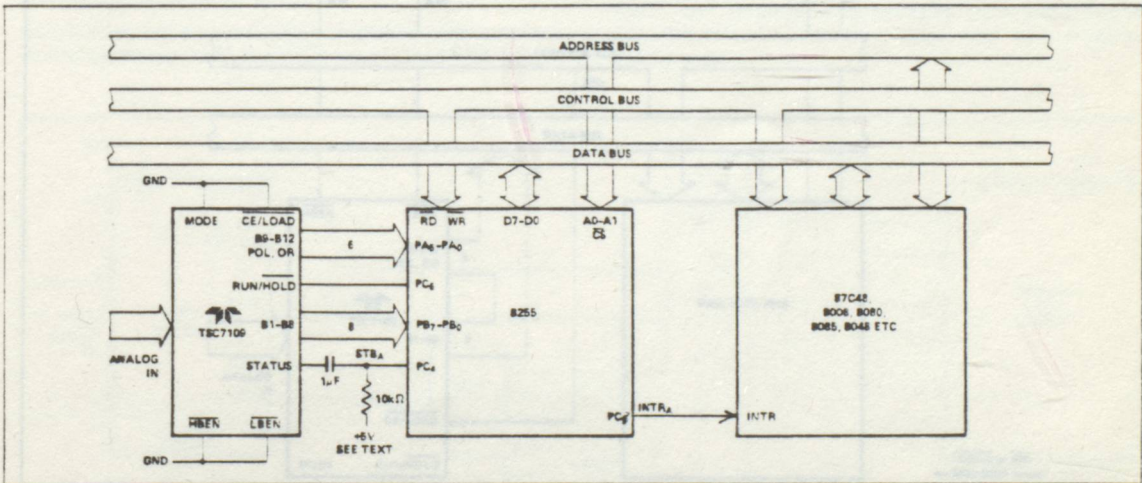


Figure 15: Full-Time Parallel Interface to MCS-48, -80, -85 Microcomputers with Interrupt



12-Bit Plus Sign  
Integrating A/D Converter  
• BUS Compatible

TSC7109

12-Bit Plus Sign  
Integrating A/D Converter

- BUS Compatible
- Serial Data Transmission w/UART

Handshake Mode

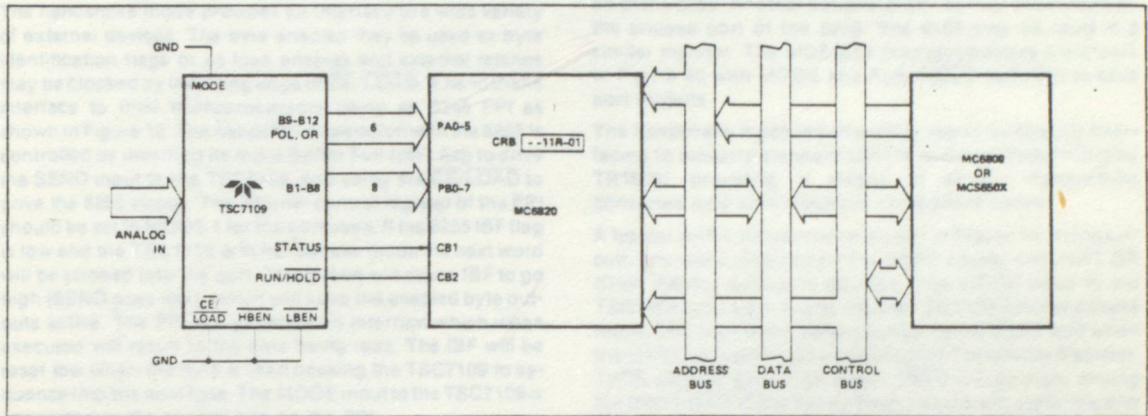


Figure 16: Full-Time Parallel Interface to MC6800 or MCS650X Microprocessors

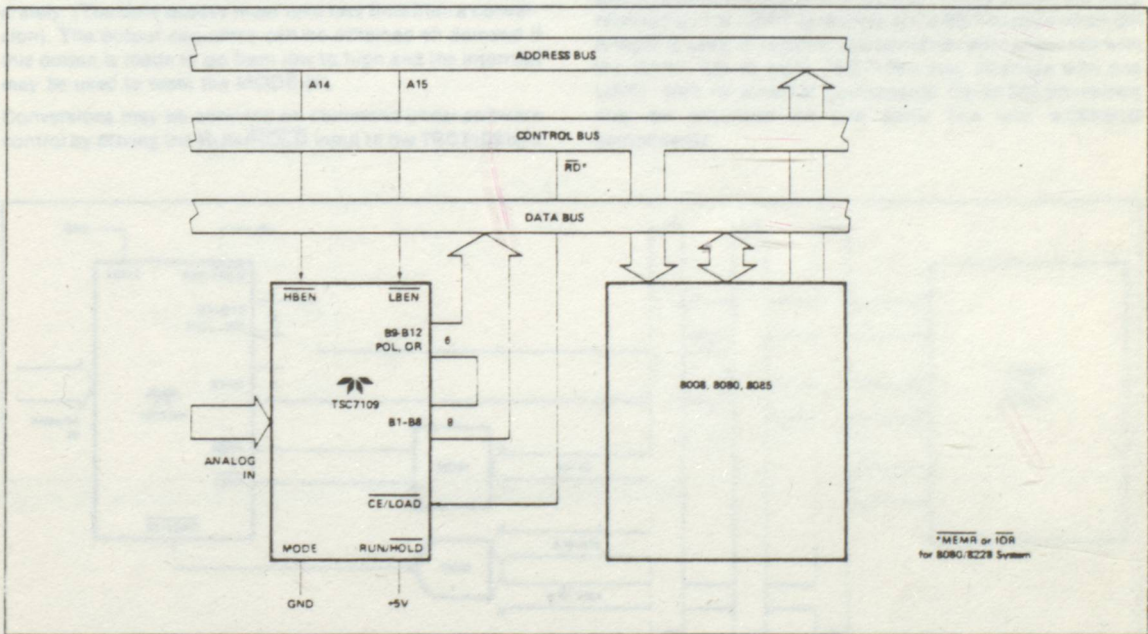


Figure 17: Direct Interface — TSC7109 to 8080/8085

Figure 18: Direct TSC7109 — MC6800 Bus Interface



## 12-Bit Plus Sign Integrating A/D Converter

- BUS Compatible
- Serial Data Transmission w/UART

TSC7109

### Handshake Mode

The handshake mode provides an interface to a wide variety of external devices. The byte enables may be used as byte identification flags or as load enables and external latches may be clocked by the rising edge of  $\overline{CE}/\overline{LOAD}$ . A handshake interface to Intel microprocessors using an 8255 PPI as shown in Figure 19. The handshake operation with the 8255 is controlled by inverting its Input Buffer Full (IBF) flag to drive the SEND input to the TSC7109, and using the  $\overline{CE}/\overline{LOAD}$  to drive the 8255 strobe. The internal control register of the PPI should be set in MODE 1 for the port used. If the 8255 IBF flag is low and the TSC7109 is in handshake mode the next word will be strobed into the port. The strobe will cause IBF to go high (SEND goes low), which will keep the enabled byte outputs active. The PPI will generate an interrupt which when executed will result in the data being read. The IBF will be reset low when the byte is read causing the TSC7109 to sequence into the next byte. The MODE input to the TSC7109 is connected to the control line on the PPI.

The data from every conversion will be sequenced in two bytes in the system, if this output is left high, or tied high separately. (The data access must take less time than a conversion). The output sequence can be obtained on demand if this output is made to go from low to high and the interrupt may be used to reset the MODE bit.

Conversions may be obtained on command under software control by driving the RUN/HOLD input to the TSC7109 by a

bit of the 8255. Another peripheral device may be serviced by the unused port of the 8255. The 8155 may be used in a similar manner. The MCS650X microprocessors are shown in Figure 20 with MODE and RUN/HOLD tied high to save port outputs.

The handshake mode is particularly useful for directly interfacing to industry standard UARTs (such as Western Digital TR1602) providing a means of serially transmitting converted data with minimum component count.

A typical UART connection is shown in Figure 1A. In this circuit, any word received by the UART causes the UART DR (Data Ready) output to go high. The MODE input to the TSC7109 goes high, triggering the TSC7109 into handshake mode. The high order byte is output to the UART and when the UART has transferred the data to the Transmitter Register, TBRE (SEND) goes high again.  $\overline{LBEN}$  will go high, driving the UART DRR (Data Ready Reset) which will signal the end of the transfer of data from the TSC7109 to the UART.

An extension of the Typical Connection to several TSC7109's with one UART is shown in Figure 21. In this circuit, the word received by the UART (available at the RBR outputs when DR is high) is used to select which converter will handshake with the UART. Up to eight TSC7109's may interface with one UART, with no external components. Up to 256 converters may be accessed on one serial line with additional components.

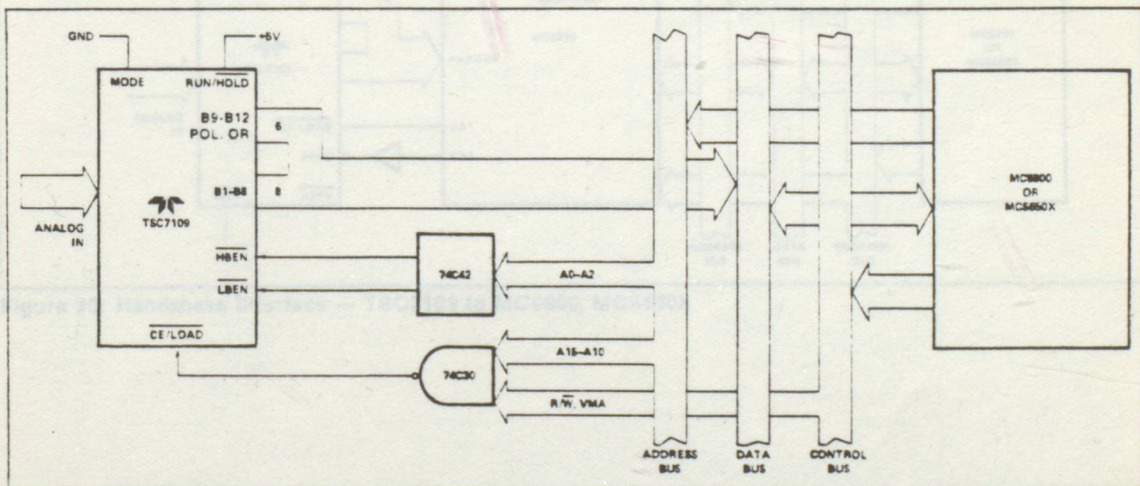


Figure 18: Direct TSC7109 — MC6800 Bus Interface



**12-Bit Plus Sign  
Integrating A/D Converter**  
 • BUS Compatible  
 • Serial Data Transmission w/UART

**TSC7109**

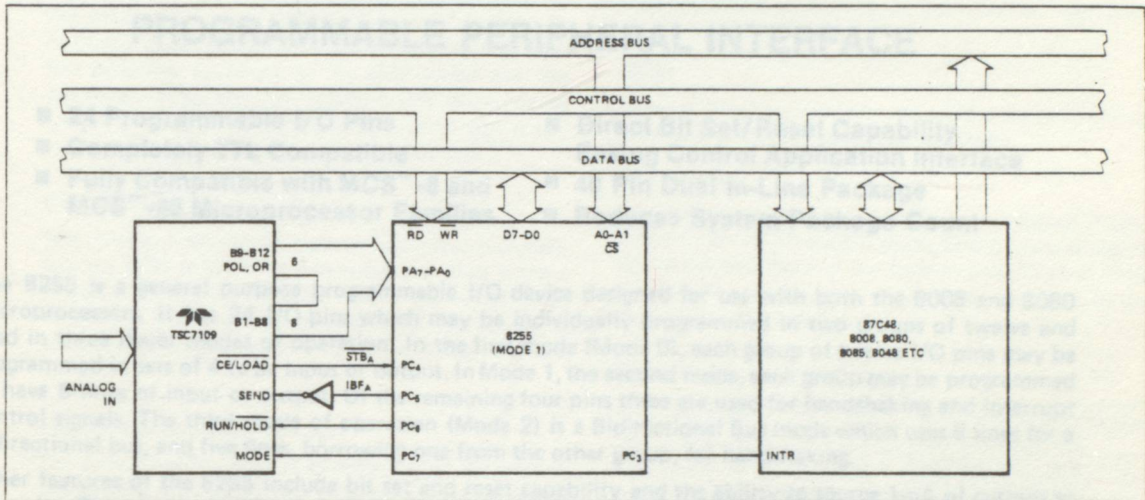


Figure 19: Handshake Interface — TSC7109 to MCS-48, -80, -85

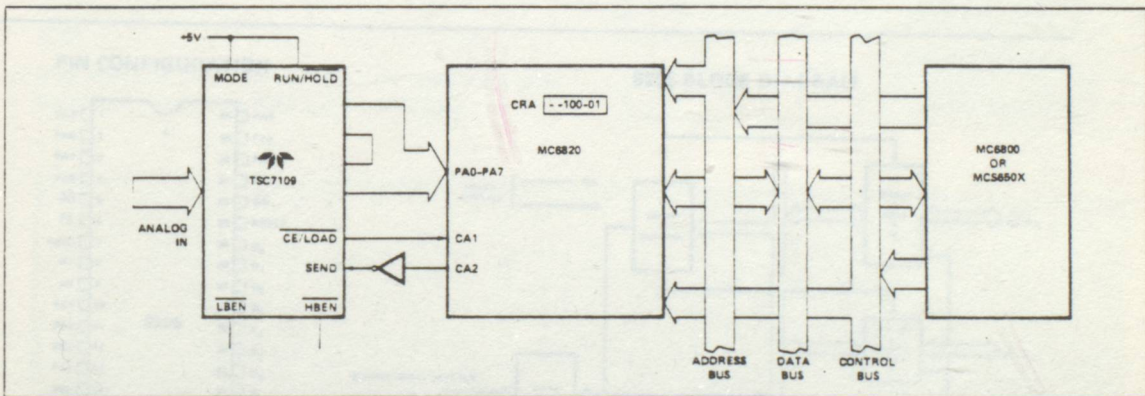
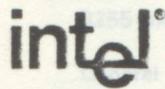


Figure 20: Handshake Interface — TSC7109 to MC6800, MCS650X





# Silicon Gate MOS 8255

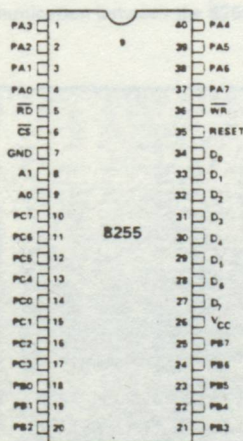
## PROGRAMMABLE PERIPHERAL INTERFACE

- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with MCS™ -8 and MCS™ -80 Microprocessor Families
- Direct Bit Set/Reset Capability Easing Control Application Interface
- 40 Pin Dual In-Line Package
- Reduces System Package Count

The 8255 is a general purpose programmable I/O device designed for use with both the 8008 and 8080 microprocessors. It has 24 I/O pins which may be individually programmed in two groups of twelve and used in three major modes of operation. In the first mode (Mode 0), each group of twelve I/O pins may be programmed in sets of 4 to be input or output. In Mode 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining four pins three are used for handshaking and interrupt control signals. The third mode of operation (Mode 2) is a Bidirectional Bus mode which uses 8 lines for a bidirectional bus, and five lines, borrowing one from the other group, for handshaking.

Other features of the 8255 include bit set and reset capability and the ability to source 1mA of current at 1.5 volts. This allows darlington transistors to be directly driven for applications such as printers and high voltage displays.

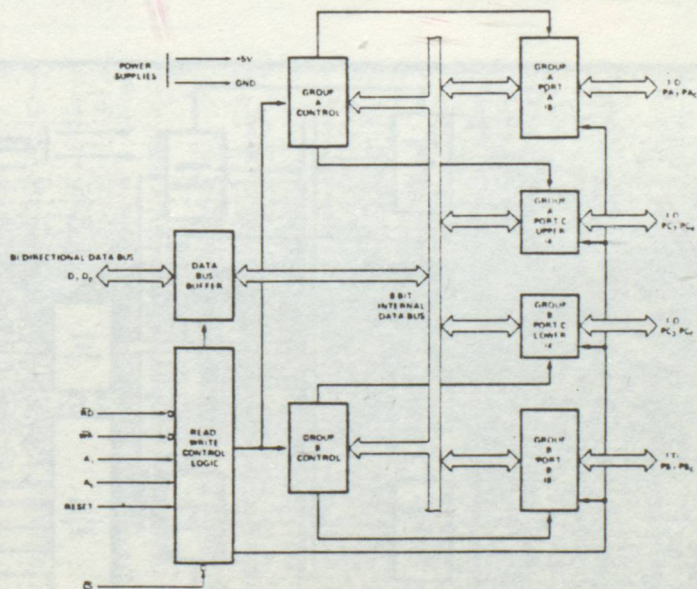
PIN CONFIGURATION



PIN NAMES

D <sub>7</sub> -D <sub>0</sub>	DATA BUS (BI-DIRECTIONAL)
RESET	RESET INPUT
CS	CHIP SELECT
RD	READ INPUT
WR	WRITE INPUT
A0-A1	PORT ADDRESS
PA7-PA0	PORT A (BIT)
PB7-PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
VCC	+5 VOLTS
GND	0 VOLTS

8255 BLOCK DIAGRAM





SILICON GATE MOS 8255

8255 BASIC FUNCTIONAL DESCRIPTION

General

The 8255 is a Programmable Peripheral Interface (PPI) device designed for use in 8080 Microcomputer Systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the 8080 system bus. The functional configuration of the 8255 is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state, bi-directional, eight bit buffer is used to interface the 8255 to the 8080 system data bus. Data is transmitted or received by the buffer upon execution of INput or OUTput instructions by the 8080 CPU. Control Words and Status information are also transferred through the Data Bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the 8080 CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

(CS)

Chip Select: A "low" on this input pin enables the communication between the 8255 and the 8080 CPU.

(RD)

Read: A "low" on this input pin enables the 8255 to send the Data or Status information to the 8080 CPU on the Data Bus. In essence, it allows the 8080 CPU to "read from" the 8255.

(WR)

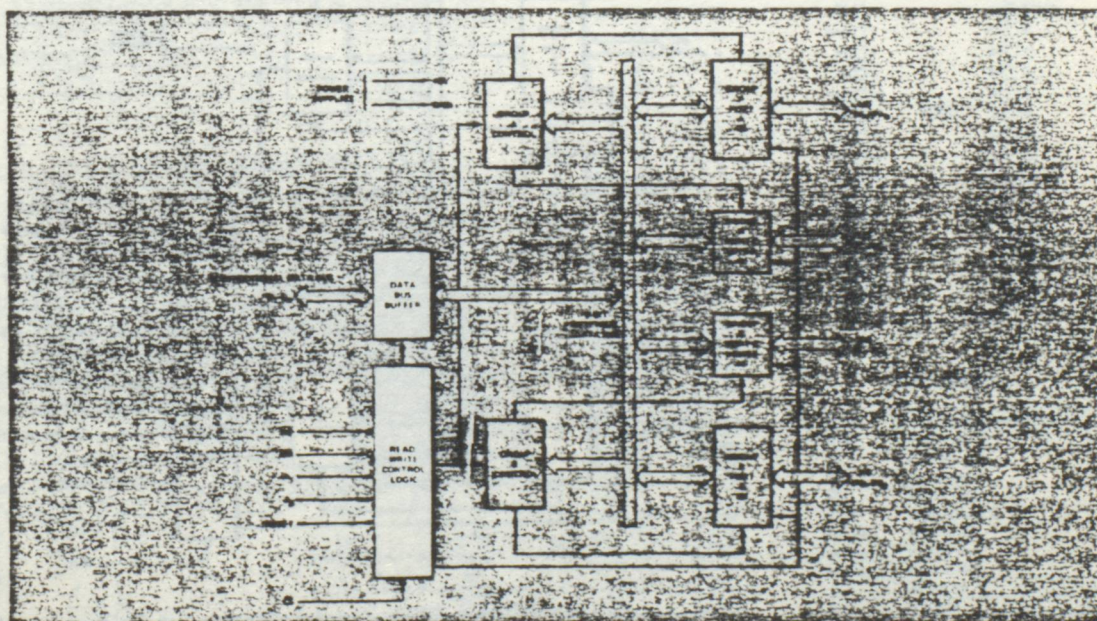
Write: A "low" on this input pin enables the 8080 CPU to write Data or Control words into the 8255.

(A<sub>0</sub> and A<sub>1</sub>)

Port Select 0 and Port Select 1: These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the Control Word Register. They are normally connected to the least significant bits of the Address Bus (A<sub>0</sub> and A<sub>1</sub>).

8255 BASIC OPERATION

A <sub>1</sub>	A <sub>0</sub>	RD	WR	CS	INPUT OPERATION (READ)
0	0	0	1	0	PORT A = DATA BUS
0	1	0	1	0	PORT B = DATA BUS
1	0	0	1	0	PORT C = DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS = PORT A
0	1	1	0	0	DATA BUS = PORT B
1	0	1	0	0	DATA BUS = PORT C
1	1	1	0	0	DATA BUS = CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS = 3-STATE
1	1	0	1	0	ILLEGAL CONDITION



8255 Block Diagram



# SILICON GATE MOS 8255

## (RESET)

Reset: A "high" on this input clears all internal registers including the Control Register and all ports (A, B, C) are set to the input mode.

## Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the 8080 CPU "outputs" a control word to the 8255. The control word contains information such as "mode", "bit set", "bit reset" etc. that initializes the functional configuration of the 8255.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

- Control Group A — Port A and Port C upper (C7-C4)
- Control Group B — Port B and Port C lower (C3-C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

## Ports A, B, and C

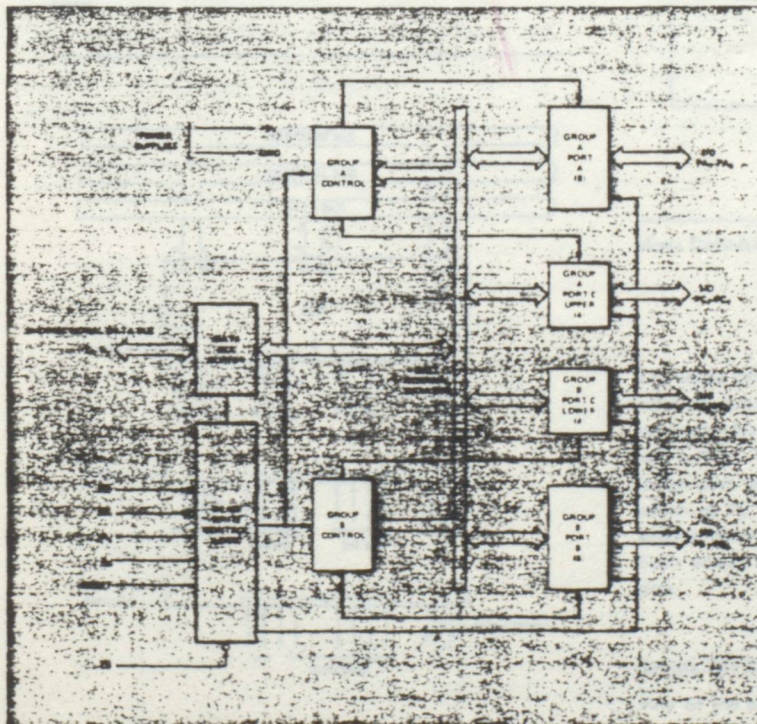
The 8255 contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255.

**Port A:** One 8-bit data output latch/buffer and one 8-bit data input latch.

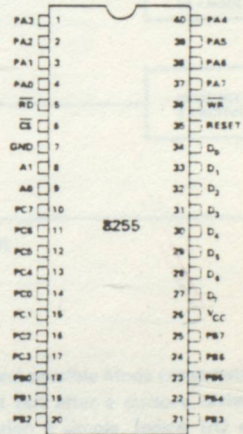
**Port B:** One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

**Port C:** One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with Ports A and B.

8255 BLOCK DIAGRAM



PIN CONFIGURATION



## PIN NAMES

D <sub>0</sub> -D <sub>7</sub>	DATA BUS (BI-DIRECTIONAL)
RESET	RESET INPUT
CS	CHIP SELECT
RD	READ INPUT
WR	WRITE INPUT
AC A1	PORT ADDRESS
PA7-PA0	PORT A (BIT)
PB7-PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
VCC	+5 VOLTS
GND	0 VOLTS



## SILICON GATE MOS 8255

### 8255 DETAILED OPERATIONAL DESCRIPTION

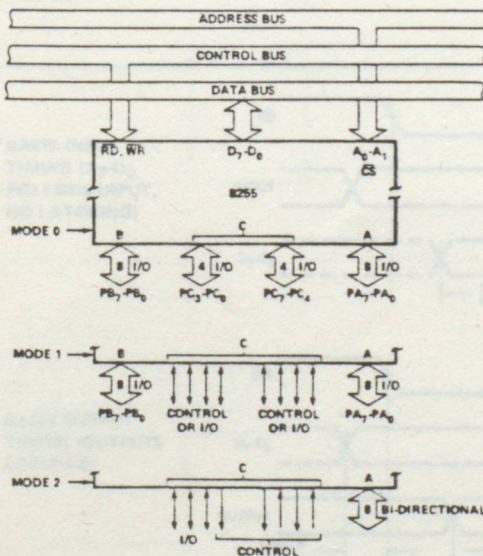
#### Mode Selection

There are three basic modes of operation that can be selected by the system software:

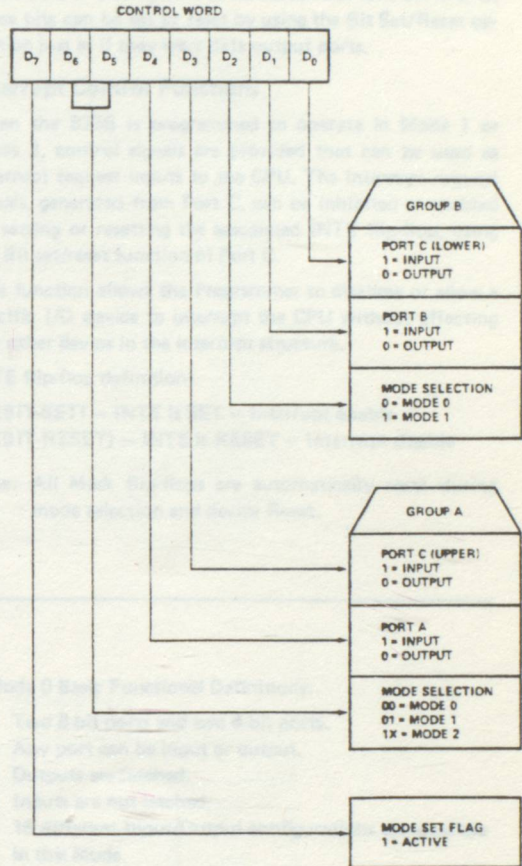
- Mode 0 – Basic Input/Output
- Mode 1 – Strobed Input/Output
- Mode 2 – Bi-Directional Bus

When the RESET input goes "high" all ports will be set to the Input mode (i.e., all 24 lines will be in the high impedance state). After the RESET is removed the 8255 can remain in the Input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single OUTPUT instruction. This allows a single 8255 to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.



Basic Mode Definitions and Bus Interface



#### Mode Definition Format

The Mode definitions and possible Mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255 has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

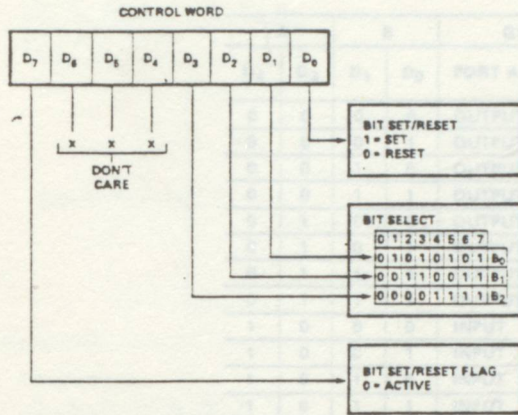
#### Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTPUT instruction. This feature reduces software requirements in Control-based applications.



## SILICON GATE MOS 8255

### MODE 0 PORT DEFINITION CHART



Bit Set/Reset Format

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

### Interrupt Control Functions

When the 8255 is programmed to operate in Mode 1 or Mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from Port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the Bit set/reset function of Port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without effecting any other device in the interrupt structure.

INTE flip-flop definition:

- (BIT-SET) – INTE is SET – Interrupt enable
- (BIT-RESET) – INTE is RESET – Interrupt disable

Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

### MODE 0 CONFIGURATIONS

#### Operating Modes

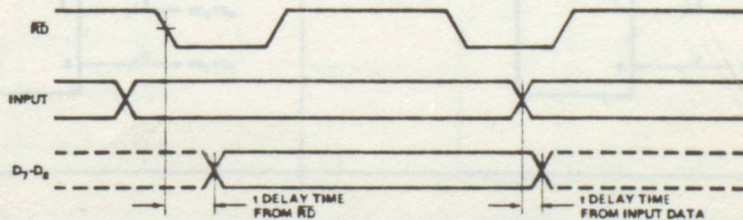
#### Mode 0 (Basic Input/Output)

This functional configuration provides simple Input and Output operations for each of the three ports. No "hand-shaking" is required, data is simply written to or read from a specified port.

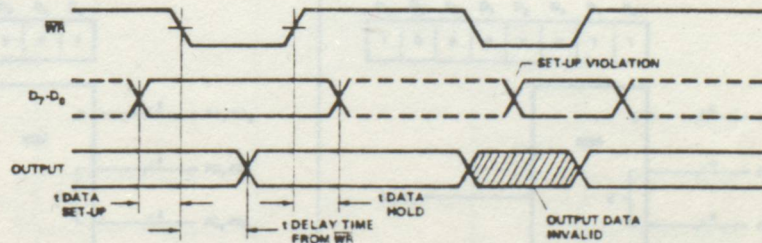
#### Mode 0 Basic Functional Definitions:

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.

BASIC INPUT TIMING (D<sub>7</sub>-D<sub>0</sub> FOLLOWS INPUT, NO LATCHING)



BASIC OUTPUT TIMING (OUTPUTS LATCHED)



Mode 0 Timing



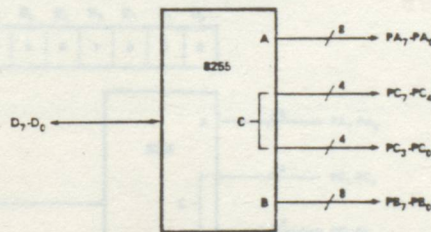
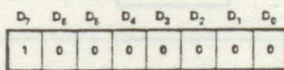
SILICON GATE MOS 8255

MODE 0 PORT DEFINITION CHART

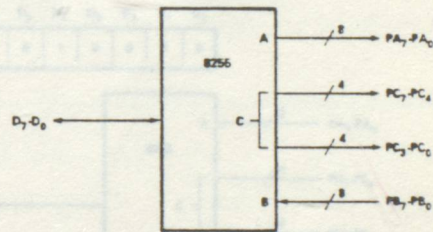
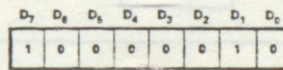
A		B		GROUP A			GROUP B		
D <sub>4</sub>	D <sub>3</sub>	D <sub>1</sub>	D <sub>0</sub>	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)	
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT	
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT	
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT	
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT	
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT	
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT	
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT	
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT	
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT	
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT	
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT	
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT	
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT	
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT	
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT	
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT	

MODE 0 CONFIGURATIONS

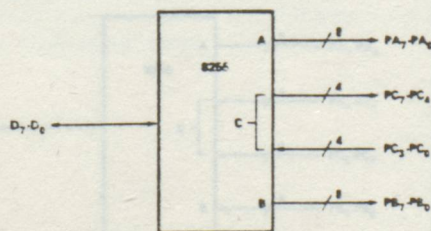
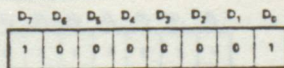
CONTROL WORD #0



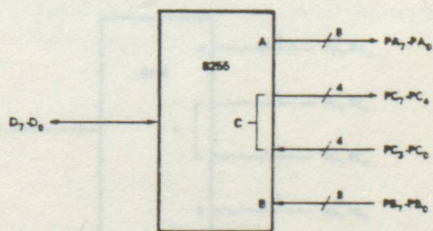
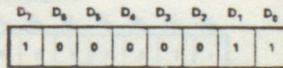
CONTROL WORD #2



CONTROL WORD #1



CONTROL WORD #3

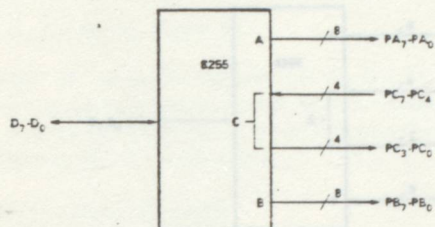




SILICON GATE MOS 8255

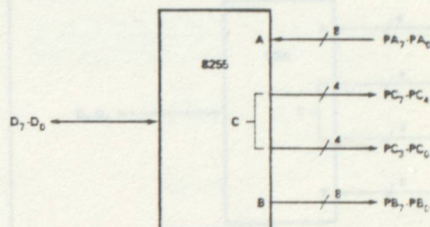
CONTROL WORD #4

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	0	1	0	0	0



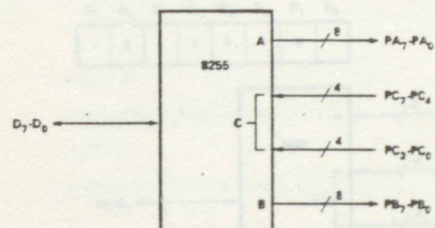
CONTROL WORD #8

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	0	0	0	0



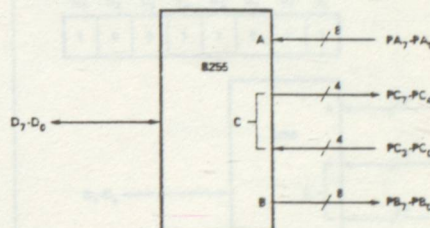
CONTROL WORD #5

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	0	1	0	0	1



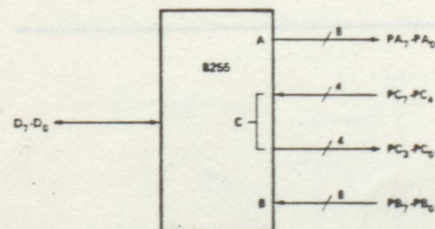
CONTROL WORD #9

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	0	0	0	1



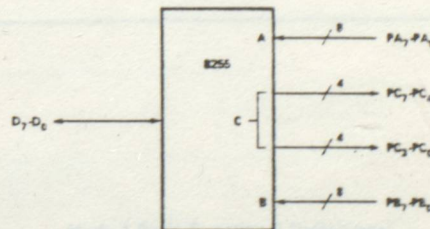
CONTROL WORD #6

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	0	1	0	1	0



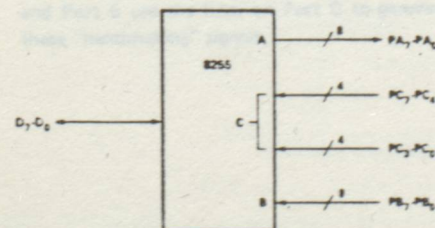
CONTROL WORD #10

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	0	0	1	0



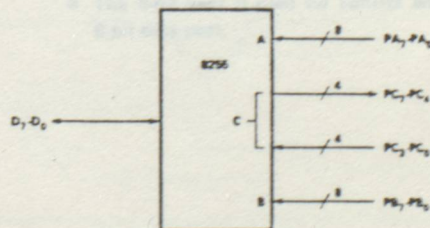
CONTROL WORD #7

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	0	1	0	1	1



CONTROL WORD #11

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	0	0	1	1

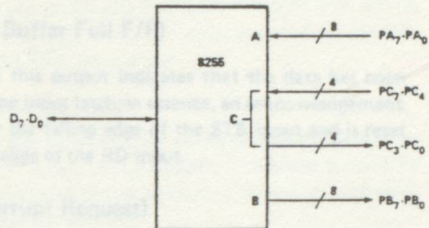




## SILICON GATE MOS 8255

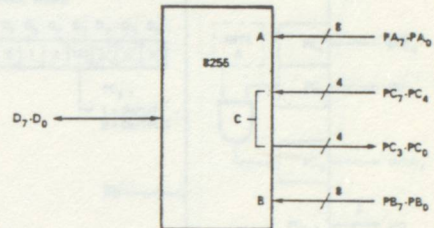
CONTROL WORD #12

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	1	0	0	0



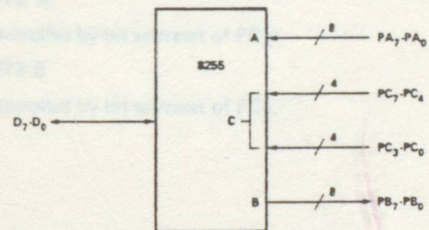
CONTROL WORD #14

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	1	0	1	0



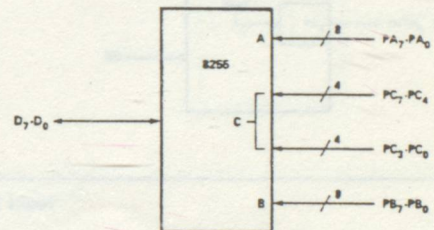
CONTROL WORD #13

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	1	0	0	1



CONTROL WORD #15

D <sub>7</sub>	D <sub>6</sub>	D <sub>5</sub>	D <sub>4</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>1</sub>	D <sub>0</sub>
1	0	0	1	1	0	1	1



## Operating Modes

## Mode 1 (Strobed Input/Output)

This functional configuration provides a means for transferring I/O data to or from a specified port in conjunction with strobes or "handshaking" signals. In Mode 1, Port A and Port B use the lines on Port C to generate or accept these "handshaking" signals.

## Mode 1 Basic Functional Definitions:

- Two Groups (Group A and Group B)
- Each group contains one 8-bit data port and one 4-bit control/data port.
- The 8-bit data port can be either input or output. Both inputs and outputs are latched.
- The 4-bit port is used for control and status of the 8-bit data port.



**SILICON GATE MOS 8255**

**Input Control Signal Definition**

**STB (Strobe Input)**

A "low" on this input loads data into the input latch.

**IBF (Input Buffer Full F/F)**

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by the falling edge of the STB input and is reset by the rising edge of the RD input.

**INTR (Interrupt Request)**

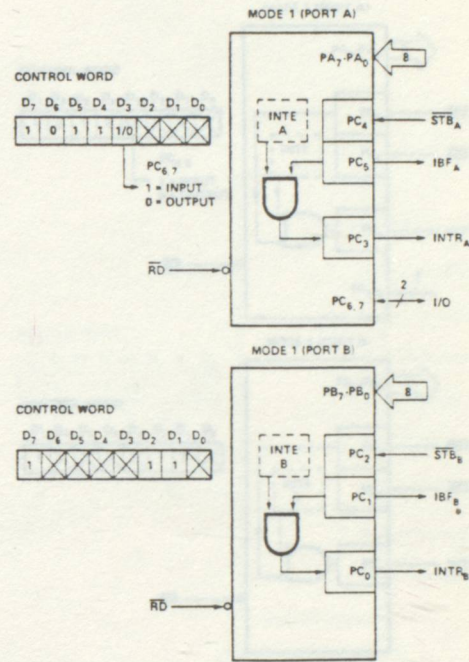
A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the rising edge of STB if IBF is a "one" and INTE is a "one". It is reset by the falling edge of RD. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

**INTE A**

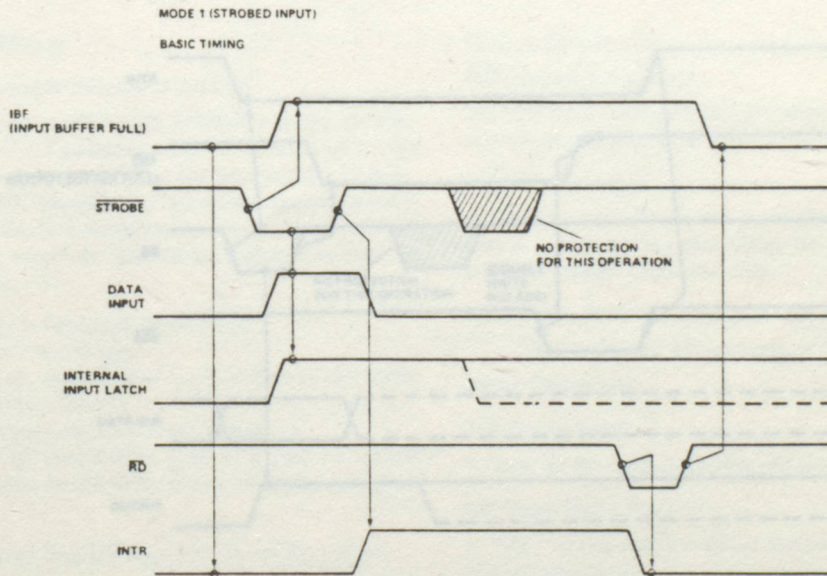
Controlled by bit set/reset of PC<sub>4</sub>.

**INTE B**

Controlled by bit set/reset of PC<sub>2</sub>.



Mode 1 Input



Basic Timing Input



SILICON GATE MOS 8255

Output Control Signal Definition

$\overline{OBF}$  (Output Buffer Full F/F)

The  $\overline{OBF}$  output will go "low" to indicate that the CPU has written data out to the specified port. The OBF F/F will be set by the rising edge of the WR input and reset by the falling edge of the ACK input signal.

$\overline{ACK}$  (Acknowledge Input)

A "low" on this input informs the 8255 that the data from Port A or Port B has been accepted. In essence, a response from the peripheral device indicating that it has received the data output by the CPU.

INTR (Interrupt Request)

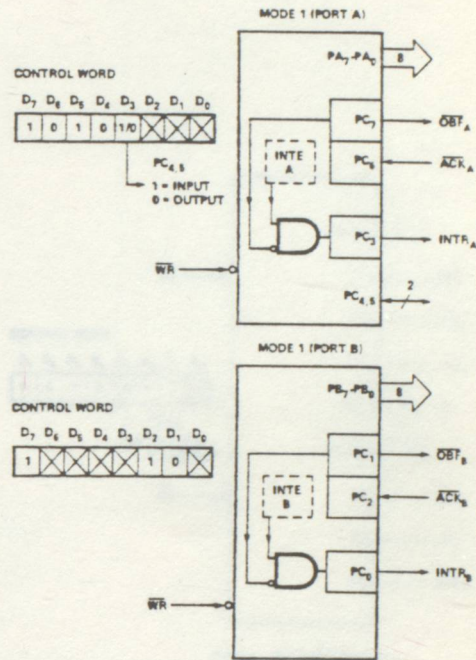
A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set by the rising edge of ACK if OBF is a "one" and INTE is a "one". It is reset by the falling edge of WR.

INTE A

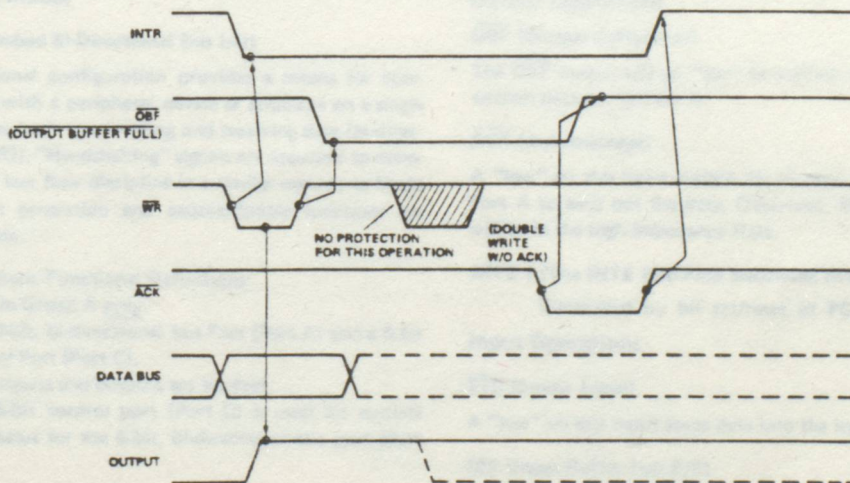
Controlled by bit set/reset of PC<sub>6</sub>.

INTE B

Controlled by bit set/reset of PC<sub>2</sub>.



Mode 1 Output



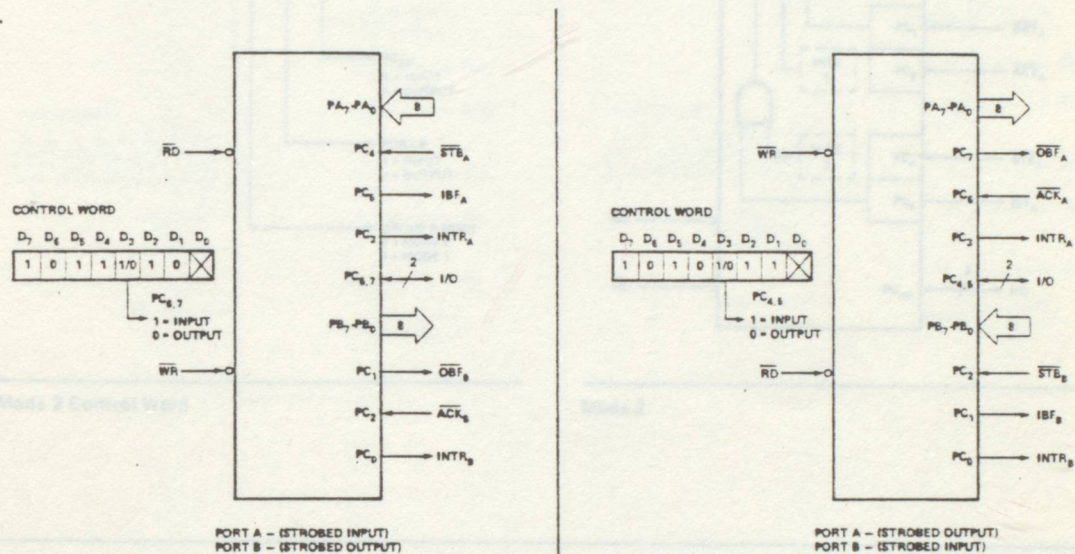
Basic Timing Output



## SILICON GATE MOS 8255

### Combinations of Mode 1

Port A and Port B can be individually defined as input or output in Mode 1 to support a wide variety of strobed I/O applications.



### Operating Modes

#### Mode 2 (Strobed Bi-Directional Bus I/O)

This functional configuration provides a means for communicating with a peripheral device or structure on a single 8-bit bus for both transmitting and receiving data (bi-directional bus I/O). "Handshaking" signals are provided to maintain proper bus flow discipline in a similar manner to Mode 1. Interrupt generation and enable/disable functions are also available.

#### Mode 2 Basic Functional Definitions:

- Used in Group A only.
- One 8-bit, bi-directional bus Port (Port A) and a 5-bit control Port (Port C).
- Both inputs and outputs are latched.
- The 5-bit control port (Port C) is used for control and status for the 8-bit, bi-directional bus port (Port A).

#### Bi-Directional Bus I/O Control Signal Definition

##### INTR (Interrupt Request)

A high on this output can be used to interrupt the CPU for both input or output operations.

#### Output Operations

##### OBF (Output Buffer Full)

The OBF output will go "low" to indicate that the CPU has written data out to Port A.

##### ACK (Acknowledge)

A "low" on this input enables the tri-state output buffer of Port A to send out the data. Otherwise, the output buffer will be in the high-impedance state.

##### INTE 1 (The INTE Flip-Flop associated with OBF)

Controlled by bit set/reset of PC<sub>6</sub>.

#### Input Operations

##### STB (Strobe Input)

A "low" on this input loads data into the input latch.

##### IBF (Input Buffer Full F/F)

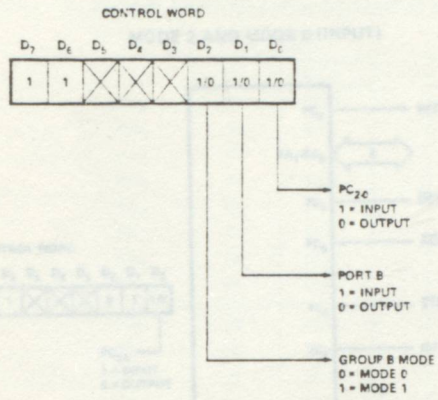
A "high" on this output indicates that data has been loaded into the input latch.

##### INTE 2 (The INTE Flip-Flop associated with IBF)

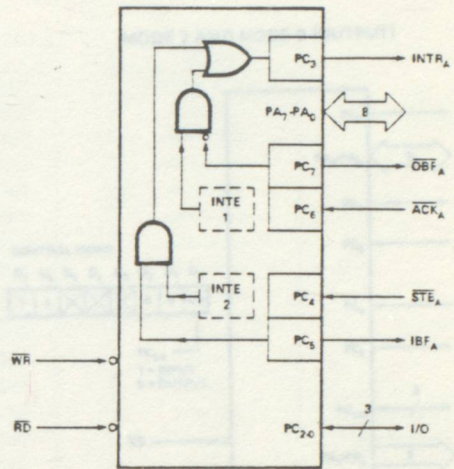
Controlled by bit set/reset of PC<sub>4</sub>.



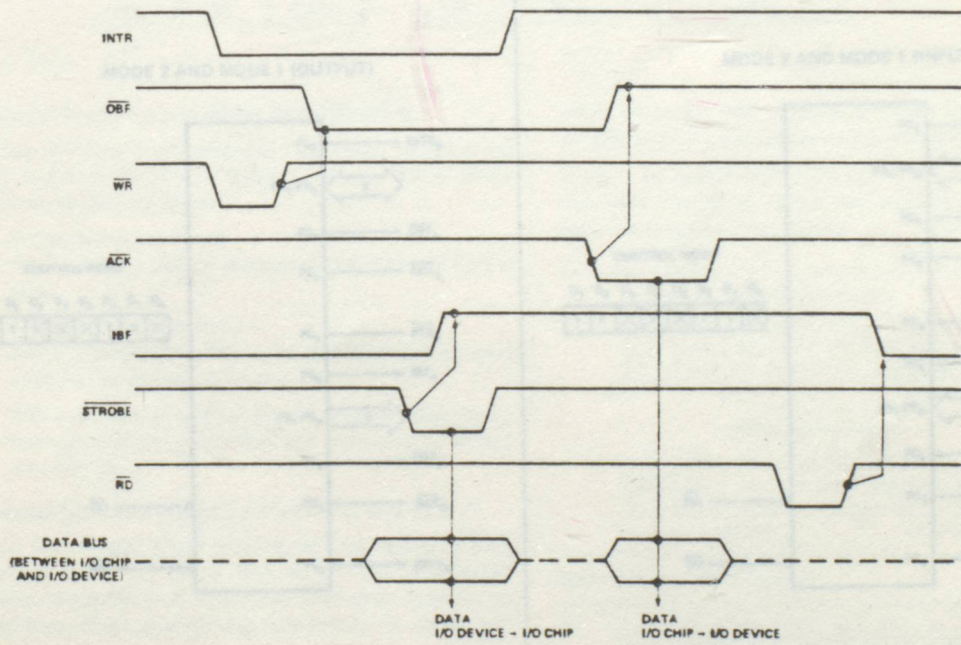
SILICON GATE MOS 8255



Mode 2 Control Word



Mode 2

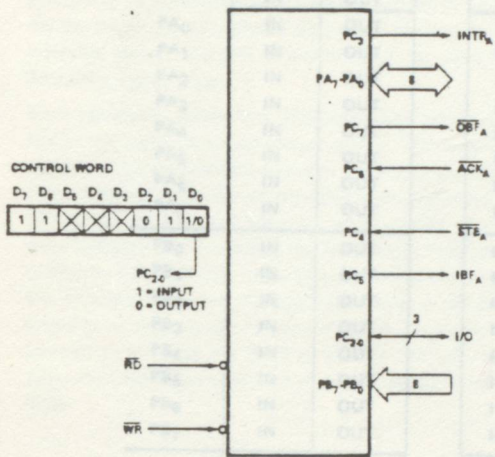


Mode 2 (Bi-directional) Timing

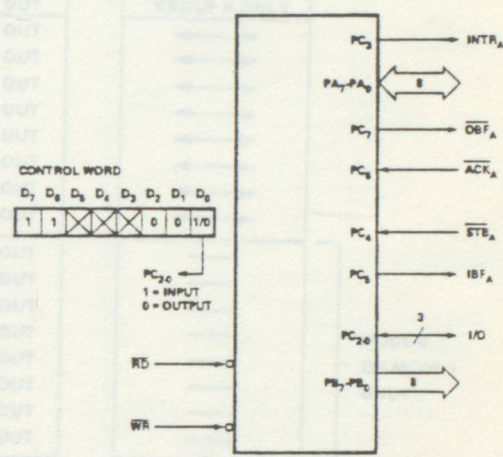


SILICON GATE MOS 8255

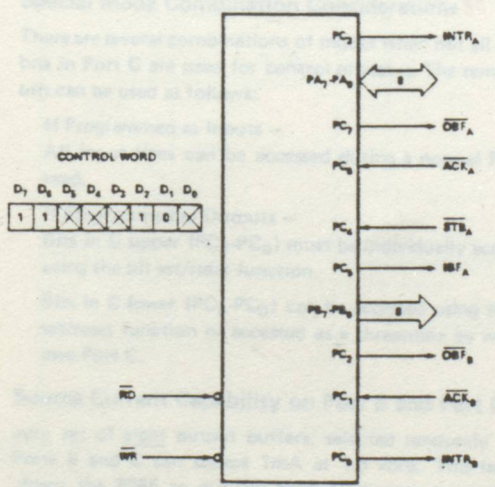
MODE 2 AND MODE 0 (INPUT)



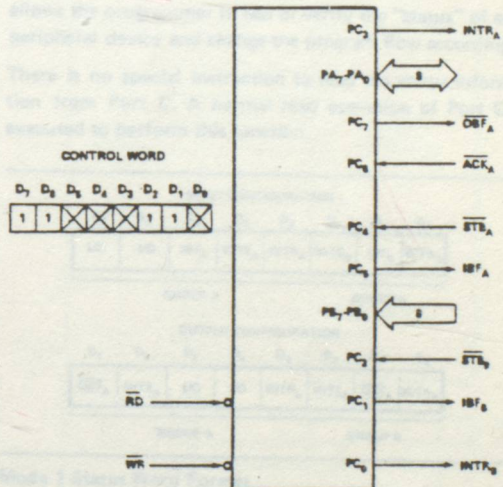
MODE 2 AND MODE 0 (OUTPUT)



MODE 2 AND MODE 1 (OUTPUT)



MODE 2 AND MODE 1 (INPUT)



Mode 2 Combinations



SILICON GATE MOS 8255

MODE DEFINITION SUMMARY TABLE

	MODE 0		MODE 1		MODE 2
	IN	OUT	IN	OUT	
PA <sub>0</sub>	IN	OUT	IN	OUT	GROUP A ONLY ↔ ↔ ↔ ↔ ↔ ↔ ↔
PA <sub>1</sub>	IN	OUT	IN	OUT	
PA <sub>2</sub>	IN	OUT	IN	OUT	
PA <sub>3</sub>	IN	OUT	IN	OUT	
PA <sub>4</sub>	IN	OUT	IN	OUT	
PA <sub>5</sub>	IN	OUT	IN	OUT	
PA <sub>6</sub>	IN	OUT	IN	OUT	
PA <sub>7</sub>	IN	OUT	IN	OUT	
PB <sub>0</sub>	IN	OUT	IN	OUT	MODE 0 OR MODE 1 ONLY
PB <sub>1</sub>	IN	OUT	IN	OUT	
PB <sub>2</sub>	IN	OUT	IN	OUT	
PB <sub>3</sub>	IN	OUT	IN	OUT	
PB <sub>4</sub>	IN	OUT	IN	OUT	
PB <sub>5</sub>	IN	OUT	IN	OUT	
PB <sub>6</sub>	IN	OUT	IN	OUT	
PB <sub>7</sub>	IN	OUT	IN	OUT	
PC <sub>0</sub>	IN	OUT	INTR <sub>B</sub>	INTR <sub>B</sub>	I/O
PC <sub>1</sub>	IN	OUT	IBF <sub>B</sub>	OBFB	I/O
PC <sub>2</sub>	IN	OUT	STB <sub>B</sub>	ACK <sub>B</sub>	I/O
PC <sub>3</sub>	IN	OUT	INTR <sub>A</sub>	INTR <sub>A</sub>	INTR <sub>A</sub>
PC <sub>4</sub>	IN	OUT	STB <sub>A</sub>	I/O	STB <sub>A</sub>
PC <sub>5</sub>	IN	OUT	IBF <sub>A</sub>	I/O	IBF <sub>A</sub>
PC <sub>6</sub>	IN	OUT	I/O	ACK <sub>A</sub>	ACK <sub>A</sub>
PC <sub>7</sub>	IN	OUT	I/O	OBFA	OBFA

Special Mode Combination Considerations

There are several combinations of modes when not all of the bits in Port C are used for control or status. The remaining bits can be used as follows:

If Programmed as Inputs -

All input lines can be accessed during a normal Port C read.

If Programmed as Outputs -

Bits in C upper (PC<sub>7</sub>-PC<sub>4</sub>) must be individually accessed using the bit set/reset function.

Bits in C lower (PC<sub>3</sub>-PC<sub>0</sub>) can be accessed using the bit set/reset function or accessed as a threesome by writing into Port C.

Source Current Capability on Port B and Port C

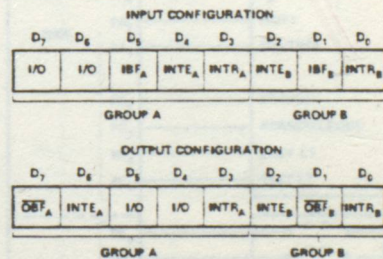
Any set of eight output buffers, selected randomly from Ports B and C can source 1mA at 1.5 volts. This feature allows the 8255 to directly drive Darlington type drivers and high-voltage displays that require such source current.

Reading Port C Status

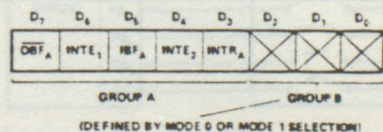
In Mode 0, Port C transfers data to or from the peripheral device. When the 8255 is programmed to function in Modes 1 or 2, Port C generates or accepts "hand-shaking" signals with the peripheral device. Reading the contents of Port C

allows the programmer to test or verify the "status" of each peripheral device and change the program flow accordingly.

There is no special instruction to read the status information from Port C. A normal read operation of Port C is executed to perform this function.



Mode 1 Status Word Format



Mode 2 Status Word Format

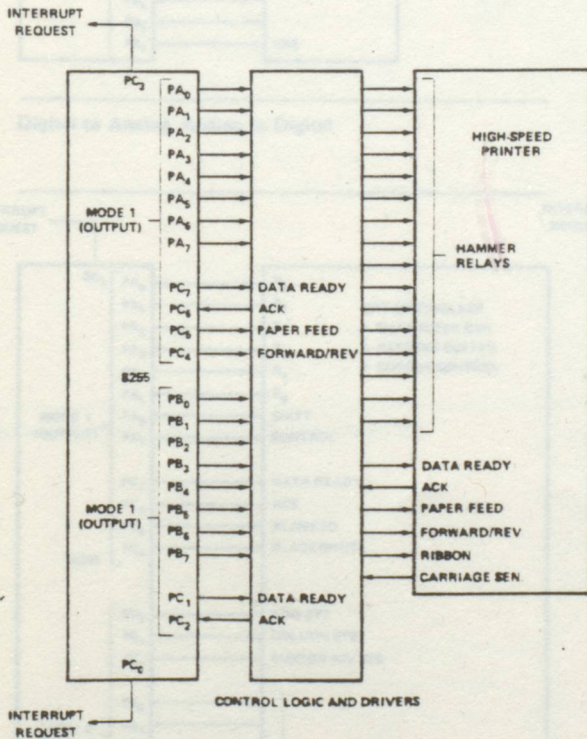


## SILICON GATE MOS 8255

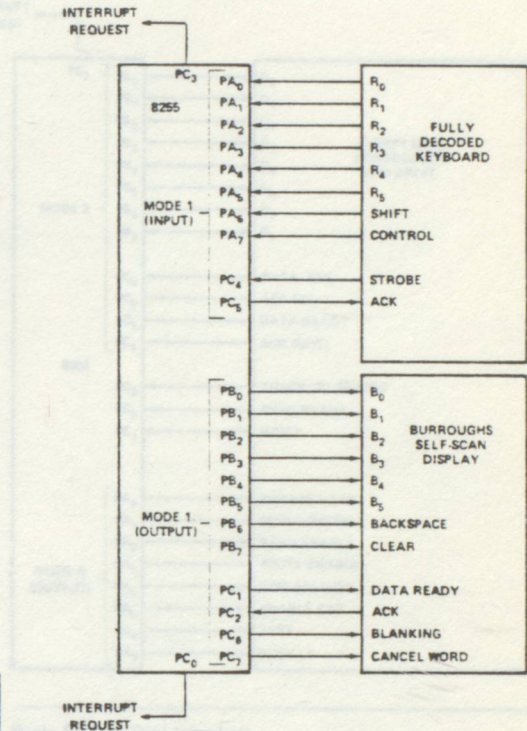
### APPLICATIONS OF THE 8255

The 8255 is a very powerful tool for interfacing peripheral equipment to the 8080 microcomputer system. It represents the optimum use of available pins and is flexible enough to interface almost any I/O device without the need for additional external logic.

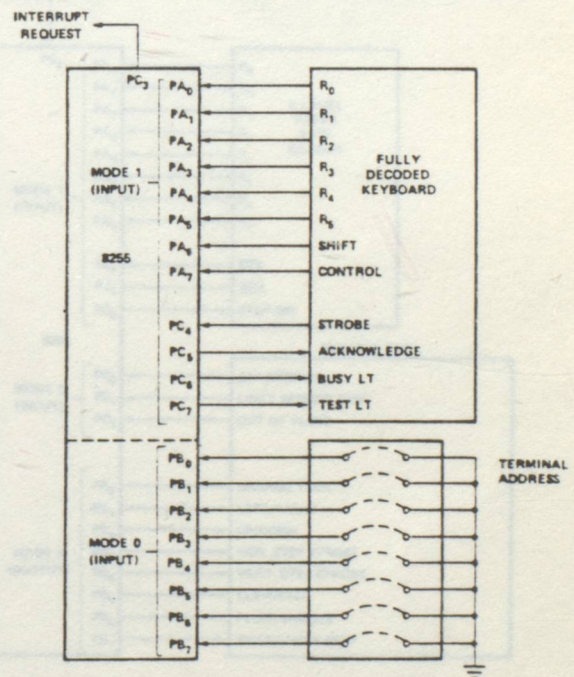
Each peripheral device in a Microcomputer system usually has a "service routine" associated with it. The routine manages the software interface between the device and the CPU. The functional definition of the 8255 is programmed by the I/O service routine and becomes an extension of the systems software. By examining the I/O devices interface characteristics for both data transfer and timing, and matching this information to the examples and tables in the Detailed Operational Description, a control word can easily be developed to initialize the 8255 to exactly "fit" the application. Here are a few examples of typical applications of the 8255.



Printer Interface



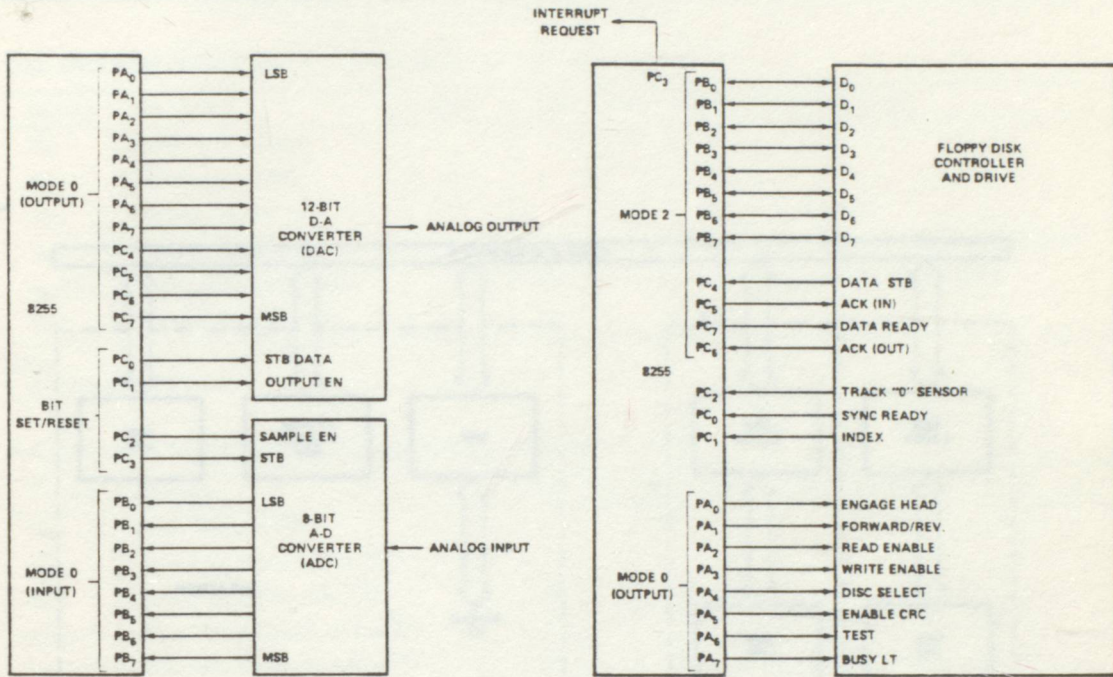
Keyboard and Display Interface



Keyboard and Terminal Address Interface

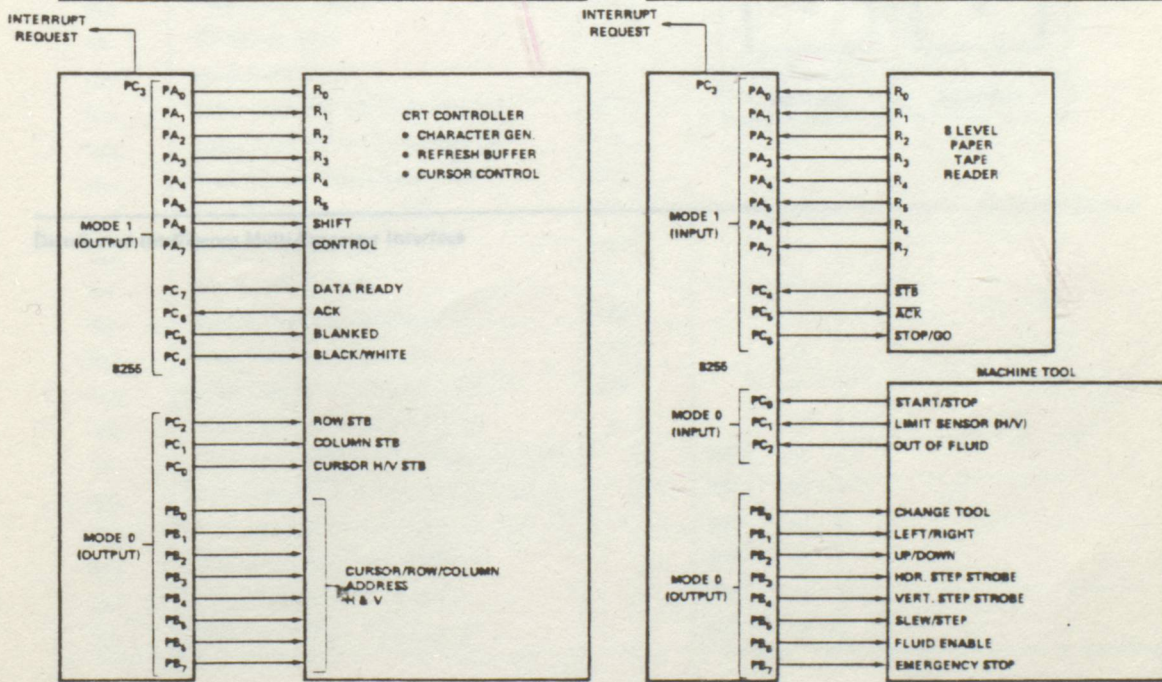


SILICON GATE MOS 8255



Digital to Analog, Analog to Digital

Basic Floppy Disc Interface



Basic CRT Controller Interface

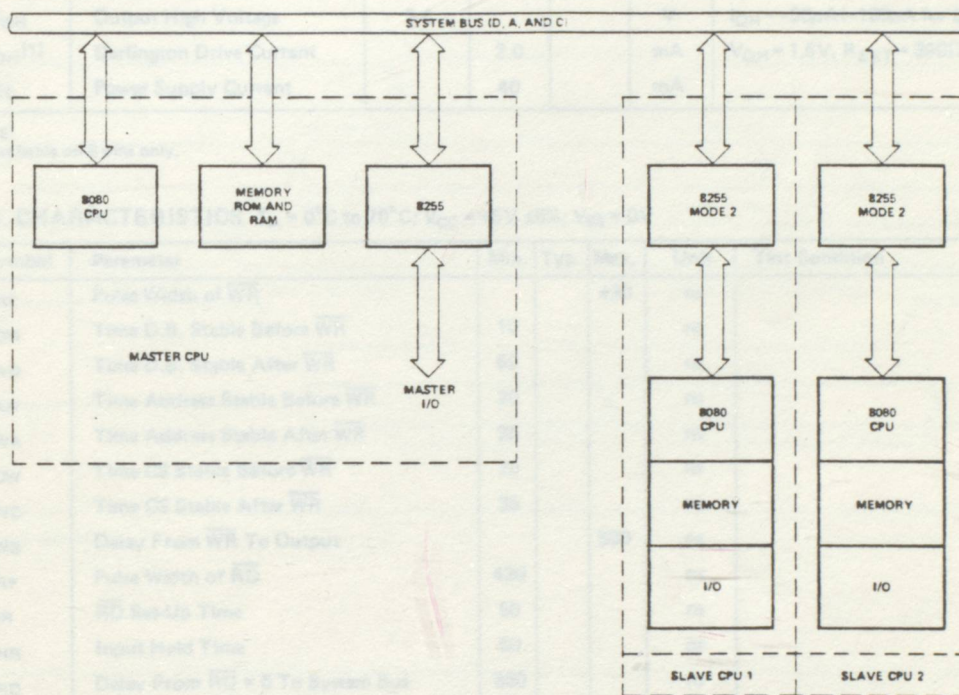
Machine Tool Controller Interface



SILICON GATE MOS 8255

D.C. CHARACTERISTICS  $T_A = 0^\circ\text{C}$  to  $70^\circ\text{C}$ ,  $V_{CC} = +5V \pm 5\%$ ,  $V_{DD} = 0V$

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
$V_{IL}$	Input Low Voltage			2	V	
$V_{IH}$	Input High Voltage	2.0			V	
$V_{OL}$	Output Low Voltage			4	V	$I_{OL} = 15\text{mA}$



Distributed Intelligence Multi-Processor Interface

$t_{SU}$	Setup Time for Address	20			ns	
$t_{HD}$	Hold Time for Address	20			ns	
$t_{SU}$	Setup Time for Data	20			ns	
$t_{HD}$	Hold Time for Data	20			ns	
$t_{SU}$	Setup Time for $A_1, A_2$ After $RD = 1$	20			ns	
$t_{HD}$	Hold Time for $A_1, A_2$ After $RD = 1$	5			ns	
$t_{SU}$	Setup Time From $ACK = 0$ To Output Mode 2	100			ns	
$t_{SU}$	Setup Time From $ACK = 1$ To Output Floating	20			ns	
$t_{SU}$	Setup Time From $WR = 1$ To $CSF = 0$	20			ns	
$t_{SU}$	Setup Time From $ACK = 0$ To $CSF = 1$	20			ns	
$t_{SU}$	Setup Time From $STB = 0$ To $IBF = 1$	20			ns	
$t_{SU}$	Setup Time From $RD = 1$ To $IBF = 0$	20			ns	



## SILICON GATE MOS 8255

D.C. CHARACTERISTICS  $T_A = 0^\circ\text{C to } 70^\circ\text{C}; V_{CC} = +5\text{V} \pm 5\%; V_{SS} = 0\text{V}$  \*

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
$V_{IL}$	Input Low Voltage			.8	V	
$V_{IH}$	Input High Voltage	2.0			V	
$V_{OL}$	Output Low Voltage			.4	V	$I_{OL} = 1.6\text{mA}$
$V_{OH}$	Output High Voltage	2.4			V	$I_{OH} = -50\mu\text{A} (-100\mu\text{A for D.B. Port})$
$I_{OH}^{(1)}$	Darlington Drive Current		2.0		mA	$V_{OH} = 1.5\text{V}, R_{EXT} = 390\Omega$
$I_{CC}$	Power Supply Current		40		mA	

NOTE:

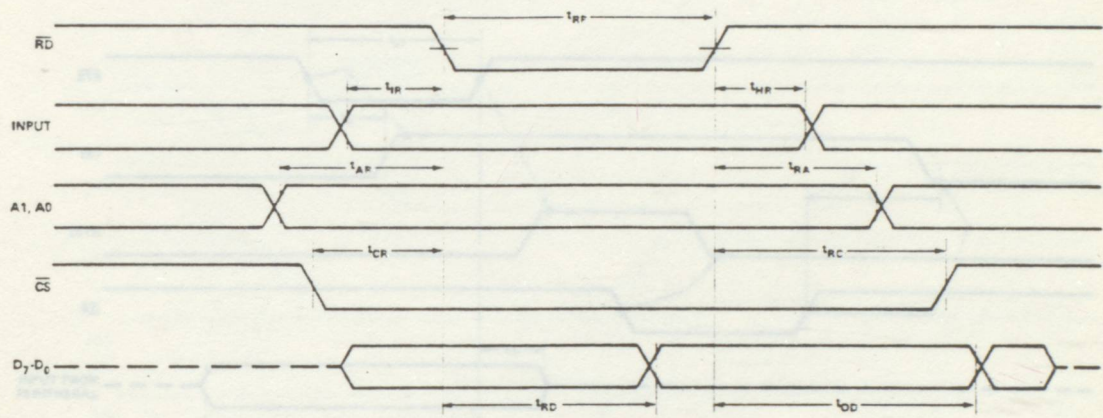
1. Available on 8 pins only.

A.C. CHARACTERISTICS  $T_A = 0^\circ\text{C to } 70^\circ\text{C}; V_{CC} = +5\text{V} \pm 5\%; V_{SS} = 0\text{V}$ 

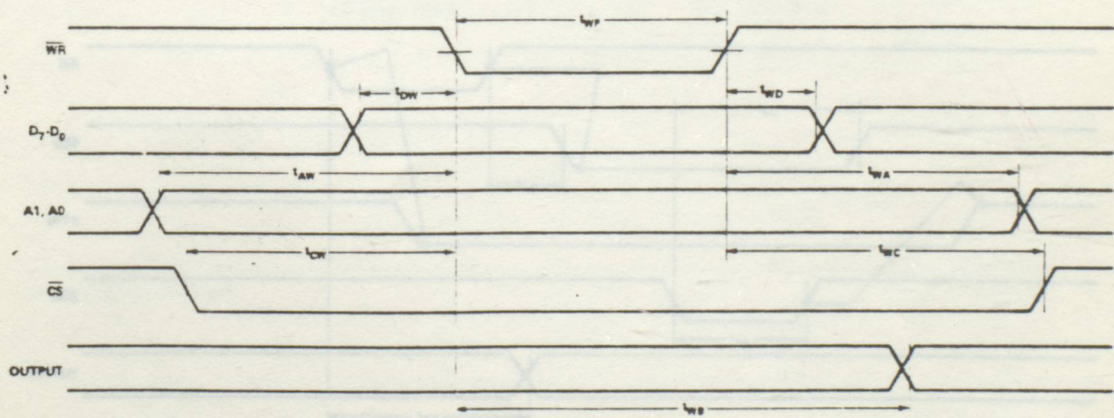
Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Condition
$t_{WP}$	Pulse Width of $\overline{WR}$			430	ns	
$t_{DW}$	Time D.B. Stable Before $\overline{WR}$	10			ns	
$t_{WD}$	Time D.B. Stable After $\overline{WR}$	65			ns	
$t_{AW}$	Time Address Stable Before $\overline{WR}$	20			ns	
$t_{WA}$	Time Address Stable After $\overline{WR}$	35			ns	
$t_{CW}$	Time CS Stable Before $\overline{WR}$	20			ns	
$t_{WC}$	Time CS Stable After $\overline{WR}$	35			ns	
$t_{WB}$	Delay From $\overline{WR}$ To Output			500	ns	
$t_{RP}$	Pulse Width of $\overline{RD}$	430			ns	
$t_{IR}$	$\overline{RD}$ Set-Up Time	50			ns	
$t_{HR}$	Input Hold Time	50			ns	
$t_{RD}$	Delay From $\overline{RD} = 0$ To System Bus	350			ns	
$t_{OD}$	Delay From $\overline{RD} = 1$ To System Bus	150			ns	
$t_{AR}$	Time Address Stable Before $\overline{RD}$	50			ns	
$t_{CR}$	Time $\overline{CS}$ Stable Before $\overline{RD}$	50			ns	
$t_{AK}$	Width Of $\overline{ACK}$ Pulse	500			ns	
$t_{ST}$	Width Of $\overline{STB}$ Pulse	350			ns	
$t_{PS}$	Set-Up Time For Peripheral	150			ns	
$t_{PH}$	Hold Time For Peripheral	150			ns	
$t_{RA}$	Hold Time for $A_1, A_0$ After $\overline{RD} = 1$	379			ns	
$t_{RC}$	Hold Time For CS After $\overline{RD} = 1$	5			ns	
$t_{AD}$	Time From $\overline{ACK} = 0$ To Output (Mode 2)			500	ns	
$t_{KD}$	Time From $\overline{ACK} = 1$ To Output Floating			300	ns	
$t_{WO}$	Time From $\overline{WR} = 1$ To $\overline{OBF} = 0$			300	ns	
$t_{AO}$	Time From $\overline{ACK} = 0$ To $\overline{OBF} = 1$			500	ns	
$t_{SI}$	Time From $\overline{STB} = 0$ To IBF			600	ns	
$t_{RI}$	Time From $\overline{RD} = 1$ To IBF = 0			300	ns	



SILICON GATE MOS 8255



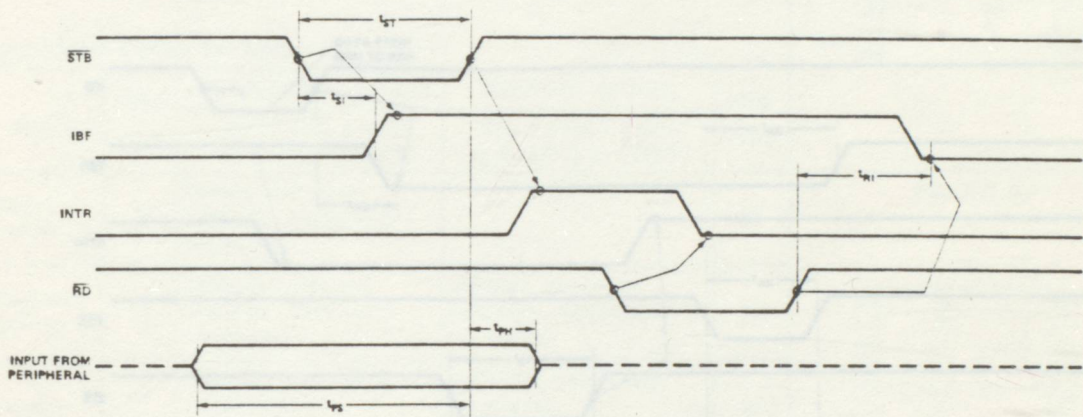
Mode 0 (Basic Input)



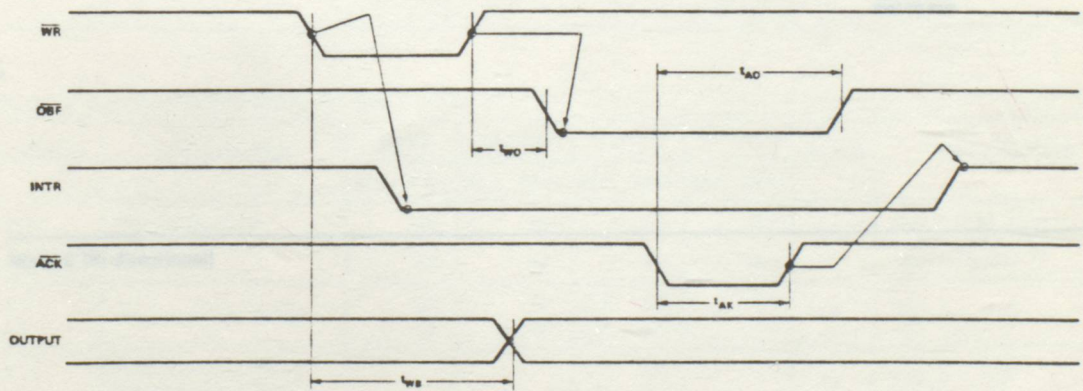
Mode 0 (Basic Output)



SILICON GATE MOS 8255



Mode 1 (Strobed Input)

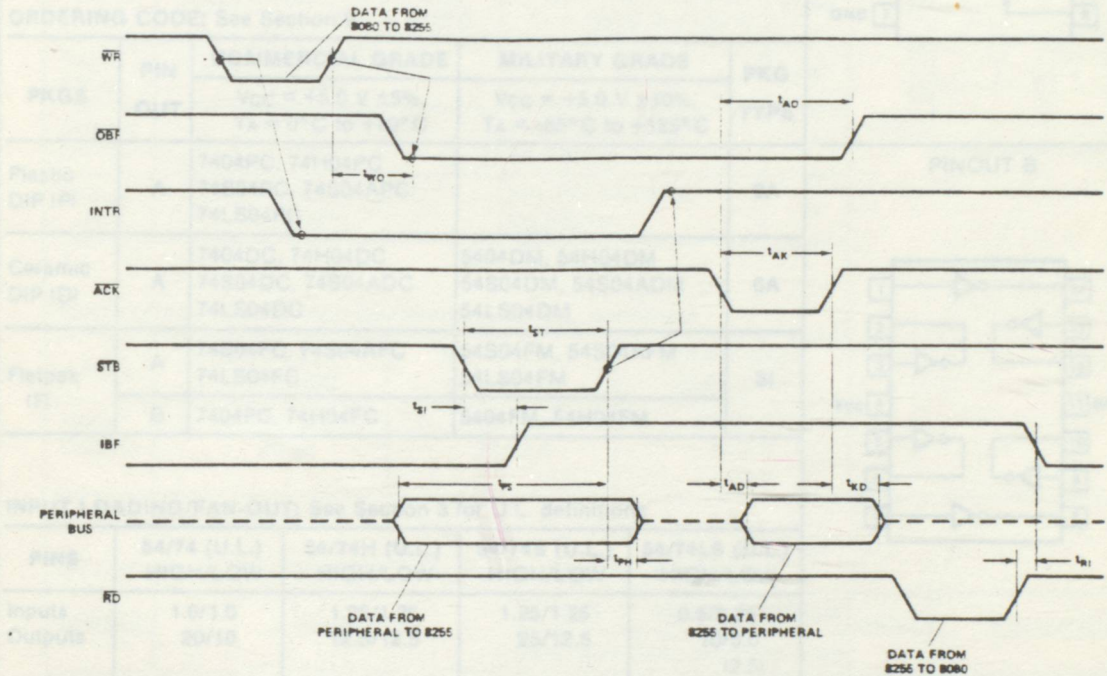


Mode 1 (Strobed Output)



SILICON GATE MOS 8255

CONNECTION DIAGRAMS  
PINOUT A



DC AND AC CHARACTERISTICS See Table 3

SYMBOL	PARAMETER	8255		8255H		8255S		8255LS		UNITS	CONDITIONS
		Min	Max	Min	Max	Min	Max	Min	Max		
$V_{CC}$	Power Supply	5	20	5	20	5	20	5	20	V	$V_{CC} = 5V$
$V_{OL}$	Propagation Delay	25	50	25	50	25	50	25	50	ns	Fig. 3-1, 3-4
$t_{PLH}$	Propagation Delay	15	10	15	10	15	10	15	10	ns	Fig. 3-1, 3-4
$t_{PLH}$	Propagation Delay (8255/8250A only)					1.0	3.5			ns	Fig. 3-1, 3-4

DC and AC characteristics are typical values. All other values are at  $V_{CC} = 5V$  and  $V_{OL} = 0V$ .

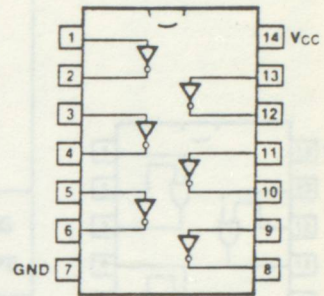


**54/7404**  
**54H/74H04**  
**54S/74S04**  
**54S/74S04A**  
**54LS/74LS04**  
**HEX INVERTER**

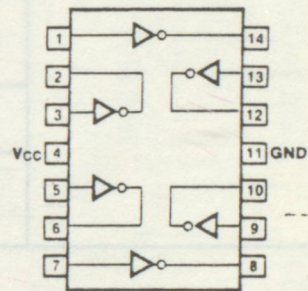
ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		V <sub>CC</sub> = +5.0 V ±5%, T <sub>A</sub> = 0°C to +70°C	V <sub>CC</sub> = +5.0 V ±10%, T <sub>A</sub> = -55°C to +125°C	
Plastic DIP (P)	A	7404PC, 74H04PC		9A
		74S04PC, 74S04APC		
		74LS04PC		
Ceramic DIP (D)	A	7404DC, 74H04DC	5404DM, 54H04DM	6A
		74S04DC, 74S04ADC	54S04DM, 54S04ADM	
		74LS04DC	54LS04DM	
Flatpak (F)	A	74S04FC, 74S04AFC	54S04FM, 54S04AFM	3I
	B	7404FC, 74H04FC	5404FM, 54H04FM	

CONNECTION DIAGRAMS  
PINOUT A



PINOUT B



INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

PINS	54/74 (U.L.) HIGH/LOW	54/74H (U.L.) HIGH/LOW	54/74S (U.L.) HIGH/LOW	54/74LS (U.L.) HIGH/LOW
Inputs	1.0/1.0	1.25/1.25	1.25/1.25	0.5/0.25
Outputs	20/10	12.5/12.5	25/12.5	10/5.0 (2.5)

DC AND AC CHARACTERISTICS: See Section 3\*

SYMBOL	PARAMETER	54/74	54/74H	54/74S	54/74LS	UNITS	CONDITIONS	
		Min Max	Min Max	Min Max	Min Max		V <sub>IN</sub> = Gnd	V <sub>CC</sub> = Max
I <sub>CC</sub> H	Power Supply Current	12	26	24	2.4	mA	V <sub>IN</sub> = Gnd	V <sub>CC</sub> = Max
I <sub>CC</sub> L	Current	33	58	54	6.6		V <sub>IN</sub> = Open	
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay	22 15	10 10	2.0 2.0	4.5 5.0	ns	Fig. 3-1, 3-4	
t <sub>PLH</sub> t <sub>PHL</sub>	Propagation Delay (54/74S04A only)			1.0 1.0	3.5 4.0		* ns	Fig. 3-1, 3-4

\*DC limits apply over operating temperature range. AC limits apply at T<sub>A</sub> = +25°C and V<sub>CC</sub> = +5.0 V.

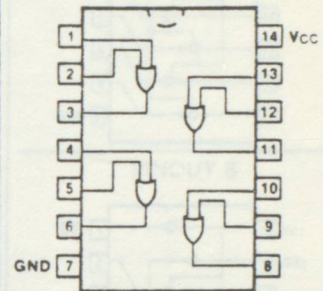


54S/74S2 54/7432 S/74LS240  
 54S/74S3 54S/74S32 74LS241  
**54LS/74LS32**  
 QUAD 2-INPUT OR GATE

ORDERING CODE: See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		V <sub>CC</sub> = +5.0 V ±5%, T <sub>A</sub> = 0°C to +70°C	V <sub>CC</sub> = +5.0 V ±10%, T <sub>A</sub> = -55°C to +125°C	
Plastic DIP (P)	A	7432PC, 74S32PC 74LS32PC		9A
Ceramic DIP (D)	A	7432DC, 74S32DC 74LS32DC	5432DM, 54S32DM 54LS32DM	6A
Flatpak (F)	A	7432FC, 74S32FC 74LS32FC	5432FM, 54S32FM 54LS32FM	3I

CONNECTION DIAGRAM  
PINOUT A



INPUT LOADING/FAN-OUT: See Section 3 for U.L. definitions

PINS	54/74 (U.L.) HIGH/LOW	54/74S (U.L.) HIGH/LOW	54/74LS (U.L.) HIGH/LOW
Inputs	1.0/1.0	1.25/1.25	0.5/0.25
Outputs	20/10	25/12.5	10/5.0 (2.5)

DC AND AC CHARACTERISTICS: See Section 3 for U.L. definitions

SYMBOL	PARAMETER	54/74		54/74S		54/74LS		UNITS	CONDITIONS	
		Min	Max	Min	Max	Min	Max		V <sub>IN</sub> = Open	V <sub>CC</sub> = Max
I <sub>CC</sub> H	Power Supply Current	22		32		6.2		mA		
I <sub>CC</sub> L		38		68		9.8			V <sub>IN</sub> = Gnd	
t <sub>PL</sub> H	Propagation Delay	15	2.0	7.0		15		ns	Figs. 3-1, 3-5	
t <sub>PH</sub> L		22	2.0	7.0		15				

\*DC limits apply over operating temperature range. AC limits apply at T<sub>A</sub> = +25°C and V<sub>CC</sub> = +5.0 V.

SYMBOL	DESCRIPTION	54/74 (U.L.) HIGH/LOW	54/74S (U.L.) HIGH/LOW
I <sub>OL</sub>	2-State Output Enable (Active LOW)	1.25/1.25	0.5/0.25
I <sub>OH</sub>	2-State Output Enable (Active HIGH)	1.25/1.25	0.5/0.25
I <sub>IL</sub>	Inputs	1.25/1.25	0.5/0.25
I <sub>OL</sub>	Outputs	10/5.0	2.5/1.25



240 • 241 • 244

**54S/74S240 • 54LS/74LS240**  
**54S/74S241 • 54LS/74LS241**  
**54LS/74LS244**

**OCTAL BUFFER/LINE DRIVER**  
 (With 3-State Outputs)

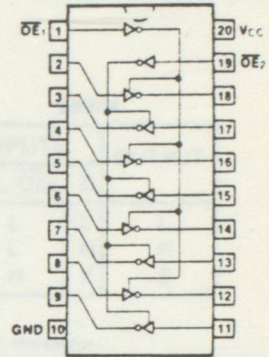
**DESCRIPTION** — The '240, '241 and '244 are octal buffers and line drivers designed to be employed as memory address drivers, clock drivers and bus oriented transmitters/receivers which provide improved PC board density.

- HYSTERESIS AT INPUTS TO IMPROVE NOISE MARGINS
- 3-STATE OUTPUTS DRIVE BUS LINES OR BUFFER MEMORY ADDRESS REGISTERS
- OUTPUTS SINK 24 mA (74LS) OR 40 mA(74S)
- 15 mA SOURCE CURRENT
- INPUT CLAMP DIODES LIMIT HIGH SPEED TERMINATION EFFECTS
- FULLY TTL AND CMOS COMPATIBLE

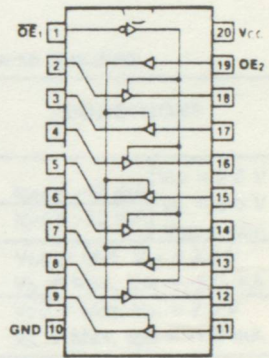
**ORDERING CODE:** See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		V <sub>CC</sub> = +5.0 V, ±5%, T <sub>A</sub> = 0°C to +70°C	V <sub>CC</sub> = +5.0 V, ±10%, T <sub>A</sub> = -55°C to +125°C	
Plastic DIP (P)	A	74S240PC, 74LS240PC		9Z
	B	74S241PC, 74LS241PC		
	C	74LS244PC		
Ceramic DIP (D)	A	74S240DC, 74LS240DC	54S240DM, 54LS240DM	4E
	B	74S241DC, 74LS241DC	54S241DM, 54LS241DM	
	C	74LS244DC	54LS244DM	
Flatpak (F)	A	74S240FC, 74LS240FC	54S240FM, 54LS240FM	4F
	B	74S241FC, 74LS241FC	54S241FM, 54LS241FM	
	C	74LS244FC	54LS244FM	

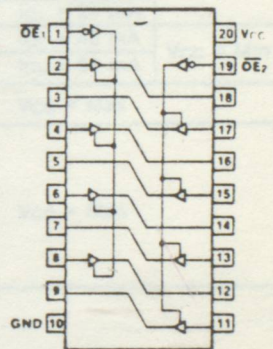
**CONNECTION DIAGRAMS**  
**PINOUT A**



**PINOUT B**



**PINOUT C**



**INPUT LOADING/FAN-OUT:** See Section 9

PIN NAMES	DESCRIPTION	54/74S (U.L.) HIGH/LOW	54/74LS (U.L.) HIGH/LOW
$\overline{OE}_1, \overline{OE}_2$	3-State Output Enable (Active LOW)	1.25/1.25	0.5/0.25
$OE_2$	3-State Output Enable (Active HIGH)	1.25/1.25	0.5/0.25
	Inputs	1.25/0.25	0.5/0.125
	Outputs	75/40 (30)	75/15 (7.5)



240 • 241 • 244

TRUTH TABLES

'S240, 'LS240			'S241, 'LS241			'LS244		
INPUTS		OUTPUT	INPUTS		OUTPUT	INPUTS		OUTPUT
$\overline{OE}_1, \overline{OE}_2$	D		$\overline{OE}_1$	$OE_2$		$\overline{OE}_1, \overline{OE}_2$	D	
L	L	H	L	L	L	L	L	L
L	H	L	L	H	H	L	H	H
H	X	Z	H	L	X	H	X	Z

H = HIGH Voltage Level    L = LOW Voltage Level    X = Immaterial    Z = High Impedance

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	DESCRIPTION	54/74S		54/74LS		UNITS	CONDITIONS	
		Min	Max	Min	Max			
V <sub>OH</sub>	Output HIGH Voltage	XM	2.0	2.0	V	I <sub>OH</sub> = -12 mA I <sub>OH</sub> = -15 mA	V <sub>IH</sub> = 2.0 V V <sub>IL</sub> = 0.5 V V <sub>CC</sub> = Min	
		XC	2.0	2.0				
		XM	2.4	2.4	V	V <sub>CC</sub> = Min, V <sub>IH</sub> = 2.0 V V <sub>IL</sub> = Max, I <sub>OH</sub> = -3.0 mA		
		XC	2.4	2.4				
		XC	2.7	2.7	V	V <sub>CC</sub> = Min, V <sub>IH</sub> = 2.0 V V <sub>IL</sub> = Max, I <sub>OH</sub> = -1.0 mA		
V <sub>OL</sub>	Output LOW Voltage	XM		0.4	V	I <sub>OL</sub> = 12 mA	V <sub>CC</sub> = Min	
		XC		0.4				
		XC		0.5				
		XM	0.55		V	I <sub>OL</sub> = 48 mA I <sub>OL</sub> = 64 mA	V <sub>CC</sub> = Min	
		XC	0.55					
I <sub>OS</sub>	Output Short Circuit Current	-50	-225	-40	-225	mA	V <sub>CC</sub> = Max	
I <sub>CC</sub>	Power Supply Current	HIGH	'(240)	XM	123	23	mA	V <sub>CC</sub> = Max
				XC	135	23		
			'(241)	XM	147	23		
				XC	160	23		
		LOW	'(240)	XM	145	44	mA	V <sub>CC</sub> = Max
				XC	150	44		
			'(241)	XM	170	46		
				XC	180	46		
		OFF	'(240)	XM	145	50	mA	V <sub>CC</sub> = Max
				XC	150	50		
			'(241)	XM	170	54		
				XC	180	54		
		'(244)	XM		54			
			XC		54			



245

## 54LS/74LS245

### OCTAL BUS TRANSCEIVER

(With 3-State Outputs)

**DESCRIPTION** — The 'LS245 is an octal bus transmitter/receiver designed for 8-line asynchronous 2-way data communication between data busses. Direction input (DR) controls transmission of data from bus A to bus B or bus B to bus A depending upon its logic level. The Enable input ( $\bar{E}$ ) can be used to isolate the busses.

- HYSTERESIS INPUTS TO IMPROVE NOISE IMMUNITY
- 2-WAY ASYNCHRONOUS DATA BUS COMMUNICATION
- INPUT DIODES LIMIT HIGH SPEED TERMINATION EFFECTS
- FULLY TTL AND CMOS COMPATIBLE

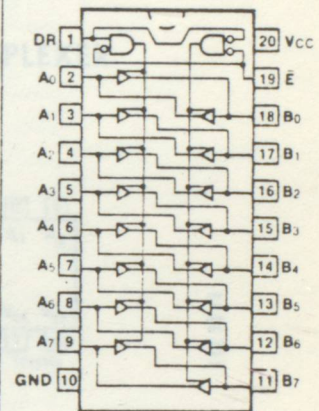
**ORDERING CODE:** See Section 9

PKGS	PIN OUT	COMMERCIAL GRADE	MILITARY GRADE	PKG TYPE
		V <sub>CC</sub> = +5.0 V ±5%, T <sub>A</sub> = 0°C to +70°C	V <sub>CC</sub> = +5.0 V ±10%, T <sub>A</sub> = -55°C to +125°C	
Plastic DIP (P)	A	74LS245PC		9Z
Ceramic DIP (D)	A	74LS245DC	54LS245DM	4E
Flatpak (F)	A	74LS245FC	54LS245FM	4F

**INPUT LOADING/FAN-OUT:** See Section 3 for U.L. definitions

PINS	54/74LS (U.L.) HIGH/LOW
Inputs	0.5/0.125
Outputs	75/15 (7.5)

**CONNECTION DIAGRAM**  
PINOUT A

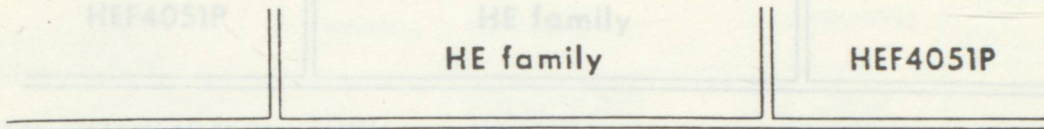


**TRUTH TABLE**

INPUTS		OUTPUT
$\bar{E}$	DR	
L	L	Bus B Data to Bus A
L	H	Bus A Data to Bus B
H	X	Isolation

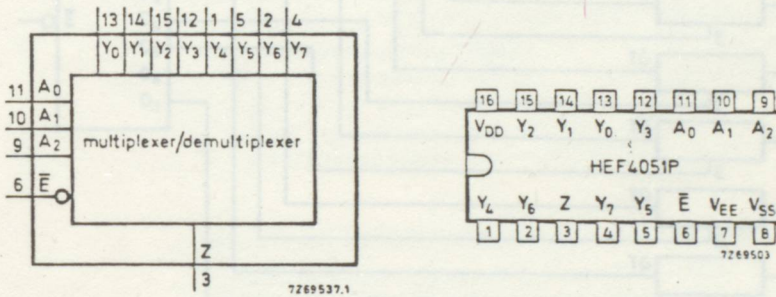
H = HIGH Voltage Level  
L = LOW Voltage Level  
X = Immaterial





The HE family of LOCMOS (Local Oxidation Complementary MOS) is designed for medium-speed digital equipment in computation, telecommunication, instrumentation and control. Recommended supply voltage range 3 to 15 V. Inputs and outputs are protected against electrostatic effects in a wide variety of device-handling situations. However, to be totally safe, it is desirable to take handling precautions into account.

### 8-CHANNEL ANALOGUE MULTIPLEXER/DEMULPLEXER



#### GENERAL DESCRIPTION

The HEF4051P is an 8-channel analogue multiplexer/demultiplexer with three address inputs ( $A_0$  to  $A_2$ ), an active LOW enable input ( $\bar{E}$ ), eight independent inputs/outputs ( $Y_0$  to  $Y_7$ ) and a common input/output ( $Z$ ).

The device contains eight bidirectional analogue switches, each with one side connected to an independent input/output ( $Y_0$  to  $Y_7$ ) and the other side connected to a common input/output ( $Z$ ).

With  $\bar{E}$  LOW, one of the eight switches is selected (low impedance, ON-state) by  $A_0$  to  $A_2$ . With  $\bar{E}$  HIGH, all switches are in the high impedance OFF-state, independent of  $A_0$  to  $A_2$ .

$V_{DD}$  and  $V_{SS}$  are the supply voltage connections for the digital control inputs ( $A_0$  to  $A_2$ , and  $\bar{E}$ ). Their voltage limits are the same as for all other digital LOCMOS.

The analogue inputs/outputs ( $Y_0$  to  $Y_7$ , and  $Z$ ) can swing between  $V_{DD}$  as a positive limit and  $V_{EE}$  as a negative limit.  $V_{DD} - V_{EE}$  may not exceed 15 V.

For operation as a digital multiplexer/demultiplexer,  $V_{EE}$  is connected to  $V_{SS}$  (typically ground).

PACKAGE OUTLINE plastic 16-lead dual in-line (see general section).







# DEVELOPMENT DATA

This data sheet contains advance information and specifications are subject to change without notice.

## 8-BIT MAGNITUDE COMPARATOR

### FEATURES

- Compare two 8-bit words
- Output capability: standard

### GENERAL DESCRIPTION

The 54/74HC/HCT688 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7.

The 54/74HC/HCT688 are 8-bit magnitude comparators. They perform comparison of two 8-bit binary or BCD words.

The output provides  $\overline{P} = \overline{Q}$ .

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
$t_{PHL}/t_{PLH}$	propagation delay $P_n, Q_n$ to $\overline{P} = \overline{Q}$ $\overline{E}$ to $\overline{P} = \overline{Q}$	$C_L = 15 \text{ pF}$ $V_{CC} = 5 \text{ V}$	14 8	14 8	ns ns
$C_I$	input capacitance		3.5	3.5	pF
$C_{PD}$	power dissipation capacitance per package	notes 1 and 2	30	30	pF

$GND = 0 \text{ V}; T_{amb} = 25 \text{ }^\circ\text{C}; t_r = t_f = 6 \text{ ns}$

### Notes

1.  $C_{PD}$  is used to determine the dynamic power dissipation ( $P_D$  in  $\mu\text{W}$ ):

$$P_D = C_{PD} \times V_{CC}^2 \times f_i + \sum (C_L \times V_{CC}^2 \times f_o) \text{ where:}$$

- $f_i$  = input frequency in MHz
- $f_o$  = output frequency in MHz
- $\sum (C_L \times V_{CC}^2 \times f_o)$  = sum of outputs
- $C_L$  = output load capacitance in pF
- $V_{CC}$  = supply voltage in V

2. For HC the condition is  $V_I = GND$  to  $V_{CC}$   
For HCT the condition is  $V_I = GND$  to  $V_{CC} - 1.5 \text{ V}$

### ORDERING INFORMATION/PACKAGE OUTLINES

PC74HC/HCT688P: 20-lead DIL; plastic (SOT-146).

PC74HC/HCT688T: 20-lead mini-pack; plastic (SO-20; SOT-163A).

### PIN DESCRIPTION

PIN NO.	SYMBOL	NAME AND FUNCTION
1	$\overline{E}$	enable input (active LOW)
2, 4, 6, 8, 11, 13, 15, 17	$P_0$ to $P_7$	word inputs
3, 5, 7, 9, 12, 14, 16, 18	$Q_0$ to $Q_7$	word inputs
10	GND	ground (0 V)
19	$\overline{P} = \overline{Q}$	equal to output
20	$V_{CC}$	positive supply voltage

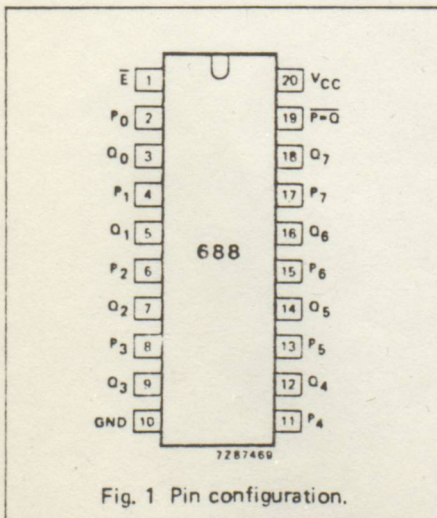


Fig. 1 Pin configuration.

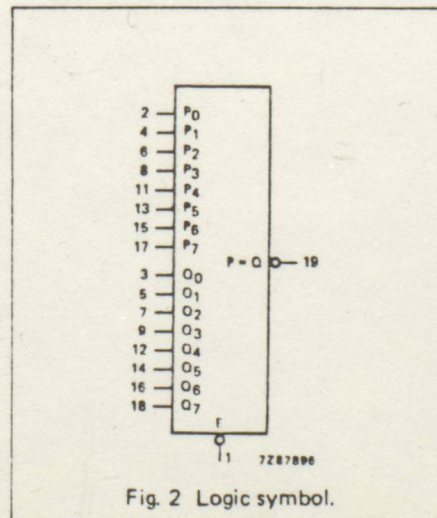


Fig. 2 Logic symbol.

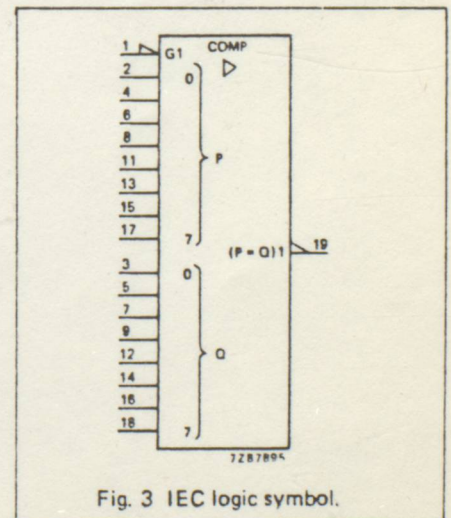


Fig. 3 IEC logic symbol.



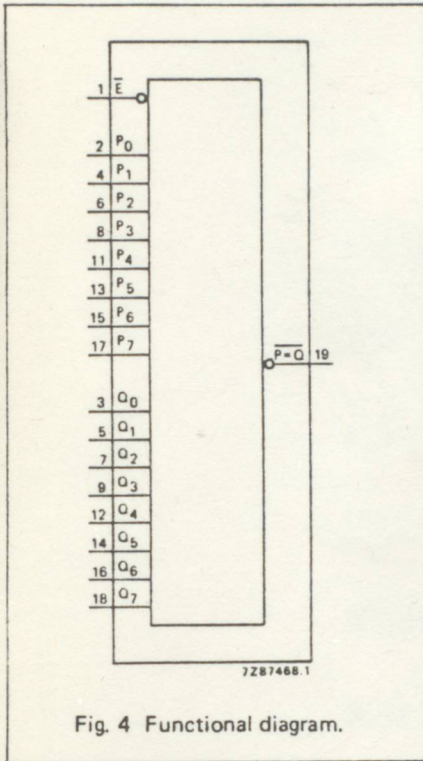


Fig. 4 Functional diagram.

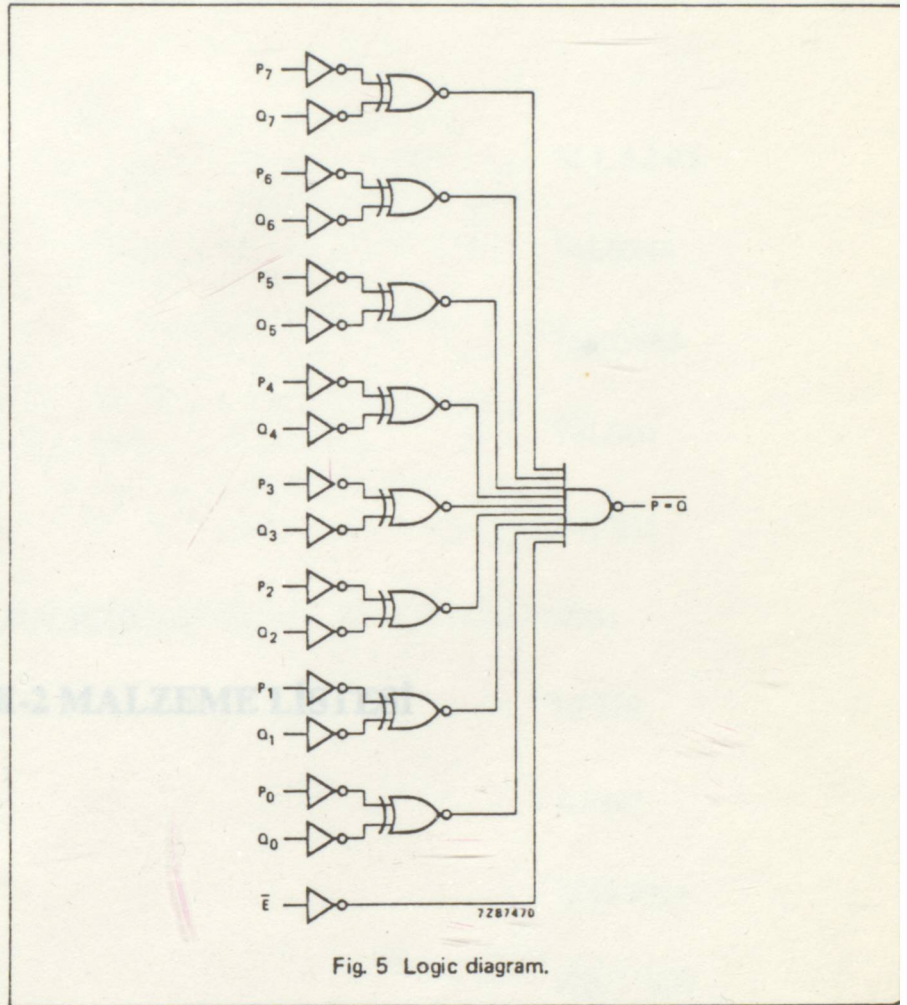


Fig. 5 Logic diagram.

FUNCTION TABLE

INPUTS		OUTPUT
DATA P <sub>n</sub> , Q <sub>n</sub>	ENABLE E	P = Q
P = Q	L	L
X	H	H
P > Q	L	H
P < Q	L	H

H = HIGH voltage level

L = LOW voltage level

X = don't care



Devrede kullanılan yarı iletken elemanlar:

IC1	74LS245
IC2,IC3	74LS244
IC4	741C688
IC5	74LS04
IC6	74LS32
IC7,IC8,IC9,IC10	4051

### EK-2 MALZEME LİSTESİ

IC11	LF353
IC12	LF441
IC13	8255 PIO
IC14	ADC 7109
	DIPSW
	LM336
	4x1N4148



Devrede kullanılan yarı iletken elemanlar:

IC1	74 LS 245
IC2,IC3	74LS244
IC4	74HC688
IC5	74LS04
IC6	74LS32
IC7,IC8,IC9,IC10	4051
IC11	LF353
IC12	LF441
IC13	8255 PIO
IC14	ADC 7109
	DIPSW
	LM336
	4x1N4148



Digital Principles and Applications (A.J. Martin, B.P. Lathi)  
 Elektronik Ağları ve Enerji Devreleri (Dr. Y. M. F. Uğur)  
 Data Conversion Components (G. A. Kopp)  
 Data Acquisition Computer Interfacing (G. A. Kopp)  
 Analog - Digital Conversion (A. D. K. Talbot - Analog Devices)  
 Data Acquisition Data Base Management (G. A. Kopp)  
 IBM PC Technical Reference  
 The IBM Personal Computer Family and Multi OS (Addison - Wesley Pub-  
 lishing Company)  
 Data Conversion ICs (Analog Devices)  
 The Personal Computer Handbook  
 IBM Personal Computer Family User's Guide (Addison  
 Wesley Publishing Company)

### EK-3 YARARLANILAN KAYNAKLAR



- Digital Principles and Applications (A.P.Malvino, D.P. Leach)  
Elektronik Ölçmeleri ve Entegre Devreler (Doç.Y.Müh. Fehmi Uçar)  
Data Conversion Components (Datel - Intersil)  
Data Acquisition Component Handbook (Datel - Intersil)  
Analog - Digital Conversion Notes (D.H. Sheingold - Analog Devices)  
Data Acquisition Databook 1984 (Analog Devices)  
IBM-PC Technical References  
The IBM Personal Computer From the Inside Out (Addison - Wesley Publishing Company)  
Data Acquisition IC Handbook (Teledyne Semiconductor)  
TTL Databook (Fairchild Semiconductor)  
Analog Kompüter Ders Notları (Doç.Dr. Sezgin Alsan)  
Linear Databook (National Semiconductor Corporation)



## ÖZGEÇMİŐ

Nizamettin Aydın, 1962'de Gemlik'de doğdu. İlk ve orta öğrenimini Gemlik'te tamamladıktan sonra Bursa DemirtaşpaŐa Teknik Lisesi'ne devam etti. 1980'de Elektrik Bölümü'nden mezun oldu. Aynı yıl Yıldız Üniversitesi'ne girdi. 1984'de Elektronik ve Haberleşme Bölümü'nü bitirdi. 1985'de aynı bölümde lisansüstü eğitimine başladı. Halen, Yıldız Üniversitesi'nde, Elektrik-Elektronik Ölçmeleri ve Standartlar Laboratuvarı'nda araştırma görevlisi olarak çalışmaktadır.



# ÖZGEÇMİŞ

Mixamettin Aydın, 1967'de Gazilik'de doğdu. İlk ve orta öğrenimini Gazilik'te tamamladıktan sonra Bursa Devlet Konservatuarı Teknik Lisesi'ne devam etti. 1980'de Elektrik Bölümü'nden mezun oldu. Aynı yıl Yıldız Teknik Üniversitesi'ne girdi. 1984'de Elektronik ve Haberleşme Bölümü'ne girdi. 1987'de aynı bölümde lisansüstü eğitime başladı. Hatan, Yıldız Üniversitesi'nde Elektrik-Elektronik Ölçme ve Standartlar Laboratuvarı'nda ara-tırma görevleri olarak çalışmıştır.

