

79114



**YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

**YAPAY SİNİR AĞLARINDA KULLANILAN
ÖKLİD MESAFESİNİ HESAPLAMAK İÇİN BİR
ANALOG TÜRMEVRENİN GERÇEKLENMESİ**

Elektronik ve Hab.Müh. Turan SOLMAZ

**F.B.E. Elektronik ve Haberleşme Mühendisliği Anabilim Dalı Haberleşme
Programında Hazırlanan**

YÜKSEK LİSANS TEZİ

79114

Tez Danışmanı: Prof. Dr. Atilla ATAMAN

Prof. Şefik SARIKAYALAR



*Prof. Dr.
H. Hakem Kurtman*



Prof. Dr. Atilla ATAMAN



İSTANBUL, 1998

YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

İÇİNDEKİLER

| | |
|---|-----|
| ÖNSÖZ..... | ii |
| ÖZET..... | iii |
| ABSTRACT..... | iv |
| 1. GİRİŞ..... | 1 |
| 2. ÖNCEKİ ÇALIŞMALAR..... | 2 |
| 3. ÖKLİD MESAFESİ ve YAPAY SİNİR AĞLARINDAKİ YERİ..... | 4 |
| 4. MOS TRANSİSTOR..... | 8 |
| 4.1 MOS Transistorun Temel Bağlıntıları..... | 8 |
| 4.2 MOS Transistorunda Lineersizlik..... | 12 |
| 4.2.1 Kanal boyu modülasyonu..... | 13 |
| 4.2.2 Gövde etkisi..... | 15 |
| 4.2.3 Mobilitenin zayıflama etkisi..... | 16 |
| 5. TASARIMDA KULLANILAN YAPI BLOKLARI..... | 17 |
| 5.1 Akım Aynaları..... | 17 |
| 5.1.1 Basit akım aynası..... | 17 |
| 5.1.2 Kaskod akım aynası..... | 20 |
| 5.2 MTL Devre Prensibi..... | 21 |
| 5.3 Geçişiletkenliği (transconductance) Elemanı..... | 25 |
| 5.4 Akımın Karesini Alma Devresi..... | 28 |
| 5.5 Vektörel Toplama Devreleri..... | 32 |
| 5.5.1 Otomatik kutuplamalı vektörel toplama devresi..... | 33 |
| 5.5.2 Doğrusal geçiş çevrimli (MTL) vektörel toplama devresi..... | 35 |
| 6. SİMÜLASYONU YAPILACAK OLAN DEVRELER ve SİMÜLASYON SONUÇLARI..... | 42 |
| 6.1 Geçişiletkenliği Devresi ve Simülasyonu..... | 43 |
| 6.2 Otomatik Kutuplamalı Vektörel Toplama Devresi Kullanarak Öklid Mesafesinin Hesaplanması ve Simülasyon Sonuçları..... | 45 |
| 6.3 Doğrusal Geçiş Çevrimli Vektörel Toplama Devresi Kullanarak Öklid Mesafesinin Hesaplanması ve Simülasyon Sonuçları..... | 57 |

| | | |
|------|---|-----|
| 7. | LAYOUT TASARIMI..... | 70 |
| 7.1 | Geometrik Tasarım Kuralları..... | 70 |
| 7.2 | Tasarımda Kullanılan Katmanlar..... | 70 |
| 8. | SONUÇLAR ve ÖNERİLER..... | 75 |
| | KAYNAKLAR..... | 76 |
| | EKLER..... | 79 |
| Ek 1 | SPICE Model Parametreleri..... | 80 |
| Ek 2 | Geçişiletkenliği Devresine Ait SPICE Dosyası..... | 83 |
| Ek 3 | Otomatik Kutuplamalı Vektörel Toplama Devresine Ait SPICE Dosyası..... | 85 |
| Ek 4 | Otomatik Kutuplamalı Vektörel Toplama Devresi Kullanılarak Gerçeklenen Öklid Mesafesi Hesaplama Devresine Ait SPICE Dosyası..... | 87 |
| Ek 5 | TÜBİTAK-YİTAL 3um Poli Geçitli CMOS Prosesi Tasarım Kuralları..... | 90 |
| Ek 6 | Layoutu Tasarlanan Devreye Ait SPICE Dosyası (Şekil 7.1)..... | 93 |
| Ek 7 | MTL Yapısı ile Gerçeklenen Vektörel Toplama Devresine Ait SPICE Dosyası..... | 100 |
| Ek 8 | MTL Yapısı Kullanılarak Gerçeklenen Öklid Mesafesi Hesaplama Devresine Ait SPICE Dosyası..... | 102 |
| | ÖZGEÇMİŞ..... | 106 |

ÖNSÖZ

Bu tezin hazırlanması sırasında; engin bilgi ve yardımlarından yararlandığım sayın hocam **Prof.Dr. Atilla ATAMAN'a**, düşünce ve katkılarından dolayı **Yrd.Doç.Dr. Tülay YILDIRIM'a** ve çalışma arkadaşım **Arş.Gör. Kemal HACIOĞLU'na** saygı ve sevgilerimi sunarım.

Haziran 1998

Turan SOLMAZ

ÖZET

Bu tezde Öklid mesafesini hesaplayan devrenin tasarımı ve MOS transistörleri kullanılarak gerçekleştirilmesi sunulmuştur. RBFN ve CSFN gibi bazı yapay sinir ağları uygulamalarında Öklid mesafesinin hesaplanması gerekmektedir.

N boyutlu uzayda iki vektör arasındaki uzaklık, Öklid mesafesi olarak adlandırılır.

Devre iki bloktan oluşmaktadır. Akım modunda Öklid mesafesini hesaplayan ikinci blok ana bloğu oluşturmaktadır. Fakat bizim girişlerimiz gerilim olmaktadır. Dolayısıyla, giriş gerilimlerini akıma çevirmek amacıyla ilk blok olarak geçişiletkenliği elemanı kullanılmıştır.

Devre MOS transistörleri kullanılarak gerçekleştirilmiştir. Level 3 YİTAL proses parametreleri kullanılarak devrenin simülasyonu, T-Spice simülasyon programı kullanılarak yapılmıştır. Devrenin serimi ise L-Edit layout programı kullanılarak gerçekleştirilmiştir. Serimi yapılan devreye ait oluşturulan SPICE dosyası için postsimülasyon yapılmıştır. Her iki simülasyon sonuçlarının birbirleriyle aynı sonucu verdiği grafiklerle gösterilmiştir.

ABSTRACT

In this thesis, design and MOS VLSI implementation of a circuit that calculates Euclidean distance is presented. In some neural network applications, such as RBFN and CSFN, the calculation of Euclidean distance is a necessity.

In an N -dimensional space, the distance between two vectors is called Euclidean distance .

The circuit is constructed by two blocks. The main block is the second block that calculates the Euclidean distance in current mode. But our inputs are voltages. That's why a transconductance element is used as a first block to convert voltage inputs to current.

The circuit is implemented by MOS transistors. Level 3 YITAL process parameters are used in the simulation of the circuit. The simulation is performed by T-Spice, a simulation program. Layout of the circuit is designed by L-Edit, a layout program, and then the simulation process is performed again for the SPICE file of the layout. The results of both simulations are found to be in agreement.



1. GİRİŞ

MOS transistörünün 1960 yılında ilk olarak tanıtılmasından sonra [12], bu devre elemanı sayısal tümdevre elektroniğinde öncü bir rol oynamıştır. MOSFET teknolojisi, sayısal devrelerin tümleştirilme boyutlarının küçülmesi açısından çok büyük gelişme göstermiştir. Analog devrelerin gerçekleştirilmesinde ise bu teknolojinin kullanımı sayısal devrelere nazaran yeni sayılabilir.

Bu tezde yapay sinir ağları (neural networks) uygulamalarında kullanılan RBF (radial basis function) ve CSFN'yi (Conic Section Function Network) gerçeklemek için ihtiyaç duyulan Öklid mesafesini hesaplama devresi, TÜBİTAK Marmara Araştırma Merkezi Yarıiletken Teknolojisi Araştırma Laboratuvarı (YİTAL) tarafından geliştirilen 3µm CMOS transistör proses parametreleri ile gerçekleştirilmiştir.

Devrede yer alan bloklar için DC analiz yapılmıştır. DC analizin istenilen sonuçları vermesine rağmen, istenilen çıkışların elde edilip edilmediğini açık bir şekilde görmek amacıyla da DC analiz sonucunda elde edilen veriler düzlemde gösterilmiştir.

Analizi ve simülasyonu yapılan ilk blok bir lineer geçişiletkenliği devresidir [11]. Bu devrenin lineer çalışma sınırları belirlendikten sonra ikinci blok devrenin gerçekleştirilmesine geçilmiştir. İkinci devre ise, akım modunda çalışan vektörel toplama devresidir. Vektörel toplama devresi kare alma, toplama ve karekök alma fonksiyonlarını bir arada yerine getirmektedir. İlk blok olarak geçişiletkenliği devresi kullanıldığından, ikinci blok için giriş işareti akım olacaktır. Dolayısıyla ikinci bloğun, istenilen fonksiyonu gerçekleştirebileceği giriş akımı sınırları, birinci bloğun lineer çalışma aralığı içinde tutulmuştur. Dolayısıyla bu iki kat arasında herhangi bir kuvvetlendirme veya zayıflatma devresine ihtiyaç duyulmamıştır.

Devrenin simülasyonu T-Spice ile yapılmıştır. Doğru simülasyon sonuçları elde edildikten sonra, L-Edit programı ile de devrenin serimi yapılmıştır. Serimi yapılan devre için postsimülasyon yapılmış ve devrenin verilen giriş aralığında(-1V,1V) çalıştığı görülmüştür.

2. ÖNCEKİ ÇALIŞMALAR

Öklid mesafesinin en yaygın kullanıldığı ağ yapıları RBFN ve CSFN 'dir [31]. RBF ağını analog olarak gerçekleştirmenin zorluğu, RBF'in yapmak zorunda olduğu karmaşık hesaplamalardan kaynaklanmaktadır. Bu hesaplamaların başında da Öklid mesafesi yer almaktadır. Bu konuyla doğrudan ilişkili olarak pek fazla analog VLSI tasarım yapılmamış olsa da bu konudan bağımsız olarak çalışan analog tasarımcılar tarafından gerçekleştirilen çeşitli analog hesaplama devreleri, Öklid mesafesini gerçeklemede kullanılabilir. Bu amaçla kullanılabilecek önceki çalışmalar şöyle özetlenebilir.

İşlemsel kuvvetlendirici, akım taşıyıcı kullanılarak kare alma, karekök alma ve vektörel toplama işlemleri gerçekleştirilebilmektedir [6,18,9,13,5]. Ama bu tür yapılar yerine, MOS transistörün karesel tanım bağıntısından yola çıkılarak gerçekleştirilen devreler, tümleştirme açısından kaplayacakları alanın çok daha az olması nedeniyle tercih sebebidir.

1987 yılında Evert Seevinck ve R.F.Wassenaar [25] tarafından CMOS geçiş iletkenliği devresi sunulmuştur. Bu devreyle, sadece düğüm bağlantılarında ufak değişiklikler yapılarak, girişteki fark işaretinin karesi alınmıştır. Bu yapıyla, Öklid normunda yer alan fark işaretinin karesi alınabilir. Önerilen devrede yapılacak ufak değişikliklerle de karekök alma işlemi gerçekleştirilebilmektedir.

1991 yılında E.Seevinck ve R.J.Wiegerink MTL (MOS translinear loop) yapısı kullanarak, akım modunda çalışan ve vektörel toplama işlemi yapan bir yapı sunmuşlardır [30]. Gerçeklenen devrede, girişlerden birinin pozitif ve değerinin diğer girişin mutlak değerinden büyük olma koşulu bulunmaktadır.

Landolt O., Vittoz E. tarafından 1992 yılında [15], MTL yapısı kullanılarak akım modunda vektörel toplama devresi gerçekleştirilmiştir. Gerçeklenen devre, her iki yöndeki giriş akımları için istenilen fonksiyonu sağlamaktadır.

1993 yılında Remco J. Wiegerink tarafından, MOS transistörün karesel tanım bağıntısından yola çıkılarak, akım modunda çalışan ve vektörel toplama işlemi yapabilen bir devre sunulmuştur [29]. Gerçeklenen devre MTL yapısı özelliği göstermektedir ve giriş akımlarının yönü pozitif olabileceği gibi negatif de olabilmektedir.

Shen-Iuan Liu ve Cheng-Chieh Chang [17] 1996 yılında MOS transistörün karesel tanım bağıntısından yola çıkarak, CMOS vektörel toplama devresini gerçekleştirmişlerdir. Vektörel toplama devresi, yapay sinir ağlarında yaygın olarak kullanılmaktadır. Bu yapı, [15,30,29] nolu referansta sunulan yapıların gerilim modundaki karşılığıdır. Burada, giriş/çıkış işaretleri gerilimdir. Çıkış gerilimi, giriş gerilimlerinin karelerinin toplamının kareköküne eşittir.

Sınıflandırma uygulamaları için kullanılan Gauss fonksiyonunu gerçekleyen bir CMOS analog devre 1996 yılında J.Madrenas, M. Verleysen, P. Thissen ve J.L.Voz [19] tarafından gerçekleştirilmiştir. Devre, MOS transistörün eşik altındaki üstel ve doyma bölgesindeki karesel tanım bağıntılarından yola çıkılarak tasarlanmış ve SOI teknolojisiyle de üretilmiştir. İlk olarak, doyma bölgesinde çalışan bir MOS transistörün karesel V-I karakteristiğiyle giriş geriliminin karesi alınır. İkinci aşamada ise, zayıf evirtimde çalışan MOS transistörün karakteristiği kullanılarak istenilen fonksiyon gerçekleştirilir. Devre istenilen fonksiyonu akım modunda 4 adet MOS transistörle gerçekleştirmektedir. Giriş akımı, akımın karesini alan bir devre [3,23,15] aracılığıyla uygulanır.

1997 yılında C.-Y.Chen, C.-Y.Huang ve B.-D.Liu tarafından [4], MOS transistörün karesel tanım bağıntısı kullanılarak, Öklid mesafesinin hesaplanmasında kullanılabilecek bir karekök alma devresi sunulmuştur. Devre akım modunda çalışacak biçimde tasarlandığından düşük besleme gerilimlerinde de istenilen fonksiyon elde edilebilir. Karekök alma devresi, MOS 'un karesel tanım bağıntısı kullanılarak az sayıda transistörle gerçekleştirilmektedir.

3. ÖKLİD MESAFESİ ve YAPAY SİNİR AĞLARINDAKİ YERİ

Bir yapay sinir ağında sınıflama amacıyla girişler arasındaki benzerlikleri tespit etmek için yaygın olarak kullanılan bir ölçüt Öklid mesafesidir. x^i , $n \times 1$ boyutunda bir vektör olsun.

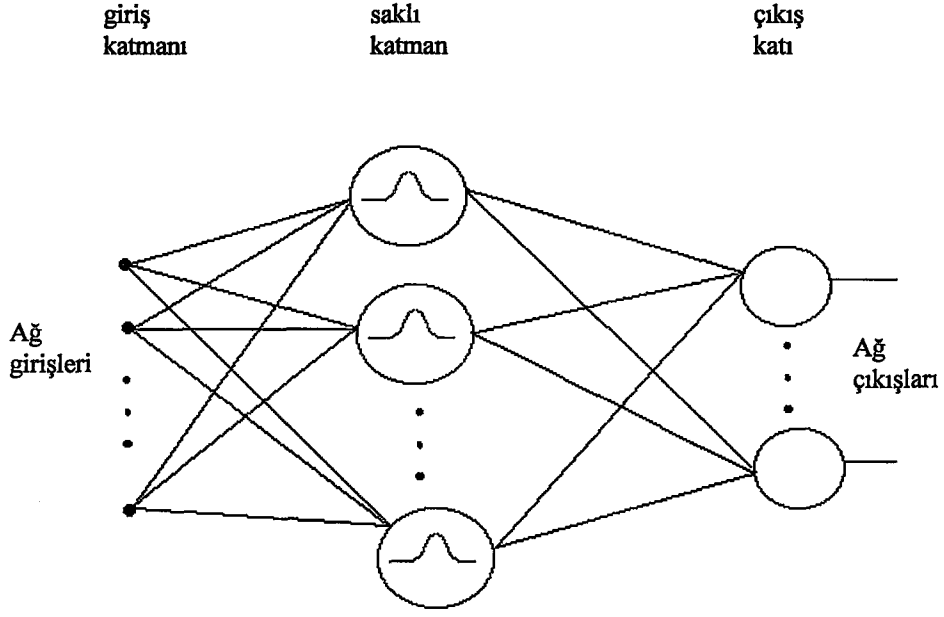
$$x^i = [x_1^i, x_2^i, x_3^i, \dots, x_n^i]^T \quad (3.1)$$

x^i vektörünün bütün elemanları reel olup, τ simgesi matrisel işlemlerde kullanılan devrik operatörünü gösterir. x^i vektörü N -boyutlu Öklid uzayında bir noktayı gösterir. x^i ve x^j vektör çifti arasındaki mesafe şöyledir;

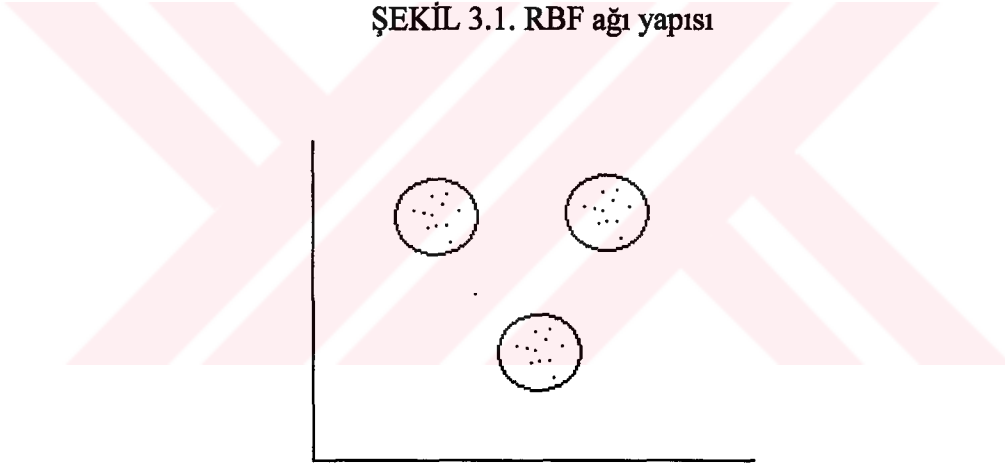
$$d_{ij} = \|x^i - x^j\| = \left[\sum_{n=1}^N (x_n^i - x_n^j)^2 \right]^{1/2} \quad (3.2)$$

x^i ve x^j vektörleri ile gösterilen girişler arasındaki benzerlik Öklid mesafesi ile belirlenir. x^i ve x^j vektörleri ile gösterilen noktalar birbirlerine ne kadar yakınsa Öklid mesafesi d_{ij} o kadar küçük olacaktır. Bu ise, bu iki nokta birbirlerine o kadar benzer demektir.

Yapay sinir ağlarında Öklid mesafesinin en yaygın kullanıldığı ağ yapısı, RBF ağıdır. RBF ağı [20], çok boyutlu fonksiyonların enterpolasyonunda ve patern sınıflandırmada sıkça kullanılan bir yapıdır. Şekil 3.1'de gösterildiği gibi bir RBF ağı iki katmandan oluşmaktadır. Şekil 3.2'de ise RBF ağı kullanılarak elde edilebilecek kapalı karar bölgeleri gösterilmektedir. Bu ağda yer alan çıkış düğümleri (hesaplama birimleri), gizli katmanda yer alan düğümlerin çıkışlarının lineer bir kombinasyonunu oluşturur (Şekil 3.1). Gizli katmanda yer alan temel fonksiyonlar ise, giriş için yerel bir cevap oluşturur. Başka bir ifadeyle, eğer giriş belli ve dar bir yerel bölge içine düşerse, temel fonksiyonların oluşturacağı cevap bu bölge dışına düşecek olan girişlere ait olan cevaba nazaran çok yüksek olacaktır. Bundan dolayı, bu ağlar yerel alıcı alan ağları (localized receptive field network) olarak da adlandırılır [21,22].



ŞEKİL 3.1. RBF ağı yapısı



Şekil 3.2. Kapalı karar bölgeleri

RBF ağlarının yaygın kullanılmasını engelleyen temel sınırlama ise RBF 'in yapmak zorunda olduğu karmaşık hesaplamalardır. Bu hesaplamaların başında ise Öklid mesafesinin hesaplanması gelmektedir. RBF ağı yapısında yer alan her bir temel hücre; mevcut giriş, alıcı alanın (receptive field) merkezinde ise maksimum değeri alırken, giriş ile merkez arasındaki Öklid mesafesinin artmasıyla da monoton olarak azalır. RBF ağı iki katmanlı veri işleme yapısıyla da giriş uzayından çıkış uzayına lineer olmayan bir dönüşüm sağlar. İlk olarak giriş verisi, gizli katmanda yer alan temel fonksiyon aracılığıyla lineer

olmayan bir dönüşümden geçer. Ağın çıkışını elde etmek için temel fonksiyonların cevapları lineer bir şekilde toplanır. Sonuç olarak bir RBF ağının matematiksel ifadesi aşağıda verildiği gibidir.

$$y_j = \sum_{k=1}^{N_1} \omega_{jk} \Phi(\|x - c_k\|) \quad (3.3)$$

(3.3) eşitliğinde bulunan x N -boyutlu giriş vektörünü, ω_{jk} ağda yer alan gizli düğümleri çıkışlara bağlayan ayarlanabilir ağırlıkları, $\Phi(\|x-c_k\|)$ merkezleri c_k olan lineer olmayan transfer fonksiyonunu, $\|\dots\|$ ise Öklid normunu göstermektedir.

$$k = 1, \dots, N_1$$

$$x \in \mathbb{R}^N$$

$$c_k \in \mathbb{R}^N, \quad 1 \leq k \leq N_1$$

$$j = 1, 2, \dots, N_2$$

N_1 gizli katmanda yer alan düğüm sayısını, N_2 ise çıkış katmanındaki düğüm sayısını göstermektedir. Sonuç olarak, tüm ağ lineer olmayan temel fonksiyonların lineer kombinasyonunu oluşturarak, N boyutlu giriş uzayından N_2 boyutlu çıkış uzayına lineer olmayan bir dönüşüm sağlar.

RBF ağında yer alan gizli düğümleri oluşturmak için en yaygın kullanılan fonksiyon Gauss fonksiyonudur ve (3.4) eşitliğinde verildiği gibi ifade edilir [7,8,16,26].

$$\Phi(x) = \exp\left[-\left(\frac{x}{\sigma}\right)^2\right] \quad (3.4)$$

Bir RBF ağı tasarlanırken, ağ için alıcı alan rolü oynayan temel fonksiyonların uygun sayıda seçilmesi gerekir. Bu fonksiyonların çok az sayıda seçilmesi ağın kötü bir

yaklaşıklık yapmasına sebep olurken, çok fazla sayıda seçilmesinde ağırlık genelleştirme yapma özelliğini azaltmaktadır [24].

Eşitlik (3.3) için Öklid mesafesi, eşitlik (3.5)'de verildiği gibi hesaplanır.

$$d_k = \|x - c_k\| ,$$

$$d_k = \left(\sum_{i=1}^N (x_i - c_k)^2 \right)^{1/2} \quad (3.5)$$

Bu tezde (3.5) eşitliğini gerçekleyen hücrenin analog olarak tasarımı ve serimi yapılacaktır.

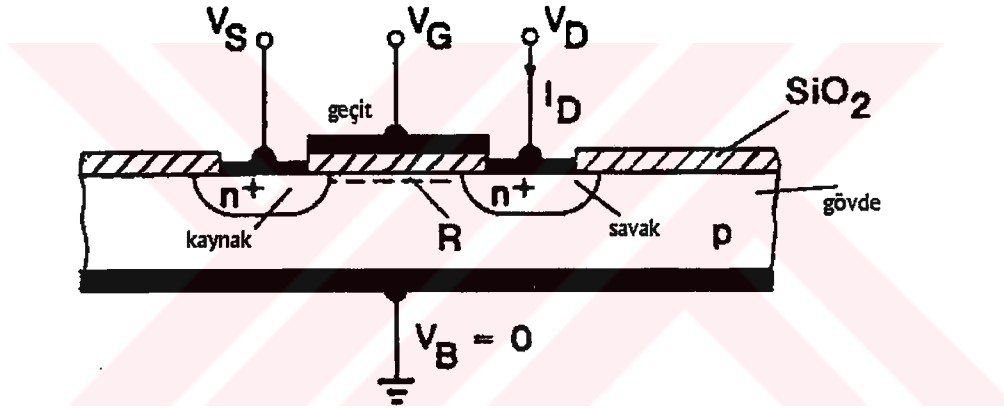


4. MOS TRANSİSTOR

MOS transistorun nasıl kutuplanması gerektiğini ve bir elektronik eleman olarak avantaj ve dezavantajlarını anlamak, analog tümdevrenin optimum olarak tasarlanabilmesi için önemlidir.

4.1. MOS Transistorun Temel Bağlantıları

Bir MOS (Metal-Oxide-Semiconductor) yapısı şekil 4.1’de verildiği gibidir.



Şekil 4.1 MOS Transistor

Şekil 4.1’de p tipi taban üzerinde yüksek katkılı n+ bölgesi oluşturulmaktadır. Sol tarafta bulunan yüksek katkılı bölge kaynak (source) olarak adlandırılır ve V_S geriliminde tutulmuştur. Sağ tarafta bulunan n+ yüksek katkılı bölge ise savak (drain) olarak adlandırılır ve V_D geriliminde tutulmuştur. Üst elektrot tabakası geçit (gate) olarak adlandırılır ve V_G gerilimine bağlanmıştır. p tipi malzeme ise gövde yada taban (substrate,bulk) olarak adlandırılır. Gövde ile geçit arasında ise SiO_2 ’den oluşan yalıtkan bir tabaka yer almaktadır. Dolayısıyla MOS transistorun giriş direnci çok yüksektir. Toplam yapı MOS transistor olarak isimlendirilir ve çalışma prensibi ise basit bir anlatımla aşağıdaki gibidir.

Kaynak ucunu toprak potansiyelinde tutup $V_s=0V$, savak ucuna 0.5V gibi düşük pozitif bir gerilim uygulayalım. Savak akımı I_D 'nin değişimini, geçit gerilimini 0V'dan daha yüksek pozitif gerilim değerlerine doğru arttırarak inceleyelim. Geçit diğer tüm bölgelerden oksit tabaka aracılığıyla yalıtıldığından bu uçtan herhangi bir akım akmaz. n^+ savak bölgesi ile her tarafi çevreleyen p-tipi gövde bir p-n jonksiyonu oluşturmaktadır. Gövde en düşük potansiyelde (burada toprakta) tutulduğundan ve $V_D>0$ olduğundan bu jonksiyon ters kutuplanır. Dolayısıyla $V_G=0$ için $I_D \approx 0$ olur.

V_G gerilimi arttırılmaya başlandığında, ortaya çıkan ilk olay geçidin altında bulunan R bölgesinin fakirleşmesidir. İkinci olay ise R bölgesinin evirtilmesidir. R bölgesi fakirleştiğinde, savak bölgesi ters kutuplandığından kanaldan akan akım yine sıfır olarak kalır. Fakat V_G gerilimi evirtim kanalını oluşturacak biçimde yüksek tutulursa, R bölgesi elektronlarla dolar (ikinci olay). Hareketli elektronları içeren kanal, savak ve kaynak uçlarını birleştirir . Savak ucu, kaynak ucuna göre pozitif olduğundan elektronlar kaynak tarafından savak tarafına doğru akacaktır ve pozitif akım $I_D>0$ gözlenir. Evirtim kanalını oluşturmak için gerekli olan minimum geçit gerilimine eşik gerilimi denir ve V_T ile gösterilir.

Evirtim kanalındaki elektronların büyük bir kısmı V_G geriliminden kaynaklanan elektrik alanından dolayı kaynak ucundan çekilir. $V_D>0$ olduğu için (savak-gövde jonksiyonu daha fazla ters kutuplanır) savak kısmından elektronların çekilmesi zordur.

Kanalın iki ucu arasında V_D gerilim farkı vardır. Böylece, kanaldaki elektronlar savak ucuna doğru çekilirler. Dolayısıyla elektronların rasgele ısıl hareketlerine bir sürüklenme hareketi de eklenir ve bir sürüklenme akımı akar. V_D 'nin düşük değerleri için kanal bir direnç elemanı gibi davranır. Dolayısıyla $I_D \approx V_D/R$ ifadesi yazılabilir. R ise aşağıdaki gibi verilir.

$$R = \frac{L}{W \cdot \mu_n \cdot |Q_n|} \quad (4.1)$$

(4.1) eşitliğinde L kanalın uzunluğunu, W kanalın genişliğini, μ_n kanaldaki elektronların hareket yeteneklerini, Q_n ise kanaldaki elektronların yük yoğunluğunu ifade etmektedir. Geçide uygulanan V_G gerilimini iki bileşene ayırabiliriz. Geçit geriliminin V_T 'lik kısmı kanalın altındaki fakirleşmiş bölgenin oluşmasında rol oynarken, $V_G - V_T$ 'lik kısmı da kanalın oluşmasında rol oynamaktadır. Dolayısıyla,

$$Q_n = -C_{ox} \cdot (V_G - V_T) \quad (4.2)$$

(4.2) elde edilir. (4.2) eşitliğinde yer alan C_{ox} , geçitle kanalı birbirinden ayıran oksit tabakanın birim alan başına düşen kapasitesidir.

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (4.3)$$

ϵ_{ox} SiO_2 'in dielektrik geçirgenliğini, t_{ox} ise SiO_2 tabakasının kalınlığını göstermektedir. Sonuç olarak düşük değerli V_D (örneğin $V_D \ll (V_G - V_T)$) için (4.4) eşitliği geçerli olur.

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_G - V_T) V_D \quad (4.4)$$

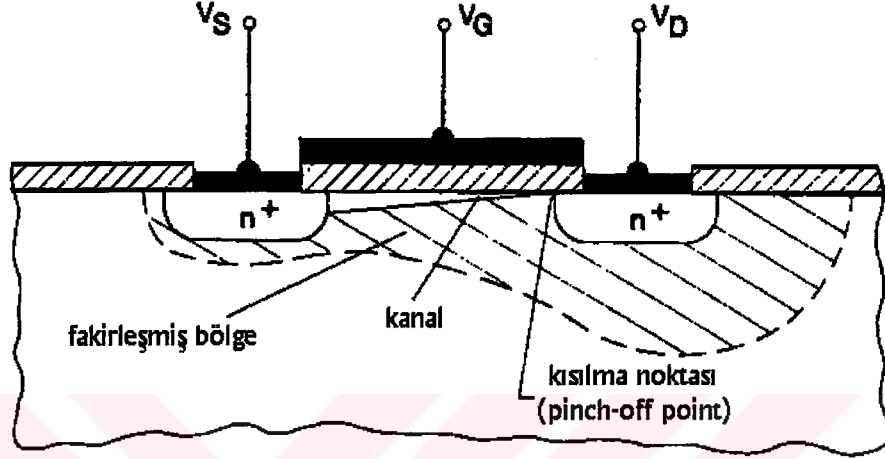
$$R = \left[\mu_n \cdot C_{ox} \cdot \left(\frac{W}{L} \right) \cdot (V_G - V_T) \right]^{-1} \quad (4.5)$$

Dolayısıyla transistor değeri (4.5) eşitliği ile verilen ve V_G gerilimi ile kontrol edilebilen bir direnç elemanı gibi davranır. Bu bölge direnç bölgesi (linear or triod region) olarak adlandırılır.

Savak gerilimi arttırılırsa, onu V_G gerilimi karşısında ihmal edemeyiz. Dolayısıyla (4.4) eşitliği geçerliliğini kaybeder. Kanalın kaynak ucundaki potansiyel sıfır, savak ucundaki potansiyel ise V_D olduğundan kanal için ortalama bir potansiyel $V_D/2$ verilebilir. Sonuç olarak geçitle kanal arasındaki gerilim değeri $(V_G - V_D/2)$ alınabilir. Eşitlik (4.4)'de yer alan V_G yerine $(V_G - V_D/2)$ koyulacak olunursa (4.6) eşitliği elde edilir.

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_G - V_T - V_D/2) V_D \quad (4.6)$$

(4.6) eşitliği, $V_D < V_G - V_T$ için iyi bir yaklaşıklık olarak kabul edilir ve bu bölge MOS transistor için lineer bölge olarak adlandırılır.



Şekil 4.2. MOS Transistorunda kısılma (Pinch-off).

$V_D \geq V_G - V_T$ durumunu inceleyebilmek için şekil 4.2 verilmiştir. Oluşacak yeni durumu iyi gözleyebilmek için şekil 4.2'de yüzeye yakın kısım büyütülerek verilmiştir. Şekilden görüldüğü gibi kanal boyunca oluşacak olan potansiyel değişiminden dolayı yük yoğunluğu Q_n savak tarafına doğru azalır. $V_D = V_G - V_T$ durumunda, savak tarafında oluşacak olan geçit-kanal gerilimi kanalı oluşturacak kadar yeterli olmayacaktır. Dolayısıyla kaynak, kanal ve savak 'ı çevreleyen fakirleşmiş bölge yüzeye kadar ulaşmış olur. Bu olay kısılma olarak bilinir ve olayın olduğu nokta da kısılma noktasıdır (pinch-off point). Eğer V_D gerilimi daha da arttırılırsa kısılma noktası kaynak tarafına ilerler. Dolayısıyla kanal, sadece kaynak tarafından başlayarak kanalda herhangi bir yerde bulunan kısılma noktasına doğru olan kısımla sınırlanır. Kısılma noktası ile savak arasındaki bölge ise fakirleşmiştir (dolayısıyla doyma bölgesindeki gövde direnci çok yüksektir). Elektronlar kanaldan bu fakirleşmiş bölgeye kısılma noktasından enjekte edildikten sonra, savak ve kısılma noktası arasındaki potansiyel farkından dolayı oluşan yüksek elektrik alanının etkisi altında savak ucuna doğru sürüklenirler. Dolayısıyla savak-kaynak bölgeleri arasındaki gerilim $V_{DS} = V_D - V_S$,

birbirine seri bağılı iki bölge arasında bölünmüş olur. Bu bölgeler ise, kaynak ile kısılma noktası arasındaki kanal ve kısılma noktası ile savak arasında yer alan fakirleşmiş bölgedir. Kısılma noktası ile savak arasındaki direnç kanala göre çok fazla olacağından, V_{DS} geriliminin büyük bir kısmı bu bölgeye düşer. V_D gerilimindeki herhangi bir artış iyi bir yaklaşıklıkla fakirleşmiş bölgenin uçları arasında eşit miktarda gerilim artışına sebep olmakla beraber I_D akımında herhangi bir artışa sebep olmaz. Kısılma olayının olduğu durumda, savak gerilimi $V_D=V_G-V_T$ ile verilir ve bu durumdaki savak gerilimi V_{DSAT} ile gösterilir. Savak akımı ise (4.6) eşitliğinde V_D yerine $V_D=V_{DSAT}=V_G-V_T$ yazılarak (4.7) eşitliğinde verildiği gibi elde edilir.

$$\begin{aligned}
 I_D &= \mu_n C_{ox} \frac{W}{L} (V_G - V_T - V_D/2) V_D \\
 &= \mu_n C_{ox} \frac{W}{L} (V_G - V_T - (V_G - V_T)/2) (V_G - V_T) \\
 I_D(V_D) &\cong I_{DSAT} = I_D(V_{DSAT}) = \frac{\mu_n \cdot C_{ox}}{2} \cdot \frac{W}{L} \cdot (V_G - V_T)^2 \quad (4.7)
 \end{aligned}$$

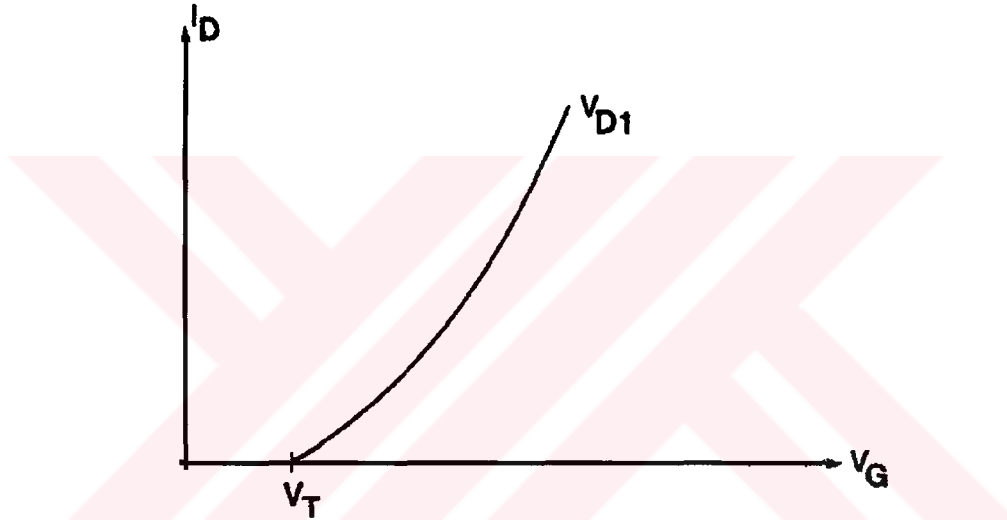
Savak geriliminin, V_{DSAT} geriliminden daha fazla artırılması durumunda savak akımında değişiklik olmayacağından, $V_D > V_G - V_T$ durumunda da (4.7) eşitliği geçerliliğini korur. Eşitlik (4.7) $V_D > V_G - V_T$ için verilir ve bu bölge MOS transistor için doyma bölgesi olarak adlandırılır. $V_{DSAT}=V_G-V_T$ savak doyma gerilimi ve I_{DSAT} ise savak doyma akımıdır. Doyma bölgesinde savak akımı, sadece giriş geriliminin (geçit gerilimi) fonksiyonu olduğundan transistor bu bölgede kuvvetlendirici olarak kullanılır.

4.2 MOS Transistorunda Lineersizlik

Eşitlik (4.7)'de MOS transistorunun savak akımının sadece V_G geriliminin fonksiyonu olduğu görülmektedir. Lineersizliklerden dolayı bu ideal eşitlikten bir miktar sapma olacaktır. MOS transistorunda lineersizliğe sebep olan üç etki aşağıda verilmiştir.

4.2.1 Kanal boyu modülasyonu

Gerçekte, doyma bölgesinde V_D geriliminin artmasıyla savak akımında bir miktar artış olur. Bu artışın sebebi ise V_D geriliminin artmasıyla kısılma noktasının kaynak tarafına doğru hareket etmesi ve kanal boyunun kısılmasıdır. Eşitlik (4.7)'de görüldüğü gibi kanal boyu L azaldıkça, I_D akımı artmaktadır. Bu olay kanal boyu modülasyonu olarak bilinir ve (4.7) eşitliğine eklenmesi gerekir. Kanal boyu modülasyonundan dolayı eşitlik (4.7)'de $I_D(V_D)$ ilişkisini gösterebilmek için $(1 + \lambda \cdot V_D)$ çarpanı eklenir. Burada λ bir sabittir ve kanalın boyuna, tabanın katkı yoğunluğuna ve gövde kutuplanmasına bağlıdır. Genel olarak $\lambda \propto 1/L$ ilişkisi bilinir.



Şekil 4.3 Transfer karakteristiği

$$K' = \frac{\mu_n \cdot C_{ox}}{2} \quad (4.8)$$

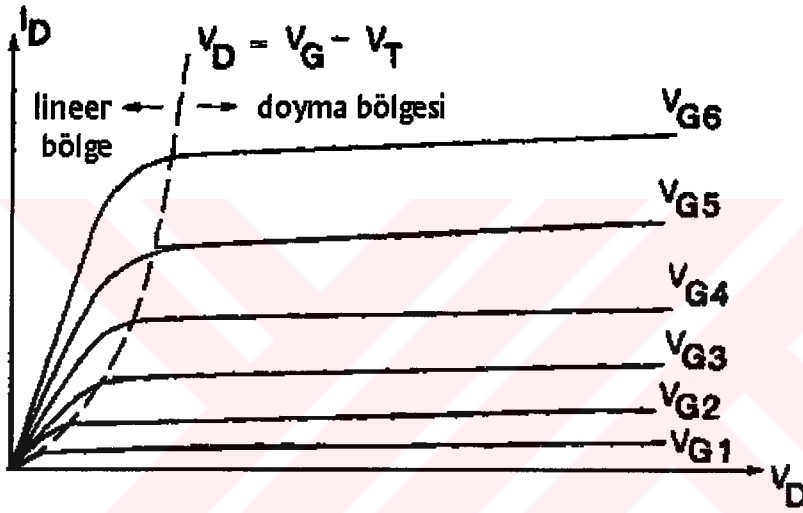
$$K = \frac{\mu_n \cdot C_{ox}}{2} \cdot \frac{W}{L} = K' \cdot \frac{W}{L} \quad (4.9)$$

Eşitlik (4.8) ile (4.9) ifadeleri kullanılırsa ve kanal boyu modülasyonunun etkisi de ele alınırsa, eşitlik (4.7) ile verilen doyma akımı ifadesi basit bir biçimde eşitlik (4.10)'da verildiği gibi modellenir [1].

$$I_D = K \cdot (V_G - V_T)^2 \cdot (1 + \lambda \cdot V_D), \quad V_G \geq V_T \quad (4.10)$$

Böylece kanal boyu modülasyonunun etkisi (4.10) eşitliğinde içerilmiştir.

Şekil 4.3, sabit V_D gerilimi altında, I_D akımının V_G gerilimi ile değişimini (geçiş özdeşliğini) göstermektedir. Şekil 4.4 ise, çeşitli sabit V_G değerleri için I_D akımının V_D gerilimi ile olan değişimini (çıkış özdeşliklerini) göstermektedir. Şekil 4.4 için $V_{G1} < V_{G2} < V_{G3} \dots$



Şekil 4.4 MOS transistörünün çıkış karakteristikleri

Şu ana kadar türetilen eşitliklerin hepsi, şekil 4.1'deki yapı göz önüne alınarak çıkarılmıştır. Şekil 4.1'de kaynak, savak ve kanal n tipi malzemedir. Bu şekildeki yapı ise n kanallı MOS veya NMOS olarak adlandırılır. Benzer yapı, n tipi gövde içinde p+ katkılı savak ve kaynak difüzyonu yapılarak da elde edilebilir. Bu yeni yapıda ise geçit altında p tipi kanal oluşturmak için negatif V_G gerilimi ve oluşacak kanaldaki delikleri savak tarafına doğru çekmek için negatif V_D gerilimi gerekir. Şekil 4.1'deki referans yönü kullanılırsa I_D akımı negatif olur. Bu yeni yapı ise p kanallı MOS veya PMOS olarak adlandırılır. (4.1)-(4.10) eşitliklerinin PMOS içinde geçerli olabilmesi birtakım ufak değişikliklerin yapılması gerekir. Elektronların hareket yeteneği μ_n kanalda bulunan deliklerin hareket yeteneğiyle, kanaldaki elektronların yük yoğunluğu Q_n ise delik yük yoğunluğu ile değiştirilmelidir. Ayrıca taşıyıcıların yükündeki değişikliği belirtmek için

eşitlik (4.1)-(4.10) 'a negatif işareti eklenmelidir. Son olarak da $V_D < 0$ olduğu için eşitlik (4.1)-(4.10) 'da $|V_D|$ olarak yer almalıdır. Sonuç olarak (4.6) eşitliği, (4.11) ile ifade edilir.

$$I_D = -2K(V_G - V_T - V_D/2)V_D \quad (4.11)$$

$$K = \frac{\mu_p C_{ox} W}{2 L} \quad \text{ve } V_T < 0$$

Eşitlik (4.11), savak akımının lineer bölgedeki özelliğini gösterir. I_D 'nin doyma bölgesindeki davranışı ise (4.10) eşitliğinde değişiklik yapılarak, eşitlik (4.12)'de verildiği gibi elde edilir.

$$I_D = -K(V_G - V_T)^2(1 + \lambda|V_D|) \quad (4.12)$$

4.2.2. Gövde etkisi

MOS transistorlarla analog devre tasarımı yaparken karşılaşılan sorunların başında kanal boyu modülasyonu ve gövde etkisi gelir. Şu ana kadar türetilen bütün eşitliklerde hem gövdenin hem de kaynağın toprak potansiyelinde olduğu kabulü yapıldı. Dolayısıyla $V_B = V_S = 0$ eşitliği sürekli sağlanıyordu. Genellikle yapılan tasarımlarda transistorlar için $V_S \neq V_B$ durumunun olması kaçınılmaz denilebilir. Dolayısıyla $V_S - V_B$ gerilimi kaynak-gövde jonksiyonunu ters yönde kutuplayabilmelidir. Aksi durumda, jonksiyondan gövdeye doğru akım akar ve bu da transistorun normal çalışmasını engeller. Sonuç olarak bir NMOS transistorda gövde gerilimi, hem kaynak hem de savak gerilimine göre daha negatif potansiyelde olmalıdır.

Eğer kaynak gerilimi sıfır değilse, şu ana kadar türetilen eşitliklerde V_G yerine $V_{GS} = V_G - V_S$ ve V_D yerine ise $V_{DS} = V_D - V_S$ ifadeleri yerleştirilmelidir. Ek olarak, eğer gövde ile kaynak (dolayısıyla kanal) arasındaki ters gerilim arttırılırsa kanaldan akacak olan akımda azalma gözlenir. V_{GS} gerilimi sabit tutulduğu halde, V_{SB} geriliminin arttırılmasıyla akımda

oluşacak olan azalma ise (4.10) eşitliğine bakılacak olunursa eşik geriliminde artış olarak yorumlanabilir. Eşik gerilimindeki bu artış ise gövde etkisi olarak adlandırılır. Eşik gerilimi V_T 'nin $V_{SB}=V_S-V_B$ gerilimine bağımlılığı, eşitlik (4.13)'de verildiği gibi modellenir [28].

$$|V_T| = |V_{TO}| + \gamma \cdot \left(\sqrt{2 \cdot |\phi_p| + |V_{SB}|} - \sqrt{2 \cdot |\phi_p|} \right) \quad (4.13)$$

Burada V_{TO} , $V_{SB}=0$ iken ölçülen eşik gerilimini, ϕ_p kuvvetli evirtim yüzey potansiyelini göstermektedir. γ eleman sabiti ise eşitlik (4.14)'de verildiği gibidir.

$$\gamma = \frac{\sqrt{2 \cdot \epsilon_s \cdot q \cdot N_{IMP}}}{C_{OX}} \quad (4.14)$$

Eşitlik (4.14)'de ϵ_s silisyumun dielektrik geçirgenliğini, N_{imp} gövdede bulunan yabancı iyonların konsantrasyonunu göstermektedir. NMOS için $N_{imp} = N_A$, PMOS için ise $N_{imp} = N_D$ dir.

4.2.3 Mobilitenin zayıflama etkisi

MOS transistörünün ideal karesel tanım bağıntısından sapmasına sebep olan diğer bir etki de mobilitenin azalmasıdır. Geçit-kaynak geriliminin değeri çok büyük tutulduğunda, geçit oksit tabakasında oluşacak olan elektriksel alanın değeri çok yüksek olur. Yüksek elektrik alanından dolayı kanalda bulunan taşıyıcılar Si-SiO₂ arakesitine doğru hareket ederler. Sonuç olarak kanaldaki taşıyıcıların mobilitesi azalır. Mobilitenin zayıflama etkisi (4.15)'de verildiği gibi modellenir [27].

$$I_d = \frac{K}{(1 + \theta(V_{gs} - V_{th}))} (V_{gs} - V_t)^2 \quad (4.15)$$

$$\theta = 1/(t_{ox} E_{cr}) \quad (4.16)$$

E_{cr} kritik elektrik alanını, t_{ox} ise SiO₂ tabakasının kalınlığını göstermektedir.

5. TASARIMDA KULLANILAN YAPI BLOKLARI

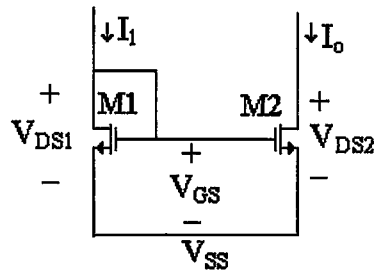
(3.5) eşitliğinde görülen Öklid normunu gerçekleştirmek için ilk bakışta kullanılması düşünülen analog yapı blokları fark alıcı, toplayıcı, kare alıcı ve karekök alıcıdır. Ama bu blokların tek tek gerçekleştirilerek bir araya getirilmesi sonucunda oluşacak olan yapının tümdevre açısından kaplayacağı alanın fazla olacağı açıktır. Aynı zamanda her bir kattan gelecek olan dengesizliklerin artmasına ve kontrolünün zor olmasına neden olur. Şu ana kadar yapılmış olan yayınlardan yola çıkarak bu devrenin gerçekleştirilmesi için iki adet analog yapı bloğunun yeterli olduğu görüşüne varıldı ve devreyi TÜBİTAK Marmara Araştırma Merkezi Yarıiletken Teknolojisi Araştırma Laboratuvarı (YİTAL) tarafından geliştirilen $3\mu\text{m}$ CMOS transistor proses parametrelerini kullanarak gerçekleştirmeye çalıştık. Bu devreye ait şekiller, SPICE dosyaları ve simülasyon sonuçları ilgili bölümlerde ve eklerde sunulmuştur. Ayrıca devredeki blokların, istenilen fonksiyonu vermesi için bir kutuplama gerilimine veya akımına ihtiyaç duymaması, devrede kutuplama devrelerine olan ihtiyacı ortadan kaldırmıştır.

5.1 Akım Aynaları

Analog CMOS devre tasarımında kullanılan fark kuvvetlendiricisi, ortak geçitli yapı, gerilim takipçisi, kompozit yapı gibi temel yapı bloklarının yanı sıra önemli bir yapı bloğu da akım aynalarıdır.

Akım aynalarının dayandığı temel ilke ise birbirinin eşi olan MOS transistorların geçit-kaynak gerilimleri aynı ise, bu transistorlardan geçen kanal akımı oranları, W/L oranlarına eşittir.

5.1.1 Basit akım aynası



Şekil 5.1. N-kanallı basit akım aynası

Şekil 5.1’de basit bir n-kanal akım aynası devresi verilmektedir. I_1 akımı, akım aynası için giriş akımını belirtirken, I_o ise yansıtılan akımı (çıkış akımını) göstermektedir. $V_{DS1}=V_{GS}$ olduğu için M1 transistörü doymada çalışmaktadır. $V_{DS2} > V_{GS} - V_T$ ifadesinin sağlandığını varsayarsak, doyma bölgesi tanım bağıntılarını kullanabiliriz. En genel durumda, akımlar arasındaki oran için eşitlik (5.1)’i kullanabiliriz.

$$\frac{I_o}{I_1} = \left(\frac{L_1 W_2}{L_2 W_1} \right) \left(\frac{V_{GS} - V_{T2}}{V_{GS} - V_{T1}} \right)^2 \left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \left(\frac{\mu_2 C_{ox2}}{\mu_1 C_{ox1}} \right) \quad (5.1)$$

Aynı tümdevrede üretilen transistörler, aynı proses adımlarından geçtiklerinden V_{to} , μ , C_{ox} fiziksel parametreleri iki transistor için aynıdır. Dolayısıyla eşitlik (5.1), eşitlik (5.2)’deki gibi basitleştirilebilir.

$$\frac{I_o}{I_1} = \left(\frac{L_1 \cdot W_2}{L_2 \cdot W_1} \right) \cdot \left(\frac{1 + \lambda \cdot V_{DS2}}{1 + \lambda \cdot V_{DS1}} \right) \quad (5.2)$$

Her zaman iyi bir yaklaşıklık olmamakla beraber $V_{DS2} = V_{DS1}$ olması durumunda ise çok daha basit bir ifade elde edilebilir.

$$\frac{I_o}{I_1} = \left(\frac{L_1 \cdot W_2}{L_2 \cdot W_1} \right) \quad (5.3)$$

Sonuç olarak giriş ve çıkış akımlarının oranları, tasarımcının kontrolü altında bulunan kanal boyu ve kanal genişliğinin fonksiyonudur.

Akım aynasının, istenen ideal sonuç olan eşitlik (5.3)’den farklı olmasına sebep olan üç etki bulunmaktadır. Bunlardan birincisi kanal boyu modülasyonu, ikincisi transistörlerin eşik gerilimindeki farklılık, üçüncüsü ise hatalı geometrik eşleşmelerden kaynaklanan farklılıktır. Bu etkileri minimuma indirmek için çeşitli yollar izlenebilir.

Kanal boyu modülasyonunun etkisini incelemek için, transistorun diğer tüm parametrelerinin eşdeğer olduğunu düşünmek kolaylık sağlayacaktır. Bu durumda eşitlik (5.2) aşağıdaki gibi ifade edilebilir.

$$\frac{I_o}{I_i} = \left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \quad (5.4)$$

Her iki transistor için de λ değerinin aynı olması durumunda, eşitlik (5.4), savak-kaynak gerilimleri arasındaki farklılığın ideal akım aynası özelliğinden sapma olacağını gösterir. Eşitlik (5.4)'den iki önemli sonuç çıkarılabilir: 1) İki transistor için savak-kaynak gerilimleri arasındaki farkın büyük olması durumunda oluşacak olan hata da büyük olacaktır. 2) Verilen bir savak-kaynak gerilim farkı için λ değeri düşük oldukça (çıkış direnci büyük oldukça) çıkış akımı, giriş akımını daha iyi takip eder. Dolayısıyla iyi bir akım aynası, eşit savak-kaynak gerilimine ve yüksek çıkış direncine sahip olmalıdır.

Eşitlik (5.1)'e tekrar bakıldığında iki transistorun eşik gerilimlerindeki farklılığın, diğer tüm parametrelerin aynı olması durumunda bir hataya sebep olacağı görülmektedir. Bu durumda ise eşitlik (5.5) yazılabilir.

$$\frac{I_o}{I_i} = \left(\frac{V_{GS} - V_{T2}}{V_{GS} - V_{T1}} \right)^2 \quad (5.5)$$

Eşik gerilimlerindeki farkı $\Delta V_T = V_{T1} - V_{T2}$ olarak ifade edebiliriz. Dolayısıyla ΔV_T 'den kaynaklanacak olan lineersizliği azaltmak için ise yüksek akımlarda çalışmak gerekir. Yüksek akım değerleri için V_{GS} değeri de yüksek olduğundan, ΔV_T fark gerilimi V_{GS} gerilimine göre çok küçük olur.

İdealsizliğe sebep olan üçüncü etki ise transistorların W ve L değerlerinin üretim esnasında belli bir hatayla oluşturulmasıdır. Üretim sürecinde yer alan maskeleme, ışın litografisi, aşındırma gibi fiziksel proses adımlarının sonucu olarak transistor boyutlarında çok azda olsa farklılık gözlenir. Transistor boyutlarından dolayı kaynaklanacak olan bu

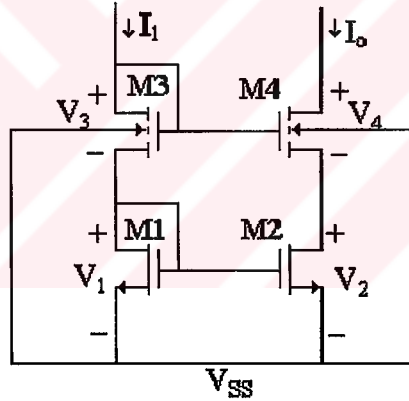
lineersizliđi azaltmak için transistor boyutları, oluşabilecek deđişikliklere oranla çok büyük seçilmelidir.

Şekil 5.1’de bulunan n-kanallı akım aynası için çıkış direnci (5.6) eşitliğinde verildiđi gibidir.

$$r_{out} = \frac{1}{g_{ds}} \cong \frac{1}{\lambda \cdot I_D} \quad (5.6)$$

5.1.2. Kaskod akım aynası

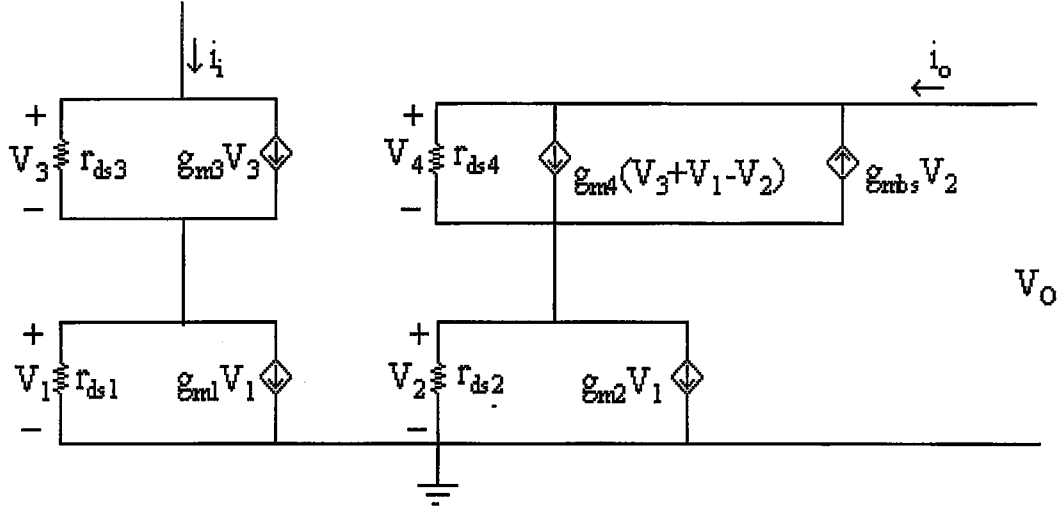
Eşitlik (5.1)’de belirtildiđi gibi, yüksek performanslı akım aynası için, çıkış direnci yüksek olmalıdır. Bu amaçla şekil 5.2’de gösterilen kaskod akım aynası kullanılır.



Şekil 5.2. Kaskod akım aynası

Bu yapıda M4 transistörü, çıkış düđümünde oluşacak olan gerilim deđişimlerinden M2 transistörünü koruma işlevini görmektedir. Çıkış geriliminde oluşacak olan artma sonucu I_{d4} ve dolayısıyla da I_{d2} akımları artarken, V_{GS1} ve V_{GS3} gerilimleri sabit deđerdedirler. Sonuç olarak V_{DS2} geriliminde artış, V_{GS4} geriliminde azalma gözlenir. V_{GS4} geriliminde meydana gelen düşüş sonucu çıkış akımındaki azalma, önceki artışı kompanze eder. M4 transistörünün savak ucunda oluşan büyük gerilim deđişimlerine rağmen çıkış akımında çok az da olsa deđişiklik olur. Çıkış akımındaki deđişikliđin sebebi ise, V_{DS2}

geriliminde azda olsa meydana gelen değişimdir. Kaskod akım aynasının çıkış direncini bulmak için şekil 5.2'de yer alan devrenin küçük işaret eşdeğer devresi çizilip analizi yapılırsa eşitlik (5.7) elde edilir.

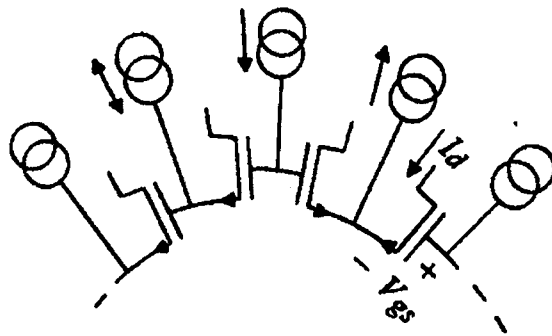


Şekil 5.3. Kaskod akım aynasının küçük işaret eşdeğer devresi

$$r_{out} = r_{ds2} + r_{ds4} + r_{ds2} r_{ds4} (g_{m4} - g_{mb4}) \quad (5.7)$$

5.2 MTL (MOS Translinear) Devre Prensipleri

MTL yapısıyla, işaret işlemede kullanılan ve lineer olmayan birçok fonksiyon gerçekleştirilmiştir. Aşağıda MOS transistorlarla oluşturulan örnek bir MTL yapısı verilmektedir.



ŞEKİL 5.4

Şekilde 5.4'deki devrede görülen çevre içinde yalnız n-tipi transistörler yerine, p-tipi transistörler da kullanılabileceği gibi her iki türden transistör da kullanılabilir. Çevrede saat yönünde ve saat yönünün tersi istikametinde eşit sayıda transistör alınarak , geçit-kaynak gerilimleri seri bir şekilde birleştirilmiştir. Dolayısıyla bir MTL yapısında çift sayıda transistör bulunmalıdır. Çevre için Kirchhoff 'un gerilim yasasını kullanacak olursak (5.8) eşitliği elde edilir.

$$\sum_{SY} V_{gs} = \sum_{SYT} V_{gs} \quad (5.8)$$

(5.8) eşitliğinde SY saat yönünü, SYT ise saat yönünün tersi istikametini göstermektedir. Bütün transistörlerin doymada çalıştığını varsayıp, (5.9) eşitliğinde verilen karesel MOS tanım bağıntısını kullanacak olursak aşağıdaki eşitlikler elde edilir.

$$I_d = K (V_{gs} - V_{th})^2 \quad (5.9)$$

$$V_{gs} = V_{th} + \sqrt{\frac{I_D}{K}} \quad (5.10)$$

(5.10) eşitliğini , eşitlik (5.8)'de yerine koyacak olursak eşitlik (5.11) elde edilir.

$$\sum_{SY} \left(V_{th} + \sqrt{\frac{I_D}{K}} \right) = \sum_{SYT} \left(V_{th} + \sqrt{\frac{I_D}{K}} \right) \quad (5.11)$$

Çevrede saat yönünde ve saat yönünün tersi istikametinde eşit sayıda transistör kullanıldığından (5.11) eşitliğinin her iki tarafında bulunan eşik gerilimlerinin sayısı eşit olacaktır. Transistörlerin birbirine eş özelliklere sahip olduğunu dikkate alır ve gövde etkisinden kaynaklanacak olan eşik gerilimlerindeki farklılıkları ihmal edersek (5.12) eşitliği ile verilen basit bir cebirsel ifade elde edilir.

79114



**YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

**YAPAY SİNİR AĞLARINDA KULLANILAN
ÖKLİD MESAFESİNİ HESAPLAMAK İÇİN BİR
ANALOG TÜRMEVRENİN GERÇEKLENMESİ**

Elektronik ve Hab.Müh. Turan SOLMAZ

**F.B.E. Elektronik ve Haberleşme Mühendisliği Anabilim Dalı Haberleşme
Programında Hazırlanan**

YÜKSEK LİSANS TEZİ

79114

Tez Danışmanı: Prof. Dr. Atilla ATAMAN

Prof. Şefik SARIKAYALAR



Prof. Dr.
H. Hakem Kuntaman



Prof. Dr. Atilla ATAMAN



İSTANBUL, 1998

YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

İÇİNDEKİLER

| | |
|---|-----|
| ÖNSÖZ..... | ii |
| ÖZET..... | iii |
| ABSTRACT..... | iv |
| 1. GİRİŞ..... | 1 |
| 2. ÖNCEKİ ÇALIŞMALAR..... | 2 |
| 3. ÖKLİD MESAFESİ ve YAPAY SİNİR AĞLARINDAKİ YERİ..... | 4 |
| 4. MOS TRANSİSTOR..... | 8 |
| 4.1 MOS Transistorun Temel Bağlıları..... | 8 |
| 4.2 MOS Transistorunda Lineersizlik..... | 12 |
| 4.2.1 Kanal boyu modülasyonu..... | 13 |
| 4.2.2 Gövde etkisi..... | 15 |
| 4.2.3 Mobilitenin zayıflama etkisi..... | 16 |
| 5. TASARIMDA KULLANILAN YAPI BLOKLARI..... | 17 |
| 5.1 Akım Aynaları..... | 17 |
| 5.1.1 Basit akım aynası..... | 17 |
| 5.1.2 Kaskod akım aynası..... | 20 |
| 5.2 MTL Devre Prensibi..... | 21 |
| 5.3 Geçişiletkenliği (tranconductance) Elemanı..... | 25 |
| 5.4 Akımın Karesini Alma Devresi..... | 28 |
| 5.5 Vektörel Toplama Devreleri..... | 32 |
| 5.5.1 Otomatik kutuplamalı vektörel toplama devresi..... | 33 |
| 5.5.2 Doğrusal geçiş çevrimli (MTL) vektörel toplama devresi..... | 35 |
| 6. SİMÜLASYONU YAPILACAK OLAN DEVRELER ve SİMÜLASYON SONUÇLARI..... | 42 |
| 6.1 Geçişiletkenliği Devresi ve Simülasyonu..... | 43 |
| 6.2 Otomatik Kutuplamalı Vektörel Toplama Devresi Kullanarak Öklid Mesafesinin Hesaplanması ve Simülasyon Sonuçları..... | 45 |
| 6.3 Doğrusal Geçiş Çevrimli Vektörel Toplama Devresi Kullanarak Öklid Mesafesinin Hesaplanması ve Simülasyon Sonuçları..... | 57 |

| | | |
|------|---|-----|
| 7. | LAYOUT TASARIMI..... | 70 |
| 7.1 | Geometrik Tasarım Kuralları..... | 70 |
| 7.2 | Tasarımda Kullanılan Katmanlar..... | 70 |
| 8. | SONUÇLAR ve ÖNERİLER..... | 75 |
| | KAYNAKLAR..... | 76 |
| | EKLER..... | 79 |
| Ek 1 | SPICE Model Parametreleri..... | 80 |
| Ek 2 | Geçişiletkenliği Devresine Ait SPICE Dosyası..... | 83 |
| Ek 3 | Otomatik Kutuplamalı Vektörel Toplama Devresine Ait SPICE Dosyası..... | 85 |
| Ek 4 | Otomatik Kutuplamalı Vektörel Toplama Devresi Kullanılarak Gerçeklenen Öklid Mesafesi Hesaplama Devresine Ait SPICE Dosyası..... | 87 |
| Ek 5 | TÜBİTAK-YİTAL 3um Poli Geçitli CMOS Prosesi Tasarım Kuralları..... | 90 |
| Ek 6 | Layoutu Tasarlanan Devreye Ait SPICE Dosyası (Şekil 7.1)..... | 93 |
| Ek 7 | MTL Yapısı ile Gerçeklenen Vektörel Toplama Devresine Ait SPICE Dosyası..... | 100 |
| Ek 8 | MTL Yapısı Kullanılarak Gerçeklenen Öklid Mesafesi Hesaplama Devresine Ait SPICE Dosyası..... | 102 |
| | ÖZGEÇMİŞ..... | 106 |

ÖNSÖZ

Bu tezin hazırlanması sırasında; engin bilgi ve yardımlarından yararlandığım sayın hocam **Prof.Dr. Atilla ATAMAN'a**, düşünce ve katkılarından dolayı **Yrd.Doç.Dr. Tülay YILDIRIM'a** ve çalışma arkadaşım **Arş.Gör. Kemal HACIOĞLU'na** saygı ve sevgilerimi sunarım.

Haziran 1998

Turan SOLMAZ

ÖZET

Bu tezde Öklid mesafesini hesaplayan devrenin tasarımı ve MOS transistörleri kullanılarak gerçekleştirilmesi sunulmuştur. RBFN ve CSFN gibi bazı yapay sinir ağları uygulamalarında Öklid mesafesinin hesaplanması gerekmektedir.

N boyutlu uzayda iki vektör arasındaki uzaklık, Öklid mesafesi olarak adlandırılır.

Devre iki bloktan oluşmaktadır. Akım modunda Öklid mesafesini hesaplayan ikinci blok ana bloğu oluşturmaktadır. Fakat bizim girişlerimiz gerilimdir. Dolayısıyla, giriş gerilimlerini akıma çevirmek amacıyla ilk blok olarak geçişiletkenliği elemanı kullanılmıştır.

Devre MOS transistörleri kullanılarak gerçekleştirilmiştir. Level 3 YİTAL proses parametreleri kullanılarak devrenin simülasyonu, T-Spice simülasyon programı kullanılarak yapılmıştır. Devrenin serimi ise L-Edit layout programı kullanılarak gerçekleştirilmiştir. Serimi yapılan devreye ait oluşturulan SPICE dosyası için postsimülasyon yapılmıştır. Her iki simülasyon sonuçlarının birbirleriyle aynı sonucu verdiği grafiklerle gösterilmiştir.

ABSTRACT

In this thesis, design and MOS VLSI implementation of a circuit that calculates Euclidean distance is presented. In some neural network applications, such as RBFN and CSFN, the calculation of Euclidean distance is a necessity.

In an N -dimensional space, the distance between two vectors is called Euclidean distance .

The circuit is constructed by two blocks. The main block is the second block that calculates the Euclidean distance in current mode. But our inputs are voltages. That's why a transconductance element is used as a first block to convert voltage inputs to current.

The circuit is implemented by MOS transistors. Level 3 YITAL process parameters are used in the simulation of the circuit. The simulation is performed by T-Spice, a simulation program. Layout of the circuit is designed by L-Edit, a layout program, and then the simulation process is performed again for the SPICE file of the layout. The results of both simulations are found to be in agreement.



1. GİRİŞ

MOS transistörünün 1960 yılında ilk olarak tanıtılmasından sonra [12], bu devre elemanı sayısal tümdevre elektroniğinde öncü bir rol oynamıştır. MOSFET teknolojisi, sayısal devrelerin tümleştirilme boyutlarının küçülmesi açısından çok büyük gelişme göstermiştir. Analog devrelerin gerçekleştirilmesinde ise bu teknolojinin kullanımı sayısal devrelere nazaran yeni sayılabilir.

Bu tezde yapay sinir ağları (neural networks) uygulamalarında kullanılan RBF (radial basis function) ve CSFN'yi (Conic Section Function Network) gerçeklemek için ihtiyaç duyulan Öklid mesafesini hesaplama devresi, TÜBİTAK Marmara Araştırma Merkezi Yarıiletken Teknolojisi Araştırma Laboratuvarı (YİTAL) tarafından geliştirilen 3µm CMOS transistör proses parametreleri ile gerçekleştirilmiştir.

Devrede yer alan bloklar için DC analiz yapılmıştır. DC analizin istenilen sonuçları vermesine rağmen, istenilen çıkışların elde edilip edilmediğini açık bir şekilde görmek amacıyla da DC analiz sonucunda elde edilen veriler düzlemde gösterilmiştir.

Analizi ve simülasyonu yapılan ilk blok bir lineer geçişiletkenliği devresidir [11]. Bu devrenin lineer çalışma sınırları belirlendikten sonra ikinci blok devrenin gerçekleştirilmesine geçilmiştir. İkinci devre ise, akım modunda çalışan vektörel toplama devresidir. Vektörel toplama devresi kare alma, toplama ve karekök alma fonksiyonlarını bir arada yerine getirmektedir. İlk blok olarak geçişiletkenliği devresi kullanıldığından, ikinci blok için giriş işareti akım olacaktır. Dolayısıyla ikinci bloğun, istenilen fonksiyonu gerçekleştirebileceği giriş akımı sınırları, birinci bloğun lineer çalışma aralığı içinde tutulmuştur. Dolayısıyla bu iki kat arasında herhangi bir kuvvetlendirme veya zayıflatma devresine ihtiyaç duyulmamıştır.

Devrenin simülasyonu T-Spice ile yapılmıştır. Doğru simülasyon sonuçları elde edildikten sonra, L-Edit programı ile de devrenin serimi yapılmıştır. Serimi yapılan devre için postsimülasyon yapılmış ve devrenin verilen giriş aralığında(-1V,1V) çalıştığı görülmüştür.

2. ÖNCEKİ ÇALIŞMALAR

Öklid mesafesinin en yaygın kullanıldığı ağ yapıları RBFN ve CSFN 'dir [31]. RBF ağını analog olarak gerçekleştirmenin zorluğu, RBF'in yapmak zorunda olduğu karmaşık hesaplamalardan kaynaklanmaktadır. Bu hesaplamaların başında da Öklid mesafesi yer almaktadır. Bu konuyla doğrudan ilişkili olarak pek fazla analog VLSI tasarım yapılmamış olsa da bu konudan bağımsız olarak çalışan analog tasarımcılar tarafından gerçekleştirilen çeşitli analog hesaplama devreleri, Öklid mesafesini gerçeklemede kullanılabilir. Bu amaçla kullanılabilecek önceki çalışmalar şöyle özetlenebilir.

İşlemsel kuvvetlendirici, akım taşıyıcı kullanılarak kare alma, karekök alma ve vektörel toplama işlemleri gerçekleştirilebilmektedir [6,18,9,13,5]. Ama bu tür yapılar yerine, MOS transistörün karesel tanım bağıntısından yola çıkılarak gerçekleştirilen devreler, tümleştirme açısından kaplayacakları alanın çok daha az olması nedeniyle tercih sebebidir.

1987 yılında Evert Seevinck ve R.F.Wassenaar [25] tarafından CMOS geçiş iletkenliği devresi sunulmuştur. Bu devreyle, sadece düğüm bağlantılarında ufak değişiklikler yapılarak, girişteki fark işaretinin karesi alınmıştır. Bu yapıyla, Öklid normunda yer alan fark işaretinin karesi alınabilir. Önerilen devrede yapılacak ufak değişikliklerle de karekök alma işlemi gerçekleştirilebilmektedir.

1991 yılında E.Seevinck ve R.J.Wiegerink MTL (MOS translinear loop) yapısı kullanarak, akım modunda çalışan ve vektörel toplama işlemi yapan bir yapı sunmuşlardır [30]. Gerçeklenen devrede, girişlerden birinin pozitif ve değerinin diğer girişin mutlak değerinden büyük olma koşulu bulunmaktadır.

Landolt O., Vittoz E. tarafından 1992 yılında [15], MTL yapısı kullanılarak akım modunda vektörel toplama devresi gerçekleştirilmiştir. Gerçeklenen devre, her iki yöndeki giriş akımları için istenilen fonksiyonu sağlamaktadır.

1993 yılında Remco J. Wiegerink tarafından, MOS transistörün karesel tanım bağıntısından yola çıkılarak, akım modunda çalışan ve vektörel toplama işlemi yapabilen bir devre sunulmuştur [29]. Gerçeklenen devre MTL yapısı özelliği göstermektedir ve giriş akımlarının yönü pozitif olabileceği gibi negatif de olabilmektedir.

Shen-Iuan Liu ve Cheng-Chieh Chang [17] 1996 yılında MOS transistörün karesel tanım bağıntısından yola çıkarak, CMOS vektörel toplama devresini gerçekleştirmişlerdir. Vektörel toplama devresi, yapay sinir ağlarında yaygın olarak kullanılmaktadır. Bu yapı, [15,30,29] nolu referansta sunulan yapıların gerilim modundaki karşılığıdır. Burada, giriş/çıkış işaretleri gerilimdir. Çıkış gerilimi, giriş gerilimlerinin karelerinin toplamının kareköküne eşittir.

Sınıflandırma uygulamaları için kullanılan Gauss fonksiyonunu gerçekleyen bir CMOS analog devre 1996 yılında J.Madrenas, M. Verleysen, P. Thissen ve J.L.Voz [19] tarafından gerçekleştirilmiştir. Devre, MOS transistörün eşik altındaki üstel ve doyma bölgesindeki karesel tanım bağıntılarından yola çıkılarak tasarlanmış ve SOI teknolojisiyle de üretilmiştir. İlk olarak, doyma bölgesinde çalışan bir MOS transistörün karesel V-I karakteristiğiyle giriş geriliminin karesi alınır. İkinci aşamada ise, zayıf evirtimde çalışan MOS transistörün karakteristiği kullanılarak istenilen fonksiyon gerçekleştirilir. Devre istenilen fonksiyonu akım modunda 4 adet MOS transistörle gerçekleştirmektedir. Giriş akımı, akımın karesini alan bir devre [3,23,15] aracılığıyla uygulanır.

1997 yılında C.-Y.Chen, C.-Y.Huang ve B.-D.Liu tarafından [4], MOS transistörün karesel tanım bağıntısı kullanılarak, Öklid mesafesinin hesaplanmasında kullanılabilecek bir karekök alma devresi sunulmuştur. Devre akım modunda çalışacak biçimde tasarlandığından düşük besleme gerilimlerinde de istenilen fonksiyon elde edilebilir. Karekök alma devresi, MOS 'un karesel tanım bağıntısı kullanılarak az sayıda transistörle gerçekleştirilmektedir.

3. ÖKLİD MESAFESİ ve YAPAY SİNİR AĞLARINDAKİ YERİ

Bir yapay sinir ağında sınıflama amacıyla girişler arasındaki benzerlikleri tespit etmek için yaygın olarak kullanılan bir ölçüt Öklid mesafesidir. x^i , $n \times 1$ boyutunda bir vektör olsun.

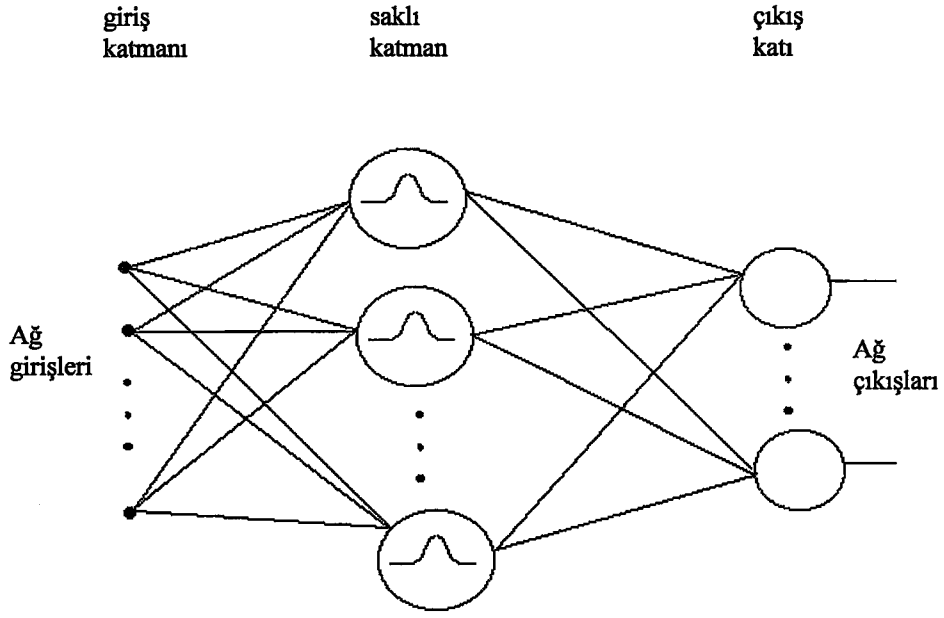
$$x^i = [x_1^i, x_2^i, x_3^i, \dots, x_n^i]^T \quad (3.1)$$

x^i vektörünün bütün elemanları reel olup, T simgesi matrisel işlemlerde kullanılan devrik operatörünü gösterir. x^i vektörü N -boyutlu Öklid uzayında bir noktayı gösterir. x^i ve x^j vektör çifti arasındaki mesafe şöyledir;

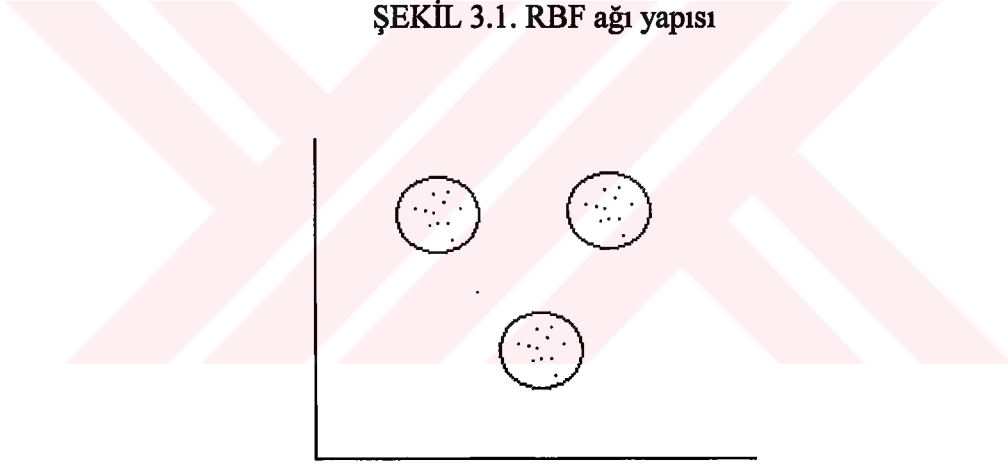
$$d_{ij} = \left[\|x^i - x^j\| \right] = \left[\sum_{n=1}^N (x_n^i - x_n^j)^2 \right]^{1/2} \quad (3.2)$$

x^i ve x^j vektörleri ile gösterilen girişler arasındaki benzerlik Öklid mesafesi ile belirlenir. x^i ve x^j vektörleri ile gösterilen noktalar birbirlerine ne kadar yakınsa Öklid mesafesi d_{ij} o kadar küçük olacaktır. Bu ise, bu iki nokta birbirlerine o kadar benzer demektir.

Yapay sinir ağlarında Öklid mesafesinin en yaygın kullanıldığı ağ yapısı, RBF ağıdır. RBF ağı [20], çok boyutlu fonksiyonların enterpolasyonunda ve patern sınıflandırmada sıkça kullanılan bir yapıdır. Şekil 3.1'de gösterildiği gibi bir RBF ağı iki katmandan oluşmaktadır. Şekil 3.2'de ise RBF ağı kullanılarak elde edilebilecek kapalı karar bölgeleri gösterilmektedir. Bu ağda yer alan çıkış düğümleri (hesaplama birimleri), gizli katmanda yer alan düğümlerin çıkışlarının lineer bir kombinasyonunu oluşturur (Şekil 3.1). Gizli katmanda yer alan temel fonksiyonlar ise, giriş için yerel bir cevap oluşturur. Başka bir ifadeyle, eğer giriş belli ve dar bir yerel bölge içine düşerse, temel fonksiyonların oluşturacağı cevap bu bölge dışına düşecek olan girişlere ait olan cevaba nazaran çok yüksek olacaktır. Bundan dolayı, bu ağlar yerel alıcı alan ağları (localized receptive field network) olarak da adlandırılır [21,22].



ŞEKİL 3.1. RBF ağı yapısı



Şekil 3.2. Kapalı karar bölgeleri

RBF ağlarının yaygın kullanılmasını engelleyen temel sınırlama ise RBF 'in yapmak zorunda olduğu karmaşık hesaplamalardır. Bu hesaplamaların başında ise Öklid mesafesinin hesaplanması gelmektedir. RBF ağı yapısında yer alan her bir temel hücre; mevcut giriş, alıcı alanın (receptive field) merkezinde ise maksimum değeri alırken, giriş ile merkez arasındaki Öklid mesafesinin artmasıyla da monoton olarak azalır. RBF ağı iki katmanlı veri işleme yapısıyla da giriş uzayından çıkış uzayına lineer olmayan bir dönüşüm sağlar. İlk olarak giriş verisi, gizli katmanda yer alan temel fonksiyon aracılığıyla lineer

olmayan bir dönüşümden geçer. Ağın çıkışını elde etmek için temel fonksiyonların cevapları lineer bir şekilde toplanır. Sonuç olarak bir RBF ağının matematiksel ifadesi aşağıda verildiği gibidir.

$$y_j = \sum_{k=1}^{N_1} \omega_{jk} \Phi(\|x - c_k\|) \quad (3.3)$$

(3.3) eşitliğinde bulunan x N -boyutlu giriş vektörünü, ω_{jk} ağda yer alan gizli düğümleri çıkışlara bağlayan ayarlanabilir ağırlıkları, $\Phi(\|x-c_k\|)$ merkezleri c_k olan lineer olmayan transfer fonksiyonunu, $\|\dots\|$ ise Öklid normunu göstermektedir.

$$k = 1, \dots, N_1$$

$$x \in \mathbb{R}^N$$

$$c_k \in \mathbb{R}^N, \quad 1 \leq k \leq N_1$$

$$j = 1, 2, \dots, N_2$$

N_1 gizli katmanda yer alan düğüm sayısını, N_2 ise çıkış katmanındaki düğüm sayısını göstermektedir. Sonuç olarak, tüm ağ lineer olmayan temel fonksiyonların lineer kombinasyonunu oluşturarak, N boyutlu giriş uzayından N_2 boyutlu çıkış uzayına lineer olmayan bir dönüşüm sağlar.

RBF ağında yer alan gizli düğümleri oluşturmak için en yaygın kullanılan fonksiyon Gauss fonksiyonudur ve (3.4) eşitliğinde verildiği gibi ifade edilir [7,8,16,26].

$$\Phi(x) = \exp\left[-\left(\frac{x}{\sigma}\right)^2\right] \quad (3.4)$$

Bir RBF ağı tasarlanırken, ağ için alıcı alan rolü oynayan temel fonksiyonların uygun sayıda seçilmesi gerekir. Bu fonksiyonların çok az sayıda seçilmesi ağın kötü bir

yaklaşıklik yapmasına sebep olurken, çok fazla sayıda seçilmesinde ağırlık genelleştirme yapma özelliğini azaltmaktadır [24].

Eşitlik (3.3) için Öklid mesafesi, eşitlik (3.5)'de verildiği gibi hesaplanır.

$$d_k = \|x - c_k\| ,$$

$$d_k = \left(\sum_{i=1}^N (x_i - c_k)^2 \right)^{1/2} \quad (3.5)$$

Bu tezde (3.5) eşitliğini gerçekleyen hücrenin analog olarak tasarımı ve serimi yapılacaktır.

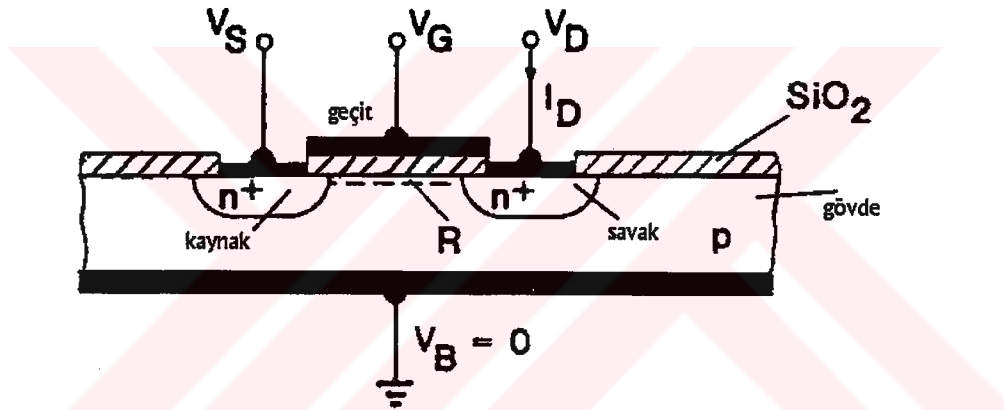


4. MOS TRANSİSTOR

MOS transistorun nasıl kutuplanması gerektiğini ve bir elektronik eleman olarak avantaj ve dezavantajlarını anlamak, analog tümdevrenin optimum olarak tasarlanabilmesi için önemlidir.

4.1. MOS Transistorun Temel Bağlıntıları

Bir MOS (Metal-Oxide-Semiconductor) yapısı şekil 4.1’de verildiği gibidir.



Şekil 4.1 MOS Transistor

Şekil 4.1’de p tipi taban üzerinde yüksek katkılı n+ bölgesi oluşturulmaktadır. Sol tarafta bulunan yüksek katkılı bölge kaynak (source) olarak adlandırılır ve V_S geriliminde tutulmuştur. Sağ tarafta bulunan n+ yüksek katkılı bölge ise savak (drain) olarak adlandırılır ve V_D geriliminde tutulmuştur. Üst elektrot tabakası geçit (gate) olarak adlandırılır ve V_G gerilimine bağlanmıştır. p tipi malzeme ise gövde yada taban (substrate,bulk) olarak adlandırılır. Gövde ile geçit arasında ise SiO_2 ’den oluşan yalıtkan bir tabaka yer almaktadır. Dolayısıyla MOS transistorun giriş direnci çok yüksektir. Toplam yapı MOS transistor olarak isimlendirilir ve çalışma prensibi ise basit bir anlatımla aşağıdaki gibidir.

Kaynak ucunu toprak potansiyelinde tutup $V_s=0V$, savak ucuna 0.5V gibi düşük pozitif bir gerilim uygulayalım. Savak akımı I_D 'nin deęişimini, geit gerilimini 0V'dan daha yksek pozitif gerilim deęerlerine doęru arttırarak inceleyelim. Geit dięer tm blgelerden oksit tabaka aracılıęıyla yalıtıldıęından bu utan herhangi bir akım akmaz. n^+ savak blgesi ile her tarafı evreleyen p-tipi gvde bir p-n jonksiyonu oluřturmaktadır. Gvde en dřk potansiyelde (burada toprakta) tutulduęundan ve $V_D>0$ olduęundan bu jonksiyon ters kutuplanır. Dolayısıyla $V_G=0$ iin $I_D\cong 0$ olur.

V_G gerilimi arttırılmaya bařlandıęında, ortaya ıkan ilk olay geidin altında bulunan R blgesinin fakirleřmesidir. İkinci olay ise R blgesinin evirtilmesidir. R blgesi fakirleřtięinde, savak blgesi ters kutuplandıęından kanaldan akan akım yine sıfır olarak kalır. Fakat V_G gerilimi evirtim kanalını oluřturacak biimde yksek tutulursa, R blgesi elektronlarla dolar (ikinci olay). Hareketli elektronları ieren kanal, savak ve kaynak ularını birleřtirir . Savak ucu, kaynak ucuna gre pozitif olduęundan elektronlar kaynak tarafından savak tarafına doęru akacaktır ve pozitif akım $I_D>0$ gzlenir. Evirtim kanalını oluřturmak iin gerekli olan minimum geit gerilimine eřik gerilimi denir ve V_T ile gsterilir.

Evirtim kanalındaki elektronların byk bir kısmı V_G geriliminden kaynaklanan elektrik alanından dolayı kaynak ucundan ekilir. $V_D>0$ olduęu iin (savak-gvde jonksiyonu daha fazla ters kutuplanır) savak kısmından elektronların ekilmesi zordur.

Kanalın iki ucu arasında V_D gerilim farkı vardır. Bylece, kanaldaki elektronlar savak ucuna doęru ekilirler. Dolayısıyla elektronların rasgele ısıl hareketlerine bir srklenme hareketi de eklenir ve bir srklenme akımı akar. V_D 'nin dřk deęerleri iin kanal bir diren elemanı gibi davranır. Dolayısıyla $I_D\cong V_D/R$ ifadesi yazılabilir. R ise ařaęıdaki gibi verilir.

$$R = \frac{L}{W \cdot \mu_n \cdot |Q_n|} \quad (4.1)$$

(4.1) eşitliğinde L kanalın uzunluğunu, W kanalın genişliğini, μ_n kanaldaki elektronların hareket yeteneklerini, Q_n ise kanaldaki elektronların yük yoğunluğunu ifade etmektedir. Geçide uygulanan V_G gerilimini iki bileşene ayırabiliriz. Geçit geriliminin V_T 'lik kısmı kanalın altındaki fakirleşmiş bölgenin oluşmasında rol oynarken, $V_G - V_T$ 'lik kısmı da kanalın oluşmasında rol oynamaktadır. Dolayısıyla,

$$Q_n = -C_{ox} \cdot (V_G - V_T) \quad (4.2)$$

(4.2) elde edilir. (4.2) eşitliğinde yer alan C_{ox} , geçitle kanalı birbirinden ayıran oksit tabakanın birim alan başına düşen kapasitesidir.

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (4.3)$$

ϵ_{ox} SiO_2 'in dielektrik geçirgenliğini, t_{ox} ise SiO_2 tabakasının kalınlığını göstermektedir. Sonuç olarak düşük değerli V_D (örneğin $V_D \ll (V_G - V_T)$) için (4.4) eşitliği geçerli olur.

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_G - V_T) V_D \quad (4.4)$$

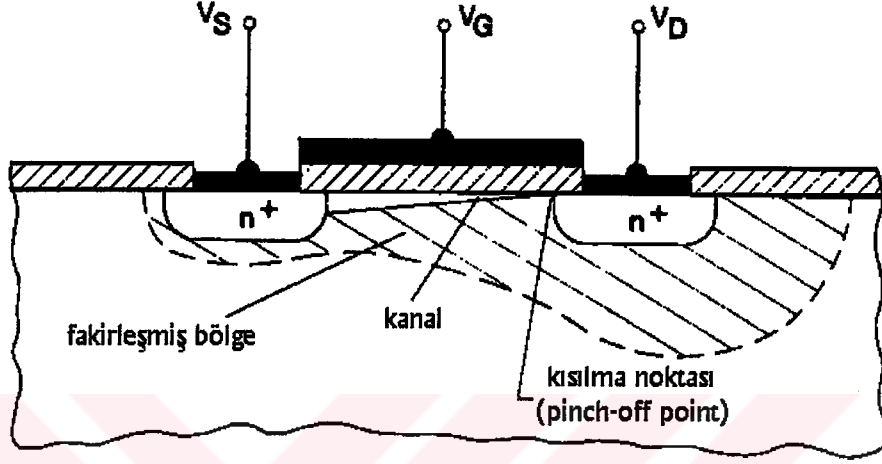
$$R = \left[\mu_n \cdot C_{ox} \cdot \left(\frac{W}{L} \right) \cdot (V_G - V_T) \right]^{-1} \quad (4.5)$$

Dolayısıyla transistor değeri (4.5) eşitliği ile verilen ve V_G gerilimi ile kontrol edilebilen bir direnç elemanı gibi davranır. Bu bölge direnç bölgesi (linear or triod region) olarak adlandırılır.

Savak gerilimi arttırılırsa, onu V_G gerilimi karşısında ihmal edemeyiz. Dolayısıyla (4.4) eşitliği geçerliliğini kaybeder. Kanalın kaynak ucundaki potansiyel sıfır, savak ucundaki potansiyel ise V_D olduğundan kanal için ortalama bir potansiyel $V_D/2$ verilebilir. Sonuç olarak geçitle kanal arasındaki gerilim değeri $(V_G - V_D/2)$ alınabilir. Eşitlik (4.4)'de yer alan V_G yerine $(V_G - V_D/2)$ koyulacak olunursa (4.6) eşitliği elde edilir.

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_G - V_T - V_D/2) V_D \quad (4.6)$$

(4.6) eşitliği, $V_D < V_G - V_T$ için iyi bir yaklaşıklık olarak kabul edilir ve bu bölge MOS transistör için lineer bölge olarak adlandırılır.



Şekil 4.2. MOS Transistöründe kısılma (Pinch-off).

$V_D \geq V_G - V_T$ durumunu inceleyebilmek için şekil 4.2 verilmiştir. Oluşacak yeni durumu iyi gözleyebilmek için şekil 4.2'de yüzeye yakın kısım büyütülerek verilmiştir. Şekilden görüldüğü gibi kanal boyunca oluşacak olan potansiyel değişiminden dolayı yük yoğunluğu Q_n savak tarafına doğru azalır. $V_D = V_G - V_T$ durumunda, savak tarafında oluşacak olan geçit-kanal gerilimi kanalı oluşturacak kadar yeterli olmayacaktır. Dolayısıyla kaynak, kanal ve savak 'ı çevreleyen fakirleşmiş bölge yüzeye kadar ulaşmış olur. Bu olay kısılma olarak bilinir ve olayın olduğu nokta da kısılma noktasıdır (pinch-off point). Eğer V_D gerilimi daha da arttırılırsa kısılma noktası kaynak tarafına ilerler. Dolayısıyla kanal, sadece kaynak tarafından başlayarak kanalda herhangi bir yerde bulunan kısılma noktasına doğru olan kısım ile sınırlanır. Kısılma noktası ile savak arasındaki bölge ise fakirleşmiştir (dolayısıyla doyma bölgesindeki gövde direnci çok yüksektir). Elektronlar kanaldan bu fakirleşmiş bölgeye kısılma noktasından enjekte edildikten sonra, savak ve kısılma noktası arasındaki potansiyel farkından dolayı oluşan yüksek elektrik alanının etkisi altında savak ucuna doğru sürüklenirler. Dolayısıyla savak-kaynak bölgeleri arasındaki gerilim $V_{DS} = V_D - V_S$,

birbirine seri bağılı iki bölge arasında bölünmüş olur. Bu bölgeler ise, kaynak ile kısılma noktası arasındaki kanal ve kısılma noktası ile savak arasında yer alan fakirleşmiş bölgedir. Kısılma noktası ile savak arasındaki direnç kanala göre çok fazla olacağından, V_{DS} geriliminin büyük bir kısmı bu bölgeye düşer. V_D gerilimindeki herhangi bir artış iyi bir yaklaşıklıkla fakirleşmiş bölgenin uçları arasında eşit miktarda gerilim artışına sebep olmakla beraber I_D akımında herhangi bir artışa sebep olmaz. Kısılma olayının olduğu durumda, savak gerilimi $V_D=V_G-V_T$ ile verilir ve bu durumdaki savak gerilimi V_{DSAT} ile gösterilir. Savak akımı ise (4.6) eşitliğinde V_D yerine $V_D=V_{DSAT}=V_G-V_T$ yazılarak (4.7) eşitliğinde verildiği gibi elde edilir.

$$\begin{aligned}
 I_D &= \mu_n C_{ox} \frac{W}{L} (V_G - V_T - V_D/2) V_D \\
 &= \mu_n C_{ox} \frac{W}{L} (V_G - V_T - (V_G - V_T)/2) (V_G - V_T) \\
 I_D(V_D) &\cong I_{DSAT} = I_D(V_{DSAT}) = \frac{\mu_n \cdot C_{ox}}{2} \cdot \frac{W}{L} \cdot (V_G - V_T)^2 \quad (4.7)
 \end{aligned}$$

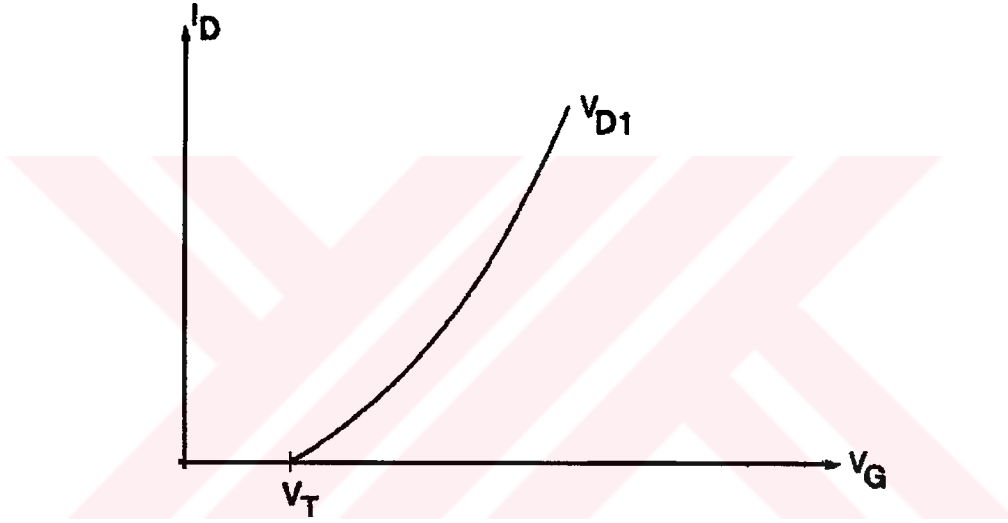
Savak geriliminin, V_{DSAT} geriliminden daha fazla artırılması durumunda savak akımında değişiklik olmayacağından, $V_D > V_G - V_T$ durumunda da (4.7) eşitliği geçerliliğini korur. Eşitlik (4.7) $V_D > V_G - V_T$ için verilir ve bu bölge MOS transistor için doyma bölgesi olarak adlandırılır. $V_{DSAT}=V_G-V_T$ savak doyma gerilimi ve I_{DSAT} ise savak doyma akımıdır. Doyma bölgesinde savak akımı, sadece giriş geriliminin (geçit gerilimi) fonksiyonu olduğundan transistor bu bölgede kuvvetlendirici olarak kullanılır.

4.2 MOS Transistorunda Lineersizlik

Eşitlik (4.7)'de MOS transistorunun savak akımının sadece V_G geriliminin fonksiyonu olduğu görülmektedir. Lineersizliklerden dolayı bu ideal eşitlikten bir miktar sapma olacaktır. MOS transistorunda lineersizliğe sebep olan üç etki aşağıda verilmiştir.

4.2.1 Kanal boyu modülasyonu

Gerçekte, doyma bölgesinde V_D geriliminin artmasıyla savak akımında bir miktar artış olur. Bu artışın sebebi ise V_D geriliminin artmasıyla kısılma noktasının kaynak tarafına doğru hareket etmesi ve kanal boyunun kısılmasıdır. Eşitlik (4.7)'de görüldüğü gibi kanal boyu L azaldıkça, I_D akımı artmaktadır. Bu olay kanal boyu modülasyonu olarak bilinir ve (4.7) eşitliğine eklenmesi gerekir. Kanal boyu modülasyonundan dolayı eşitlik (4.7)'de $I_D(V_D)$ ilişkisini gösterebilmek için $(1 + \lambda \cdot V_D)$ çarpanı eklenir. Burada λ bir sabittir ve kanalın boyuna, tabanın katkı yoğunluğuna ve gövde kutuplanmasına bağlıdır. Genel olarak $\lambda \propto 1/L$ ilişkisi bilinir.



Şekil 4.3 Transfer karakteristiği

$$K' = \frac{\mu_n \cdot C_{ox}}{2} \quad (4.8)$$

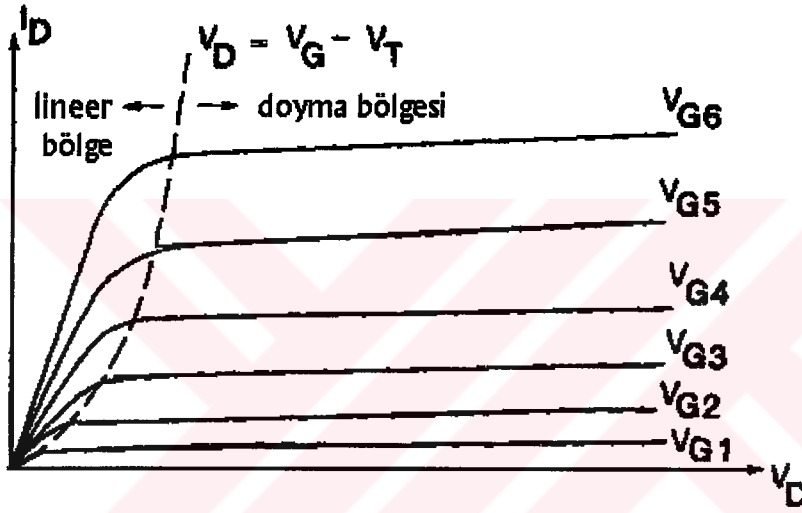
$$K = \frac{\mu_n \cdot C_{ox}}{2} \cdot \frac{W}{L} = K' \cdot \frac{W}{L} \quad (4.9)$$

Eşitlik (4.8) ile (4.9) ifadeleri kullanılırsa ve kanal boyu modülasyonunun etkisi de ele alınırsa, eşitlik (4.7) ile verilen doyma akımı ifadesi basit bir biçimde eşitlik (4.10)'da verildiği gibi modellenir [1].

$$I_D = K \cdot (V_G - V_T)^2 \cdot (1 + \lambda \cdot V_D), \quad V_G \geq V_T \quad (4.10)$$

Böylece kanal boyu modülasyonunun etkisi (4.10) eşitliğinde içerilmiştir.

Şekil 4.3, sabit V_D gerilimi altında, I_D akımının V_G gerilimi ile değişimini (geçiş özeğrisini) göstermektedir. Şekil 4.4 ise, çeşitli sabit V_G değerleri için I_D akımının V_D gerilimi ile olan değişimini (çıkış özeğrilerini) göstermektedir. Şekil 4.4 için $V_{G1} < V_{G2} < V_{G3} \dots$



Şekil 4.4 MOS transistörünün çıkış karakteristikleri

Şu ana kadar türetilen eşitliklerin hepsi, şekil 4.1'deki yapı göz önüne alınarak çıkarılmıştır. Şekil 4.1'de kaynak, savak ve kanal n tipi malzemedir. Bu şekildeki yapı ise n kanallı MOS veya NMOS olarak adlandırılır. Benzer yapı, n tipi gövde içinde p+ katkılı savak ve kaynak difüzyonu yapılarak da elde edilebilir. Bu yeni yapıda ise geçit altında p tipi kanal oluşturmak için negatif V_G gerilimi ve oluşacak kanaldaki delikleri savak tarafına doğru çekmek içinde negatif V_D gerilimi gerekir. Şekil 4.1'deki referans yönü kullanılırsa I_D akımı negatif olur. Bu yeni yapı ise p kanallı MOS veya PMOS olarak adlandırılır. (4.1)-(4.10) eşitliklerinin PMOS içinde geçerli olabilmesi birtakım ufak değişikliklerin yapılması gerekir. Elektronların hareket yeteneği μ_n kanalda bulunan deliklerin hareket yeteneğiyle, kanaldaki elektronların yük yoğunluğu Q_n ise delik yük yoğunluğu ile değiştirilmelidir. Ayrıca taşıyıcıların yükündeki değişikliği belirtmek için

eşitlik (4.1)-(4.10) 'a negatif işareti eklenmelidir. Son olarak da $V_D < 0$ olduğu için eşitlik (4.1)-(4.10) 'da $|V_D|$ olarak yer almalıdır. Sonuç olarak (4.6) eşitliği, (4.11) ile ifade edilir.

$$I_D = -2K(V_G - V_T - V_D/2)V_D \quad (4.11)$$

$$K = \frac{\mu_p C_{ox} W}{2 L} \quad \text{ve } V_T < 0$$

Eşitlik (4.11), savak akımının lineer bölgedeki özelliğini gösterir. I_D 'nin doyma bölgesindeki davranışı ise (4.10) eşitliğinde değişiklik yapılarak, eşitlik (4.12)'de verildiği gibi elde edilir.

$$I_D = -K(V_G - V_T)^2(1 + \lambda|V_D|) \quad (4.12)$$

4.2.2. Gövde etkisi

MOS transistorlarla analog devre tasarımı yaparken karşılaşılan sorunların başında kanal boyu modülasyonu ve gövde etkisi gelir. Şu ana kadar türetilen bütün eşitliklerde hem gövdenin hem de kaynağın toprak potansiyelinde olduğu kabulü yapıldı. Dolayısıyla $V_B = V_S = 0$ eşitliği sürekli sağlanıyordu. Genellikle yapılan tasarımlarda transistorlar için $V_S \neq V_B$ durumunun olması kaçınılmaz denilebilir. Dolayısıyla $V_S - V_B$ gerilimi kaynak-gövde jonksiyonunu ters yönde kutuplayabilmelidir. Aksi durumda, jonksiyondan gövdeye doğru akım akar ve bu da transistorun normal çalışmasını engeller. Sonuç olarak bir NMOS transistorda gövde gerilimi, hem kaynak hem de savak gerilimine göre daha negatif potansiyelde olmalıdır.

Eğer kaynak gerilimi sıfır değilse, şu ana kadar türetilen eşitliklerde V_G yerine $V_{GS} = V_G - V_S$ ve V_D yerine ise $V_{DS} = V_D - V_S$ ifadeleri yerleştirilmelidir. Ek olarak, eğer gövde ile kaynak (dolayısıyla kanal) arasındaki ters gerilim arttırılırsa kanaldan akacak olan akımda azalma gözlenir. V_{GS} gerilimi sabit tutulduğu halde, V_{SB} geriliminin arttırılmasıyla akımda

oluşacak olan azalma ise (4.10) eşitliğine bakılacak olunursa eşik geriliminde artış olarak yorumlanabilir. Eşik gerilimindeki bu artış ise gövde etkisi olarak adlandırılır. Eşik gerilimi V_T 'nin $V_{SB}=V_S-V_B$ gerilimine bağımlılığı, eşitlik (4.13)'de verildiği gibi modellenir [28].

$$|V_T| = |V_{TO}| + \gamma \cdot \left(\sqrt{2 \cdot |\phi_p| + |V_{SB}|} - \sqrt{2 \cdot |\phi_p|} \right) \quad (4.13)$$

Burada V_{TO} , $V_{SB}=0$ iken ölçülen eşik gerilimini, ϕ_p kuvvetli evirtim yüzey potansiyelini göstermektedir. γ eleman sabiti ise eşitlik (4.14)'de verildiği gibidir.

$$\gamma = \frac{\sqrt{2 \cdot \epsilon_s \cdot q \cdot N_{IMP}}}{C_{OX}} \quad (4.14)$$

Eşitlik (4.14)'de ϵ_s silisyumun dielektrik geçirgenliğini, N_{imp} gövdede bulunan yabancı iyonların konsantrasyonunu göstermektedir. NMOS için $N_{imp} = N_A$, PMOS için ise $N_{imp} = N_D$ dir.

4.2.3 Mobilitenin zayıflama etkisi

MOS transistorunun ideal karesel tanım bağıntısından sapmasına sebep olan diğer bir etki de mobilitenin azalmasıdır. Geçit-kaynak geriliminin değeri çok büyük tutulduğunda, geçit oksit tabakasında oluşacak olan elektriksel alanın değeri çok yüksek olur. Yüksek elektrik alanından dolayı kanalda bulunan taşıyıcılar Si-SiO₂ arakesitine doğru hareket ederler. Sonuç olarak kanaldaki taşıyıcıların mobilitesi azalır. Mobilitenin zayıflama etkisi (4.15)'de verildiği gibi modellenir [27].

$$I_d = \frac{K}{(1 + \theta(V_{gs} - V_{th}))} (V_{gs} - V_t)^2 \quad (4.15)$$

$$\theta = 1/(t_{ox}E_{cr}) \quad (4.16)$$

E_{cr} kritik elektrik alanını, t_{ox} ise SiO₂ tabakasının kalınlığını göstermektedir.

5. TASARIMDA KULLANILAN YAPI BLOKLARI

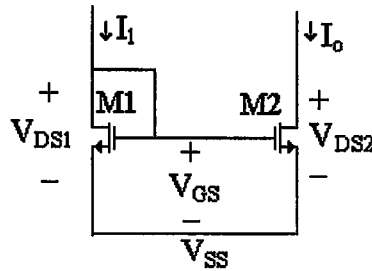
(3.5) eşitliğinde görülen Öklid normunu gerçekleştirmek için ilk bakışta kullanılması düşünülen analog yapı blokları fark alıcı, toplayıcı, kare alıcı ve karekök alıcıdır. Ama bu blokların tek tek gerçekleştirilerek bir araya getirilmesi sonucunda oluşacak olan yapının tümdevre açısından kaplayacağı alanın fazla olacağı açıktır. Aynı zamanda her bir kattan gelecek olan dengesizliklerin artmasına ve kontrolünün zor olmasına neden olur. Şu ana kadar yapılmış olan yayınlardan yola çıkarak bu devrenin gerçekleştirilmesi için iki adet analog yapı bloğunun yeterli olduğu görüşüne varıldı ve devreyi TÜBİTAK Marmara Araştırma Merkezi Yarıiletken Teknolojisi Araştırma Laboratuvarı (YİTAL) tarafından geliştirilen $3\mu\text{m}$ CMOS transistor proses parametrelerini kullanarak gerçekleştirmeye çalıştık. Bu devreye ait şekiller, SPICE dosyaları ve simülasyon sonuçları ilgili bölümlerde ve eklerde sunulmuştur. Ayrıca devredeki blokların, istenilen fonksiyonu vermesi için bir kutuplama gerilimine veya akımına ihtiyaç duymaması, devrede kutuplama devrelerine olan ihtiyacı ortadan kaldırmıştır.

5.1 Akım Aynaları

Analog CMOS devre tasarımında kullanılan fark kuvvetlendiricisi, ortak geçitli yapı, gerilim takipçisi, kompozit yapı gibi temel yapı bloklarının yanı sıra önemli bir yapı bloğu da akım aynalarıdır.

Akım aynalarının dayandığı temel ilke ise birbirinin eşi olan MOS transistorların geçit-kaynak gerilimleri aynı ise, bu transistorlardan geçen kanal akımı oranları, W/L oranlarına eşittir.

5.1.1 Basit akım aynası



Şekil 5.1. N-kanallı basit akım aynası

Şekil 5.1’de basit bir n-kanal akım aynası devresi verilmektedir. I_1 akımı, akım aynası için giriş akımını belirtirken, I_o ise yansıtılan akımı (çıkış akımını) göstermektedir. $V_{DS1}=V_{GS}$ olduğu için M1 transistörü doymada çalışmaktadır. $V_{DS2} > V_{GS} - V_T$ ifadesinin sağlandığını varsayarsak, doyma bölgesi tanım bağıntılarını kullanabiliriz. En genel durumda, akımlar arasındaki oran için eşitlik (5.1)’i kullanabiliriz.

$$\frac{I_o}{I_1} = \left(\frac{L_1 W_2}{L_2 W_1} \right) \left(\frac{V_{GS} - V_{T2}}{V_{GS} - V_{T1}} \right)^2 \left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \left(\frac{\mu_2 C_{ox2}}{\mu_1 C_{ox1}} \right) \quad (5.1)$$

Aynı tümdevrede üretilen transistörler, aynı proses adımlarından geçtiklerinden V_{to} , μ , C_{ox} fiziksel parametreleri iki transistor için aynıdır. Dolayısıyla eşitlik (5.1), eşitlik (5.2)’deki gibi basitleştirilebilir.

$$\frac{I_o}{I_1} = \left(\frac{L_1 \cdot W_2}{L_2 \cdot W_1} \right) \cdot \left(\frac{1 + \lambda \cdot V_{DS2}}{1 + \lambda \cdot V_{DS1}} \right) \quad (5.2)$$

Her zaman iyi bir yaklaşıklık olmamakla beraber $V_{DS2} = V_{DS1}$ olması durumunda ise çok daha basit bir ifade elde edilebilir.

$$\frac{I_o}{I_1} = \left(\frac{L_1 \cdot W_2}{L_2 \cdot W_1} \right) \quad (5.3)$$

Sonuç olarak giriş ve çıkış akımlarının oranları, tasarımcının kontrolü altında bulunan kanal boyu ve kanal genişliğinin fonksiyonudur.

Akım aynasının, istenen ideal sonuç olan eşitlik (5.3)’den farklı olmasına sebep olan üç etki bulunmaktadır. Bunlardan birincisi kanal boyu modülasyonu, ikincisi transistörlerin eşik gerilimlerindeki farklılık, üçüncüsü ise hatalı geometrik eşleşmelerden kaynaklanan farklılıktır. Bu etkileri minimuma indirmek için çeşitli yollar izlenebilir.

Kanal boyu modülasyonunun etkisini incelemek için, transistörün diğer tüm parametrelerinin eşdeğer olduğunu düşünmek kolaylık sağlayacaktır. Bu durumda eşitlik (5.2) aşağıdaki gibi ifade edilebilir.

$$\frac{I_o}{I_i} = \left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \quad (5.4)$$

Her iki transistör için de λ değerinin aynı olması durumunda, eşitlik (5.4), savak-kaynak gerilimleri arasındaki farklılığın ideal akım aynası özelliğinden sapma olacağını gösterir. Eşitlik (5.4)'den iki önemli sonuç çıkarılabilir: 1) İki transistör için savak-kaynak gerilimleri arasındaki farkın büyük olması durumunda oluşacak olan hata da büyük olacaktır. 2) Verilen bir savak-kaynak gerilim farkı için λ değeri düşük oldukça (çıkış direnci büyük oldukça) çıkış akımı, giriş akımını daha iyi takip eder. Dolayısıyla iyi bir akım aynası, eşit savak-kaynak gerilimine ve yüksek çıkış direncine sahip olmalıdır.

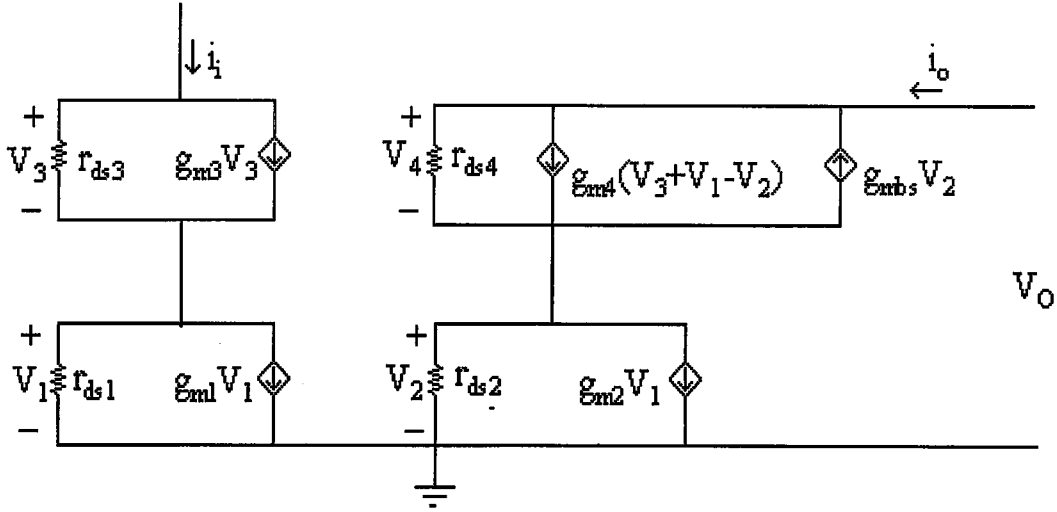
Eşitlik (5.1)'e tekrar bakıldığında iki transistörün eşik gerilimlerindeki farklılığın, diğer tüm parametrelerin aynı olması durumunda bir hataya sebep olacağı görülmektedir. Bu durumda ise eşitlik (5.5) yazılabilir.

$$\frac{I_o}{I_i} = \left(\frac{V_{GS} - V_{T2}}{V_{GS} - V_{T1}} \right)^2 \quad (5.5)$$

Eşik gerilimlerindeki farkı $\Delta V_T = V_{T1} - V_{T2}$ olarak ifade edebiliriz. Dolayısıyla ΔV_T 'den kaynaklanacak olan lineersizliği azaltmak için ise yüksek akımlarda çalışmak gerekir. Yüksek akım değerleri için V_{GS} değeri de yüksek olduğundan, ΔV_T fark gerilimi V_{GS} gerilimine göre çok küçük olur.

İdealsizliğe sebep olan üçüncü etki ise transistörlerin W ve L değerlerinin üretim esnasında belli bir hatayla oluşturulmasıdır. Üretim sürecinde yer alan maskeleme, ışın litografisi, aşındırma gibi fiziksel proses adımlarının sonucu olarak transistör boyutlarında çok azda olsa farklılık gözlenir. Transistör boyutlarından dolayı kaynaklanacak olan bu

geriliminde azda olsa meydana gelen değişimdir. Kaskod akım aynasının çıkış direncini bulmak için şekil 5.2'de yer alan devrenin küçük işaret eşdeğer devresi çizilip analizi yapılırsa eşitlik (5.7) elde edilir.

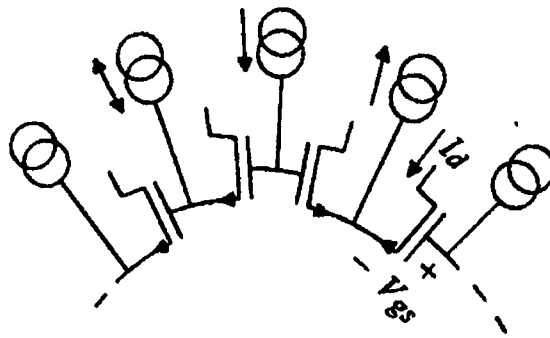


Şekil 5.3. Kaskod akım aynasının küçük işaret eşdeğer devresi

$$r_{out} = r_{ds2} + r_{ds4} + r_{ds2} r_{ds4} (g_{m4} - g_{mb4}) \quad (5.7)$$

5.2 MTL (MOS Translinear) Devre Prensibi

MTL yapısıyla, işaret işlemede kullanılan ve lineer olmayan birçok fonksiyon gerçekleştirilmiştir. Aşağıda MOS transistörlerle oluşturulan örnek bir MTL yapısı verilmektedir.



ŞEKİL 5.4

Şekilde 5.4'deki devrede görülen çevre içinde yalnız n-tipi transistörler yerine, p-tipi transistörler de kullanılabilir. Çevrede saat yönünde ve saat yönünün tersi istikametinde eşit sayıda transistör alınarak , geçit-kaynak gerilimleri seri bir şekilde birleştirilmiştir. Dolayısıyla bir MTL yapısında çift sayıda transistör bulunmalıdır. Çevre için Kirchhoff 'un gerilim yasasını kullanacak olursak (5.8) eşitliği elde edilir.

$$\sum_{SY} V_{gs} = \sum_{SYT} V_{gs} \quad (5.8)$$

(5.8) eşitliğinde SY saat yönünü, SYT ise saat yönünün tersi istikametini göstermektedir. Bütün transistörlerin doymada çalıştığını varsayıp, (5.9) eşitliğinde verilen karesel MOS tanım bağıntısını kullanacak olursak aşağıdaki eşitlikler elde edilir.

$$I_d = K (V_{gs} - V_{th})^2 \quad (5.9)$$

$$V_{gs} = V_{th} + \sqrt{\frac{I_d}{K}} \quad (5.10)$$

(5.10) eşitliğini , eşitlik (5.8)'de yerine koyacak olursak eşitlik (5.11) elde edilir.

$$\sum_{SY} \left(V_{th} + \sqrt{\frac{I_d}{K}} \right) = \sum_{SYT} \left(V_{th} + \sqrt{\frac{I_d}{K}} \right) \quad (5.11)$$

Çevrede saat yönünde ve saat yönünün tersi istikametinde eşit sayıda transistör kullanıldığından (5.11) eşitliğinin her iki tarafında bulunan eşik gerilimlerinin sayısı eşit olacaktır. Transistörlerin birbirine eş özelliklere sahip olduğunu dikkate alır ve gövde etkisinden kaynaklanacak olan eşik gerilimlerindeki farklılıkları ihmal edersek (5.12) eşitliği ile verilen basit bir cebirsel ifade elde edilir.

$$\sum_{SY} \left(\sqrt{\frac{I_D}{W/L}} \right) = \sum_{SYT} \left(\sqrt{\frac{I_D}{W/L}} \right) \quad (5.12)$$

Çevrede n ve p tipi transistörler bir arada kullanılırsa eşitlik (5.13) elde edilir.

$$\sum_{SY,n\text{-tipi}} V_{gs} + \sum_{SY,p\text{-tipi}} V_{gs} = \sum_{SYT,n\text{-tipi}} V_{gs} + \sum_{SYT,p\text{-tipi}} V_{gs} \quad (5.13)$$

(5.10) eşitliğini, eşitlik (5.13)'de yerine koyacak olursak eşitlik (5.14) elde edilir.

$$\sum_{SY,n\text{-tipi}} \left(V_{th,n} + \sqrt{\frac{I_D}{K_n}} \right) + \sum_{SY,p\text{-tipi}} \left(V_{th,p} + \sqrt{\frac{I_D}{K_p}} \right) =$$

$$\sum_{SYT,n\text{-tipi}} \left(V_{th,n} + \sqrt{\frac{I_D}{K_n}} \right) + \sum_{SYT,p\text{-tipi}} \left(V_{th,p} + \sqrt{\frac{I_D}{K_p}} \right) \quad (5.14)$$

$V_{th,n}$ ve $V_{th,p}$ değerleri birbirine eşit olmadığından, (5.14) eşitliğinin her iki tarafında yer alan bu bileşenlerin ortadan kalkması için aşağıdaki iki koşul sağlanmalıdır.

- a) Çevrede, saat yönü ve saat yönünün tersi istikametinde bulunan n-tipi transistörlerin sayısı eşit olmalıdır.
- b) Çevrede, saat yönü ve saat yönünün tersi istikametinde bulunan p-tipi transistörlerin sayısı eşit olmalıdır.

Bu durumda ise şu eşitlikler elde edilir.

$$\sum_{SY} V_{th,n} = \sum_{SYT} V_{th,n} \quad (5.15)$$

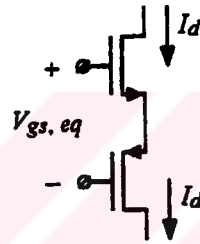
$$\sum_{SY} V_{th,p} = \sum_{SYT} V_{th,p} \quad (5.16)$$

Eşitlik (5.14) ise aşağıdaki gibi basitleştirilebilir.

$$\sum_{SY,n\text{-t\u00fcp\u00fcl}} \sqrt{\frac{I_D}{K_n}} + \sum_{SY,p\text{-t\u00fcp\u00fcl}} \sqrt{\frac{I_D}{K_p}} = \sum_{SYT,n\text{-t\u00fcp\u00fcl}} \sqrt{\frac{I_D}{K_n}} + \sum_{SYT,p\text{-t\u00fcp\u00fcl}} \sqrt{\frac{I_D}{K_p}} \quad (5.17)$$

E\u015ftlik (5.17)'de transistორlara ait K_n ve K_p de\u011ferleri birbirlerine e\u015ft olma\u011fından ortadan kald\u00fcr\u00fclamaz. Dolayısıyla e\u015ftlik (5.17) K_n/K_p oranının i\u00e7erildi\u011fi transfer fonksiyonlarını ger\u00e7eklemede kullanılır [29].

\u00c7evrede bulunan alan t\u00fcm n-tipi ve p-tipi transistორların CMOS \u00e7ifti olu\u015fturacak \u015fekilde yerle\u015ftirilmesi durumunda ise daha farklı bir durum ortaya \u00e7\u00fckmektedir.



\u015ekil 5.5. CMOS \u00c7ifti

\u015ekil 5.5'de verilen CMOS \u00e7ifti i\u00e7in e\u015fde\u011fer ge\u00e7it-kaynak gerilimi e\u015ftlik (5.18)'de verildi\u011fi gibidir.

$$V_{gs,eq} = V_{gs,n} + V_{gs,p} \quad (5.18)$$

E\u015ftlik (5.10)'a benzer bir \u015ekilde, (5.18) e\u015ftli\u011fi a\u015fa\u011f\u00fcdaki gibi elde edilir.

$$V_{gs,eq} = V_{th,n} + V_{th,p} + \left(\frac{1}{\sqrt{K_n}} + \frac{1}{\sqrt{K_p}} \right) \sqrt{I_D} \quad (5.19)$$

$V_{th,eq}$ ve K_{eq} ifadelerini tanımlarsak e\u015ftlik (5.22) elde edilir.

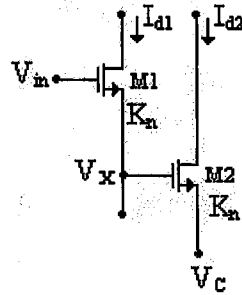
$$V_{th,eq} = V_{th,n} + V_{th,p} \quad (5.20)$$

$$K_{eq} = \frac{K_n K_p}{(\sqrt{K_n} + \sqrt{K_p})^2} \quad (5.21)$$

$$V_{gs,eq} = V_{th,eq} + \sqrt{\frac{I_D}{K_{eq}}} \quad (5.22)$$

Eşitlik (5.22) ve eşitlik (5.10) aynı biçime sahip olduklarından, CMOS çifti V_{th} ve K 'sı farklı olan ve kontrol girişlerinden akım akmayan tek bir transistormuş gibi davranır. CMOS çiftine ait savak akımı n-tipi ve p-tipi transistorların savak ucundan akar. Dolayısıyla sadece CMOS çiftlerinden oluşan bit MTL döngüsünde elde edilecek olan eşitlikle, sadece tek tip transistor kullanılarak gerçekleştirilen MTL döngüsü için elde edilen eşitlik (5.12) benzer olacaktır. Tek transistor yerine CMOS çifti kullanmanın avantajı kontrol düğümlerinden akım çekilmemesidir. Dezavantajı ise toplam eşik geriliminin artması, buda düşük besleme gerilimli uygulamalar için istenmeyen bir durumdur.

5.3 Geçişiletkenliği Elemanı



Şekil 5.6.

Şekil 5.6'da görülen yapı için fark akımı ifadesini çıkaracak olursak,

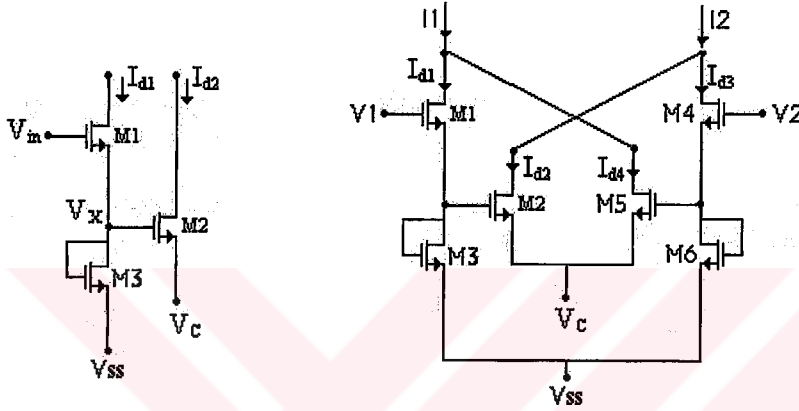
$$I_{d1} - I_{d2} = K_n (V_{in} - 2V_{X} + V_C) (V_{in} - V_C - 2V_{Tn}) \quad (5.23)$$

elde edilir.

V_B sabit bir gerilim olmak koşulu ile

$$2V_X = V_{in} + V_B \quad (5.24)$$

ifadesi oluşturulursa lineer V-I karakteristiği elde edilir.



Şekil 5.7(a)

şekil 5.7(b)

Eşitlik (5.24)'ün geçerli olabilmesi için Şekil 5.7(a)'ya ilişkin devrede M1, M2 ve M3 transistörlerinin özellikleri eş olmalıdır [10]. $V_B = V_{SS}$ olarak alınmıştır. Şekil 5.7(a)'dan ayrıca fark edilebileceği gibi M1 ve M3 transistörleri bir gerilim izleyiciyi andırmaktadır. M1 ve M2 transistörlerine ait savak akımlarının farkı alınırsa

$$I_{d1} - I_{d2} = K_n (V_C - V_{SS}) (V_{in} - V_C - 2V_{Tn}) \quad (5.25)$$

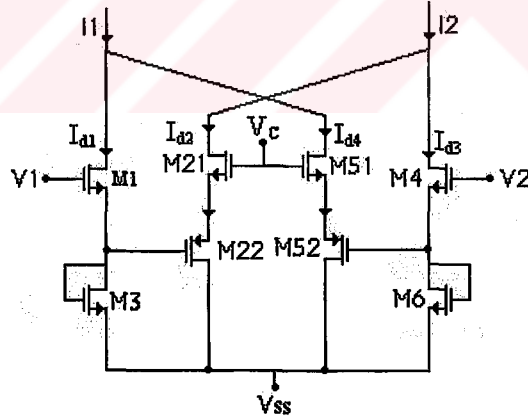
ifadesi elde edilir. (5.25) eşitliğinden fark edileceği gibi fark akımı ile giriş gerilimi arasında dc bir dengesizlik gerilimiyle birlikte lineer bir ilişki vardır. Bir sonraki adım ise bu istenmeyen dc bileşeni ortadan kaldırmak olacaktır. Bunu gerçeklemek için şekil 5.7.(b)'deki devre, şekil 5.7.(a)'dan iki adet kullanılarak elde edilmiştir. Yeni yapıya ait fark akımı ifadesi ise şu şekilde verilmektedir.

$$I_1 - I_2 = (I_{d1} - I_{d2}) - (I_{d3} - I_{d4})$$

$$\begin{aligned}
&= K_n(V_C - V_{SS})(V_1 - V_C - 2V_{Tn}) - K_n(V_C - V_{SS})(V_2 - V_C - 2V_{Tn}) \\
&= K_n(V_C - V_{SS})(V_1 - V_2)
\end{aligned} \tag{5.26}$$

Görüldüğü gibi (5.26) eşitliği, V_C kontrol gerilimiyle elektronik olarak kontrol edilebilen ve değeri $g_m = K_n(V_C - V_{SS})$ olan bir lineer V-I dönüştürücüyü göstermektedir. Devredeki M1, M3, M4 ve M6 transistörlerinin iletimde olabilmeleri için $V_{12} \geq V_{SS} + 2V_{Tn}$ olmalıdır. Dolayısıyla devrenin lineer çalışma aralığı bu koşulun sağlanması için azalır. Devrenin daha geniş bir aralıkta lineer olarak çalışabilmesi için bu devreye ilişkin CMOS versiyonu Şekil 5.8'de verilmiştir. Bu yeni devrede, şekil 5.7(b)'de yer alan M2 ve M5 transistörleri kompozit yapılarla yer değiştirmiştir. Bir kompozit yapı için eşdeğer geçişiletkenliği ve eşik gerilimi (5.20) ve (5.21)'de verildiği gibidir.

Şekil 5.8'de bulunan kompozit yapıya ilişkin K_{eq} ifadesini K_n 'e eşit kılmak gerekiyor. PMOS ve NMOS transistörlere ait mobiliteler bilinirse, PMOS'a ait geçişiletkenliği, NMOS'un geçişiletkenliğine göre çok daha büyük seçilerek $K_{eq} \approx K_n$ olarak elde edilebilir.



Şekil 5.8. Geçişiletkenliği devresi [11].

Bu yeni durumda elde edilen fark akımı ise

$$I_1 - I_2 = K_n(V_C - V_{SS} - V_{Tn} - V_{Teq})(V_1 - V_2) \tag{5.27}$$

şeklinde elde edilir. Bu durumda geçişiletkenliği ise

$$g_m = K_n(V_C - V_{SS} - V_{Tn} - V_{Teq}) \quad (5.28)$$

olarak bulunur.

(5.27) ve (5.28) eşitlikleri çıkartılırken $K_{eq} = K_n$ olarak alınmıştır. Bu eşitliğin geçerli olabilmesi için K_p değerinin K_n 'e nazaran çok büyük olması gerekiyor. Yonga üzerinde gerçekleştirilecek transistörlerin ölçülerinin çok fazla olmaması tümdevre açısından istenen bir özelliktir. Dolayısıyla K_p değerinin büyüklüğü eleman boyutlarına da bağlı olduğundan, düşük de olsa bir distorsiyonun oluşması söz konusudur. Bu distorsiyonun yanısıra, M1 ve M3 (M4 ve M6) transistörleri kuvvetli evirtim bölgesini terk edip, zayıf evirtim bölgesine girmesi durumunda da bir lineersizlik söz konusudur.

5.4 Akımın Karesini Alma Devresi

Doyma bölgesinde çalışan MOS transistörün karesel tanım bağıntısı kullanılarak akımın karesini alma devresi basit bir şekilde gerçekleştirilebilir. Akımın karesini almak için kullanılacak olan devrede yer alan hücreye ilişkin yapı şekil 5.9'da verilmiştir.

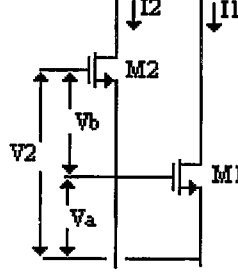
Doyma bölgesinde çalışan MOS transistörün karesel özelliğini ifade eden akım-gerilim ilişkisi basit bir şekilde eşitlik (5.9)'da verildiği gibidir.

$$I_d = K (V_{gs} - V_t)^2 \quad (5.29)$$

Şekil 5.9'daki devrenin birbirinin eşleniği olan iki MOS transistöründen oluştuğunu düşünelim. M1 transistörün geçit-kaynak gerilimi V_a ' ya, M2 transistörün geçit-kaynak gerilimi ise V_b ' ye eşittir. Geçit-kaynak gerilimlerinin toplamı V_2 gerilim kaynağı ile sabit tutulmuştur. (5.29) eşitliğini kullanarak aşağıdaki devre için akım-gerilim eşitliklerini yazabiliriz.

$$I_1 = K (V_a - V_t)^2 \quad (5.30)$$

$$I_2 = K (V_b - V_t)^2 \quad (5.31)$$



Şekil 5.9. İki transistör temel hücre.

$$V_b = V_2 - V_a \quad (5.32)$$

Çıkış akımlarının ifadesi ise aşağıda verildiği gibidir.

$$I_1 - I_2 = K (V_2 - 2V_t) (V_a - V_b) \quad (5.33)$$

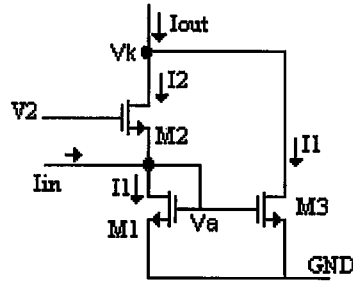
(5.30)-(5.33) eşitlikleri kullanılarak, çıkış akımlarının toplamının ifadesi aşağıdaki gibi elde edilir.

$$I_1 + I_2 = \frac{1}{2} K (V_2 - 2V_t)^2 + \frac{(I_1 - I_2)^2}{2K(V_2 - 2V_t)^2} \quad (5.34)$$

$$V_a - V_b = V_2 - 2V_b = 2V_a - V_2 \quad (5.35)$$

$(I_1 - I_2)$ 'nin V_2 sabit şartı altında sadece V_a veya sadece V_b ile lineer olduğu söylenebilir.

(5.34) eşitliğine bakılacak olunursa V_2 geriliminin sabit alınması koşulu altında $I_1 + I_2$ ifadesinin $I_1 - I_2$ ifadesinin karesi ile ilişkili olduğu görülür. Dolayısıyla giriş akımı ifadesi, $I_{in} = I_1 - I_2$ olacak şekilde yapı düzenlenirse giriş akımının karesi alınır.

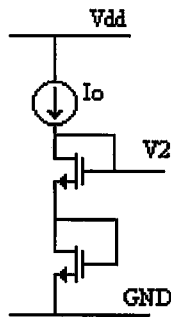


Şekil 5.10 Akımın karesini alma devresi

Şekil 5.10'dan görüldüğü gibi, $I_{out} = I_1 + I_2$ ifadesini elde etmek için M1 transistöründen akan akım M3 transistörü aracılığıyla kopyalanıp I_2 akımıyla toplanmıştır. Ayrıca $I_{in} = I_1 - I_2$ ifadesini elde etmek için de M1 transistörünün savak-geçit uçları kısa devre edilmiştir. Bu yeni durumda (5.34) eşitliği aşağıdaki gibi düzenlenebilir.

$$I_{out} = \frac{1}{2} K (V_2 - 2V_t)^2 + \frac{I_{in}^2}{2K(V_2 - 2V_t)^2} \quad (5.36)$$

Şekil 5.10'daki devrenin, birbirine eş özelliklere sahip MOS transistörlerden oluşan şekil 5.11'deki devre ile kutuplanması durumunda elde edilen devre, şekil 5.12'de gösterildiği gibidir.



Şekil 5.11 Kutuplama devresi.

Şekil 5.11'de, kutuplama akımı I_0 ile V_2 gerilimi arasındaki ilişki aşağıdaki gibidir.

$$I_0 = \frac{1}{4} K (V_2 - 2V_t)^2 \quad (5.37)$$

Eşitlik (5.37)'nin geçerli olabilmesi için $V_2 > 2V_t$ koşulu sağlanmalıdır.

Kare alma devresinin istenilen fonksiyonu yerine getirebileceği giriş akımının sınırları belirlenmelidir. Dolayısıyla şekil 5.10'daki devre için eşitlik (5.33) ve (5.35) kullanılırsa

$$I_{in} = I_1 - I_2 = 2K (V_2 - 2V_t) (V_a - V_2/2) \quad (5.38)$$

olarak elde edilir.

Eşitlik (5.38)'in geçerli olabilmesi için tüm transistörlerin doyma bölgesinde çalıştırılması gerekir.

$$V_t < V_a < V_2 - V_t \quad (5.39)$$

$$2V_t < V_2 < V_k - V_t \quad (5.40)$$

$$V_a = V_t \Rightarrow I_{in} = -4I_0$$

$$V_a = V_2 - V_t \Rightarrow I_{in} = 4I_0$$

Sonuç olarak bütün transistörlerin doymada kalması için giriş akımı aşağıdaki aralıkta sınırlanmalıdır.

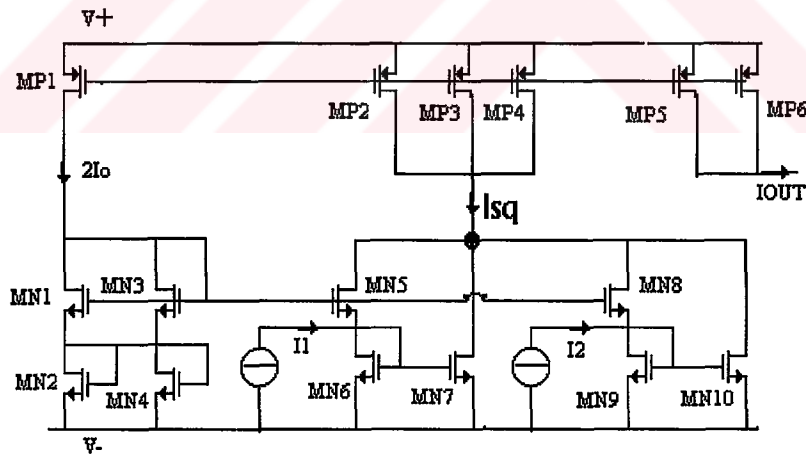
$$|I_{in}| < 4I_0 \quad (5.41)$$

Eşitlik (5.43)'de verilen Öklid mesafesinin, n boyutlu giriş vektörleri için geçerli ifadesi ise eşitlik (3.2)'de verilmiştir. Eşitlik (5.43)'de yer alan Öklid mesafesini gerçeklemek için önerilen iki vektörel toplama devresi aşağıdaki alt başlıklarda incelenecektir [15,29].

5.5.1 Otomatik kutuplamalı vektörel toplama devresi

(3.2) eşitliğinde yer alan kare alma fonksiyonunu gerçekledikten sonraki aşama, kare alma devrelerinin çıkışlarını toplayıp, toplamın karekökünü almaktır. Bu durumda, oluşacak olan yeni yapıda toplam transistor sayısı ile birlikte devrenin dengesizlik bileşeninde artış olacaktır.

Şekil 5.13'deki devre, giriş işaretlerinin akım olması durumunda, girişlerin karelerinin toplamının karekökünü doğrudan almaktadır. Dolayısıyla böyle bir yapının kullanılması tümdevre ve devrenin çalışma performansı açısından büyük yarar sağlamaktadır. Bu devrede, temel hücre olarak bölüm 5.4'de anlatılan kare alma devresi kullanılmaktadır.



ŞEKİL 5.13. Otomatik kutuplamalı vektörel devresi [15].

Şekil (5.13)'deki devre, temel hücre olarak şekil 5.12'deki yapıyı kullandığından, devrenin çalışma sınırları önceden belirlendiği gibidir. Şekil 5.10'daki kare alma hücresinden iki adet kullanılmıştır. Kare alma hücrelerinin çıkış akımlarını toplamak için, şekil 5.13'deki devrede, kare alma hücrelerinin çıkışları birleştirilmiştir. Kare alma devrelerinin toplam

çıkış akımı, giriş akımı olarak akım aynası aracılığıyla kare alma devrelerini kutuplayan kutuplama devresine yansıtılır. Dolayısıyla devre otomatik kutuplamalı bir durum alır. Kare alma devrelerinin toplam çıkış akımı ifadesi ise eşitlik (5.46)'da verildiği gibidir.

$$I_{sq} = 2.I_0 + \frac{I_1^2}{8.I_0} + 2.I_0 + \frac{I_2^2}{8.I_0} = 4.I_0 + \frac{I_1^2 + I_2^2}{8.I_0} \quad (5.46)$$

Şekil 5.13'de görülen devre otomatik kutuplamalıdır. Kare alma hücrelerini kutuplayan MN1-MN4 transistörleri, kare alma devrelerinin çıkış akımlarının toplamı olan I_{sq} ile sürülmüştür. MN1-MN4 transistörlerinden geçen akımın değeri ise I_0 'dır.

$$I_0 = I_{sq} / k \quad (5.47)$$

$k = 6$ seçilip eşitlik (5.46), eşitlik (5.47)'de yerine konulursa

$$I_0 = \frac{1}{4} \sqrt{I_1^2 + I_2^2} \quad (5.48)$$

$$I_{OUT} = 4 I_0 = \sqrt{I_1^2 + I_2^2} \quad (5.49)$$

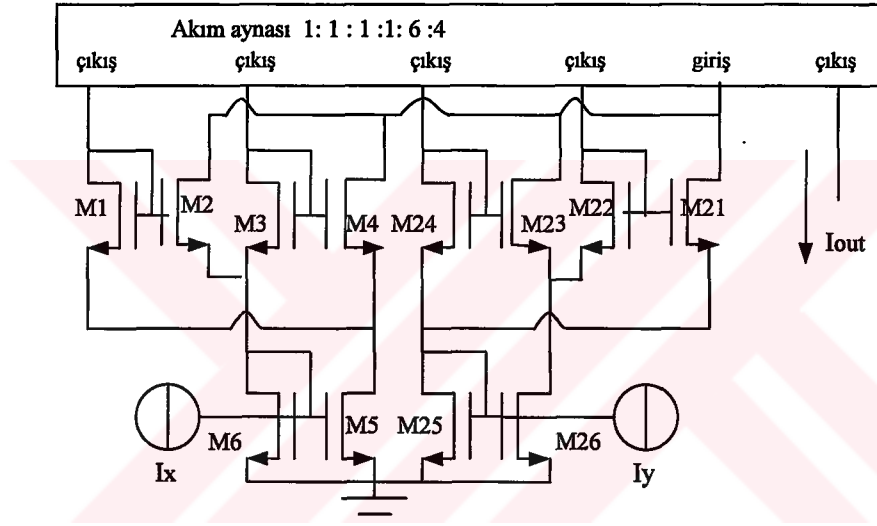
elde edilir.

Eşitlik (5.49) ve (5.43) , kareler toplamının karekökü açısından birbirlerinin benzeridir. Dolayısıyla bu devre Öklid mesafesini, ayrıca bir karekök alma devresine ihtiyaç duymadan gerçekleyebilmektedir. Bu devre (3.2) eşitliğinde verildiği gibi n boyutlu giriş vektörleri için kullanılacak olunursa, devreye n adet kare alıcı blok ekleyip bölme oranı k 'yı değiştirmemiz yeterlidir. Bu durumda k , eşitlik (5.50)'de verildiği gibi değiştirilmelidir.

$$k = 2(n+1) \quad (5.50)$$

Şekil 13'deki devrede MN1,MN3,MN5 ve MN8 transistörleri ayrı kuyularda gerçekleştirilmelidir. Dolayısıyla yapının çalışma frekansı düşük olur. Ayrıca Şekil 13'deki devrede MN5,MN7 ve MN8,MN10 transistörlerinin V_{DS} gerilimlerindeki fark büyük olacağından bu yapıda kanal boyu modülasyonunun etkisi fazlaca görülür. Bu da devrenin pozitif ve negatif giriş akımları için tam bir simetri göstermemesine sebep olur. Aşağıda verilen yapıda ise bu etkiler ortadan kaldırılmıştır.

5.5.2 Doğrusal geçiş çevrimli (MTL) vektörel toplama devresi



Şekil 5.14 MTL yapısı ile gerçekleştirilen vektörel toplama devresi [29].

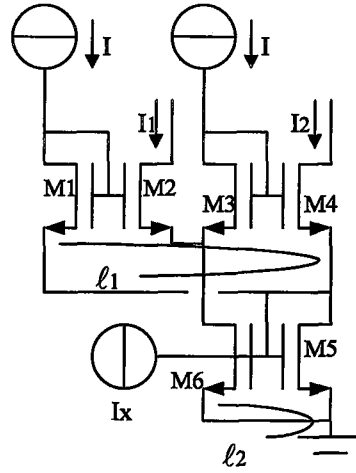
Yukarıda görülen devre aşağıdaki fonksiyonu gerçeklemektedir;

$$I_{out} = \sqrt{I_x^2 + I_y^2} \quad (5.51)$$

Bu devre için şu akım eşitlikleri yazılabilir;

$$I_{D1} = I_{D3} = I_{D24} = I_{D22} = I, \quad I_{D21} = 6I, \quad I_{out} = 4I \quad (5.52)$$

Yukarıdaki devrenin analizini yapabilmek için devreyi oluşturan temel blok şekil 5.15'de



Şekil 5.15. Temel devre

verilmiştir. Şekil üzerinde doğrusal geçiş çevreleri (Transilinear loop) görülmektedir.

Öncelikle, I_x akımına ait bloğu inceleyelim. l_1 çevresi için saat yönün ters istikametindeki geçit kaynak gerilimlerinin toplamını saat yönündeki geçit kaynak gerilimlerinin toplamına eşitlersek şu eşitliği elde ederiz.

$$\sqrt{\frac{I_{D1}}{K}} + V_{Tn} + \sqrt{\frac{I_{D3}}{K}} + V_{Tn} = \sqrt{\frac{I_{D2}}{K}} + V_{Tn} + \sqrt{\frac{I_{D4}}{K}} + V_{Tn} \quad (5.53)$$

Transistorlar aynı boyutta ve aynı tipte oldukları için geçiş iletkenlikleri aynıdır. Ayrıca M1, M4 ve M2, M3 transistorlarının kaynak uçları birbirleriyle aynı düğüme bağlı olduğundan eşitlik (5.53)'ün iki tarafında bulunan eşik gerilimleri birbirlerini götürür. Dolayısıyla bu yapının kullanılması, devrede bulunan transistorların ayrı kuyularda gerçekleştirilmesi şartını ortadan kaldırmaktadır. Sonuç olarak (5.53) eşitliği (5.52) eşitliğinin de dikkate alınmasıyla şu şekli alır.

$$\sqrt{I_{D2}} + \sqrt{I_{D4}} = 2\sqrt{I} \quad (5.54)$$

I_2 çevresi dikkate alınırsa şu eşitlik elde edilir.

$$I_x = I_{D2} - I_{D4} \quad (5.55)$$

Şekil 5.14'deki devre için M2,M4,M23 ve M21 transistörlerinden akan akımları sırasıyla I_1, I_2, I_3, I_4 ile gösterecek olursak, (5.54) ve (5.55) eşitliklerinin birlikte çözülmesiyle I_1 ve I_2 akımları için şu eşitlikler elde edilir.

$$I_1 = I + \frac{I_x}{2} + \frac{I_x^2}{16I} \quad (5.56)$$

$$I_2 = I - \frac{I_x}{2} + \frac{I_x^2}{16I} \quad (5.57)$$

Bu iki akımı toplarsak;

$$I_1 + I_2 = 2I + \frac{I_x^2}{8I} \quad (5.58)$$

eşitliği elde edilir. Benzer analiz şekil 5.14'deki devrede görülen sağdaki blok için de yapılırsa I_3 ve I_4 akımlarının toplamı için

$$I_3 + I_4 = 2I + \frac{I_y^2}{8I} \quad (5.59)$$

eşitliği elde edilir.

$$I_{in} = 6I = I_1 + I_2 + I_3 + I_4 = 4I + \frac{1}{8I}(I_x^2 + I_y^2) \quad (5.60)$$

(5.60) eşitliğinin her iki tarafını $8I$ ile çarparak ve (5.52) eşitliğini de dikkate alarak gerekli düzenlemeleri yaparsak çıkış akımı için;

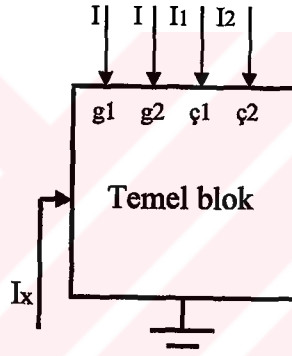
$$I_{\text{out}} = \sqrt{I_x^2 + I_y^2} \quad (5.61)$$

eşitliği elde edilir.

Bu devre n boyutlu giriş vektörü için şöyle geliştirilebilir. Bu durum da yeni devre şu fonksiyonu gerçekleyecektir.

$$I_{\text{out}} = \sqrt{I_{x1}^2 + I_{x2}^2 + I_{x3}^2 + \dots + I_{xn}^2} \quad (5.62)$$

Şekil 5.15'de görülen temel devreyi aşağıdaki blok ile temsil edelim.



Şekil 5.16.

Bu blok kullanılarak elde edilen ve (5.62) eşitliğini sağlayan devre şekil 5.17'de verilmiştir.



79114



**YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ**

**YAPAY SİNİR AĞLARINDA KULLANILAN
ÖKLİD MESAFESİNİ HESAPLAMAK İÇİN BİR
ANALOG TÜRMEVRENİN GERÇEKLENMESİ**

Elektronik ve Hab.Müh. Turan SOLMAZ

**F.B.E. Elektronik ve Haberleşme Mühendisliği Anabilim Dalı Haberleşme
Programında Hazırlanan**

YÜKSEK LİSANS TEZİ

79114

Tez Danışmanı: Prof. Dr. Atilla ATAMAN

Prof. Şefik SARIKAYALAR



Prof. Dr.
H. Hakam Kantaman



Prof. Dr. AHİK ATAMAN



İSTANBUL, 1998

YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

İÇİNDEKİLER

| | |
|---|-----|
| ÖNSÖZ..... | ii |
| ÖZET..... | iii |
| ABSTRACT..... | iv |
| 1. GİRİŞ..... | 1 |
| 2. ÖNCEKİ ÇALIŞMALAR..... | 2 |
| 3. ÖKLİD MESAFESİ ve YAPAY SİNİR AĞLARINDAKİ YERİ..... | 4 |
| 4. MOS TRANSİSTOR..... | 8 |
| 4.1 MOS Transistorun Temel Bağlıntıları..... | 8 |
| 4.2 MOS Transistorunda Lineersizlik..... | 12 |
| 4.2.1 Kanal boyu modülasyonu..... | 13 |
| 4.2.2 Gövde etkisi..... | 15 |
| 4.2.3 Mobilitenin zayıflama etkisi..... | 16 |
| 5. TASARIMDA KULLANILAN YAPI BLOKLARI..... | 17 |
| 5.1 Akım Aynaları..... | 17 |
| 5.1.1 Basit akım aynası..... | 17 |
| 5.1.2 Kaskod akım aynası..... | 20 |
| 5.2 MTL Devre Prensibi..... | 21 |
| 5.3 Geçişiletkenliği (tranconductance) Elemanı..... | 25 |
| 5.4 Akımın Karesini Alma Devresi..... | 28 |
| 5.5 Vektörel Toplama Devreleri..... | 32 |
| 5.5.1 Otomatik kutuplamalı vektörel toplama devresi..... | 33 |
| 5.5.2 Doğrusal geçiş çevrimli (MTL) vektörel toplama devresi..... | 35 |
| 6. SİMÜLASYONU YAPILACAK OLAN DEVRELER ve SİMÜLASYON SONUÇLARI..... | 42 |
| 6.1 Geçişiletkenliği Devresi ve Simülasyonu..... | 43 |
| 6.2 Otomatik Kutuplamalı Vektörel Toplama Devresi Kullanarak Öklid Mesafesinin Hesaplanması ve Simülasyon Sonuçları..... | 45 |
| 6.3 Doğrusal Geçiş Çevrimli Vektörel Toplama Devresi Kullanarak Öklid Mesafesinin Hesaplanması ve Simülasyon Sonuçları..... | 57 |

| | | |
|------|---|-----|
| 7. | LAYOUT TASARIMI..... | 70 |
| 7.1 | Geometrik Tasarım Kuralları..... | 70 |
| 7.2 | Tasarımda Kullanılan Katmanlar..... | 70 |
| 8. | SONUÇLAR ve ÖNERİLER..... | 75 |
| | KAYNAKLAR..... | 76 |
| | EKLER..... | 79 |
| Ek 1 | SPICE Model Parametreleri..... | 80 |
| Ek 2 | Geçişiletkenliği Devresine Ait SPICE Dosyası..... | 83 |
| Ek 3 | Otomatik Kutuplamalı Vektörel Toplama Devresine Ait SPICE Dosyası..... | 85 |
| Ek 4 | Otomatik Kutuplamalı Vektörel Toplama Devresi Kullanılarak Gerçeklenen Öklid Mesafesi Hesaplama Devresine Ait SPICE Dosyası..... | 87 |
| Ek 5 | TÜBİTAK-YİTAL 3um Poli Geçitli CMOS Prosesi Tasarım Kuralları..... | 90 |
| Ek 6 | Layoutu Tasarlanan Devreye Ait SPICE Dosyası (Şekil 7.1)..... | 93 |
| Ek 7 | MTL Yapısı ile Gerçeklenen Vektörel Toplama Devresine Ait SPICE Dosyası..... | 100 |
| Ek 8 | MTL Yapısı Kullanılarak Gerçeklenen Öklid Mesafesi Hesaplama Devresine Ait SPICE Dosyası..... | 102 |
| | ÖZGEÇMİŞ..... | 106 |

ÖNSÖZ

Bu tezin hazırlanması sırasında; engin bilgi ve yardımlarından yararlandığım sayın hocam **Prof.Dr. Atilla ATAMAN'a**, düşünce ve katkılarından dolayı **Yrd.Doç.Dr. Tülay YILDIRIM'a** ve çalışma arkadaşım **Arş.Gör. Kemal HACIOĞLU'na** saygı ve sevgilerimi sunarım.

Haziran 1998

Turan SOLMAZ

ÖZET

Bu tezde Öklid mesafesini hesaplayan devrenin tasarımı ve MOS transistörleri kullanılarak gerçekleştirilmesi sunulmuştur. RBFN ve CSFN gibi bazı yapay sinir ağları uygulamalarında Öklid mesafesinin hesaplanması gerekmektedir.

N boyutlu uzayda iki vektör arasındaki uzaklık, Öklid mesafesi olarak adlandırılır.

Devre iki bloktan oluşmaktadır. Akım modunda Öklid mesafesini hesaplayan ikinci blok ana bloğu oluşturmaktadır. Fakat bizim girişlerimiz gerilimdir. Dolayısıyla, giriş gerilimlerini akıma çevirmek amacıyla ilk blok olarak geçişiletkenliği elemanı kullanılmıştır.

Devre MOS transistörleri kullanılarak gerçekleştirilmiştir. Level 3 YİTAL proses parametreleri kullanılarak devrenin simülasyonu, T-Spice simülasyon programı kullanılarak yapılmıştır. Devrenin serimi ise L-Edit layout programı kullanılarak gerçekleştirilmiştir. Serimi yapılan devreye ait oluşturulan SPICE dosyası için postsimülasyon yapılmıştır. Her iki simülasyon sonuçlarının birbirleriyle aynı sonucu verdiği grafiklerle gösterilmiştir.

ABSTRACT

In this thesis, design and MOS VLSI implementation of a circuit that calculates Euclidean distance is presented. In some neural network applications, such as RBFN and CSFN, the calculation of Euclidean distance is a necessity.

In an N -dimensional space, the distance between two vectors is called Euclidean distance .

The circuit is constructed by two blocks. The main block is the second block that calculates the Euclidean distance in current mode. But our inputs are voltages. That's why a transconductance element is used as a first block to convert voltage inputs to current.

The circuit is implemented by MOS transistors. Level 3 YITAL process parameters are used in the simulation of the circuit. The simulation is performed by T-Spice, a simulation program. Layout of the circuit is designed by L-Edit, a layout program, and then the simulation process is performed again for the SPICE file of the layout. The results of both simulations are found to be in agreement.

1. GİRİŞ

MOS transistörünün 1960 yılında ilk olarak tanıtılmasından sonra [12], bu devre elemanı sayısal tümdevre elektroniğinde öncü bir rol oynamıştır. MOSFET teknolojisi, sayısal devrelerin tümleştirilme boyutlarının küçülmesi açısından çok büyük gelişme göstermiştir. Analog devrelerin gerçekleştirilmesinde ise bu teknolojinin kullanımı sayısal devrelere nazaran yeni sayılabilir.

Bu tezde yapay sinir ağları (neural networks) uygulamalarında kullanılan RBF (radial basis function) ve CSFN'yi (Conic Section Function Network) gerçeklemek için ihtiyaç duyulan Öklid mesafesini hesaplama devresi, TÜBİTAK Marmara Araştırma Merkezi Yarıiletken Teknolojisi Araştırma Laboratuvarı (YİTAL) tarafından geliştirilen $3\mu\text{m}$ CMOS transistör proses parametreleri ile gerçekleştirilmiştir.

Devrede yer alan bloklar için DC analiz yapılmıştır. DC analizin istenilen sonuçları vermesine rağmen, istenilen çıkışların elde edilip edilmediğini açık bir şekilde görmek amacıyla da DC analiz sonucunda elde edilen veriler düzlemde gösterilmiştir.

Analizi ve simülasyonu yapılan ilk blok bir lineer geçişiletkenliği devresidir [11]. Bu devrenin lineer çalışma sınırları belirlendikten sonra ikinci blok devrenin gerçekleştirilmesine geçilmiştir. İkinci devre ise, akım modunda çalışan vektörel toplama devresidir. Vektörel toplama devresi kare alma, toplama ve karekök alma fonksiyonlarını bir arada yerine getirmektedir. İlk blok olarak geçişiletkenliği devresi kullanıldığından, ikinci blok için giriş işareti akım olacaktır. Dolayısıyla ikinci bloğun, istenilen fonksiyonu gerçekleştirebileceği giriş akımı sınırları, birinci bloğun lineer çalışma aralığı içinde tutulmuştur. Dolayısıyla bu iki kat arasında herhangi bir kuvvetlendirme veya zayıflatma devresine ihtiyaç duyulmamıştır.

Devrenin simülasyonu T-Spice ile yapılmıştır. Doğru simülasyon sonuçları elde edildikten sonra, L-Edit programı ile de devrenin serimi yapılmıştır. Serimi yapılan devre için postsimülasyon yapılmış ve devrenin verilen giriş aralığında(-1V,1V) çalıştığı görülmüştür.

2. ÖNCEKİ ÇALIŞMALAR

Öklid mesafesinin en yaygın kullanıldığı ağ yapıları RBFN ve CSFN 'dir [31]. RBF ağını analog olarak gerçekleştirmenin zorluğu, RBF'in yapmak zorunda olduğu karmaşık hesaplamalardan kaynaklanmaktadır. Bu hesaplamaların başında da Öklid mesafesi yer almaktadır. Bu konuyla doğrudan ilişkili olarak pek fazla analog VLSI tasarım yapılmamış olsa da bu konudan bağımsız olarak çalışan analog tasarımcılar tarafından gerçekleştirilen çeşitli analog hesaplama devreleri, Öklid mesafesini gerçeklemede kullanılabilir. Bu amaçla kullanılabilecek önceki çalışmalar şöyle özetlenebilir.

İşlemsel kuvvetlendirici, akım taşıyıcı kullanılarak kare alma, karekök alma ve vektörel toplama işlemleri gerçekleştirilebilmektedir [6,18,9,13,5]. Ama bu tür yapılar yerine, MOS transistörün karesel tanım bağıntısından yola çıkılarak gerçekleştirilen devreler, tümleştirme açısından kaplayacakları alanın çok daha az olması nedeniyle tercih sebebidir.

1987 yılında Evert Seevinck ve R.F.Wassenaar [25] tarafından CMOS geçiş iletkenliği devresi sunulmuştur. Bu devreyle, sadece düğüm bağlantılarında ufak değişiklikler yapılarak, girişteki fark işaretinin karesi alınmıştır. Bu yapıyla, Öklid normunda yer alan fark işaretinin karesi alınabilir. Önerilen devrede yapılacak ufak değişikliklerle de karekök alma işlemi gerçekleştirilebilmektedir.

1991 yılında E.Seevinck ve R.J.Wiegerink MTL (MOS translinear loop) yapısı kullanarak, akım modunda çalışan ve vektörel toplama işlemi yapan bir yapı sunmuşlardır [30]. Gerçeklenen devrede, girişlerden birinin pozitif ve değerinin diğer girişin mutlak değerinden büyük olma koşulu bulunmaktadır.

Landolt O., Vittoz E. tarafından 1992 yılında [15], MTL yapısı kullanılarak akım modunda vektörel toplama devresi gerçekleştirilmiştir. Gerçeklenen devre, her iki yöndeki giriş akımları için istenilen fonksiyonu sağlamaktadır.

1993 yılında Remco J. Wiegerink tarafından, MOS transistorun karesel tanım bağıntısından yola çıkılarak, akım modunda çalışan ve vektörel toplama işlemi yapabilen bir devre sunulmuştur [29]. Gerçeklenen devre MTL yapısı özelliği göstermektedir ve giriş akımlarının yönü pozitif olabileceği gibi negatif de olabilmektedir.

Shen-Iuan Liu ve Cheng-Chieh Chang [17] 1996 yılında MOS transistorun karesel tanım bağıntısından yola çıkarak, CMOS vektörel toplama devresini gerçekleştirmişlerdir. Vektörel toplama devresi, yapay sinir ağlarında yaygın olarak kullanılmaktadır. Bu yapı, [15,30,29] nolu referansta sunulan yapıların gerilim modundaki karşılığıdır. Burada, giriş/çıkış işaretleri gerilimdir. Çıkış gerilimi, giriş gerilimlerinin karelerinin toplamının kareköküne eşittir.

Sınıflandırma uygulamaları için kullanılan Gauss fonksiyonunu gerçekleyen bir CMOS analog devre 1996 yılında J.Madrenas, M. Verleysen, P. Thissen ve J.L.Voz [19] tarafından gerçekleştirilmiştir. Devre, MOS transistorun eşik altındaki üstel ve doyma bölgesindeki karesel tanım bağıntılarından yola çıkılarak tasarlanmış ve SOI teknolojisiyle de üretilmiştir. İlk olarak, doyma bölgesinde çalışan bir MOS transistorun karesel V-I karakteristiğiyle giriş geriliminin karesi alınır. İkinci aşamada ise, zayıf evirtimde çalışan MOS transistorun karakteristiği kullanılarak istenilen fonksiyon gerçekleştirilir. Devre istenilen fonksiyonu akım modunda 4 adet MOS transistorla gerçekleştirmektedir. Giriş akımı, akımın karesini alan bir devre [3,23,15] aracılığıyla uygulanır.

1997 yılında C.-Y.Chen, C.-Y.Huang ve B.-D.Liu tarafından [4], MOS transistorun karesel tanım bağıntısı kullanılarak, Öklid mesafesinin hesaplanmasında kullanılacak bir karekök alma devresi sunulmuştur. Devre akım modunda çalışacak biçimde tasarlandığından düşük besleme gerilimlerinde de istenilen fonksiyon elde edilebilir. Karekök alma devresi, MOS 'un karesel tanım bağıntısı kullanılarak az sayıda transistorla gerçekleştirilmektedir.

3. ÖKLİD MESAFESİ ve YAPAY SİNİR AĞLARINDAKİ YERİ

Bir yapay sinir ağında sınıflama amacıyla girişler arasındaki benzerlikleri tespit etmek için yaygın olarak kullanılan bir ölçüt Öklid mesafesidir. x^i , $n \times 1$ boyutunda bir vektör olsun.

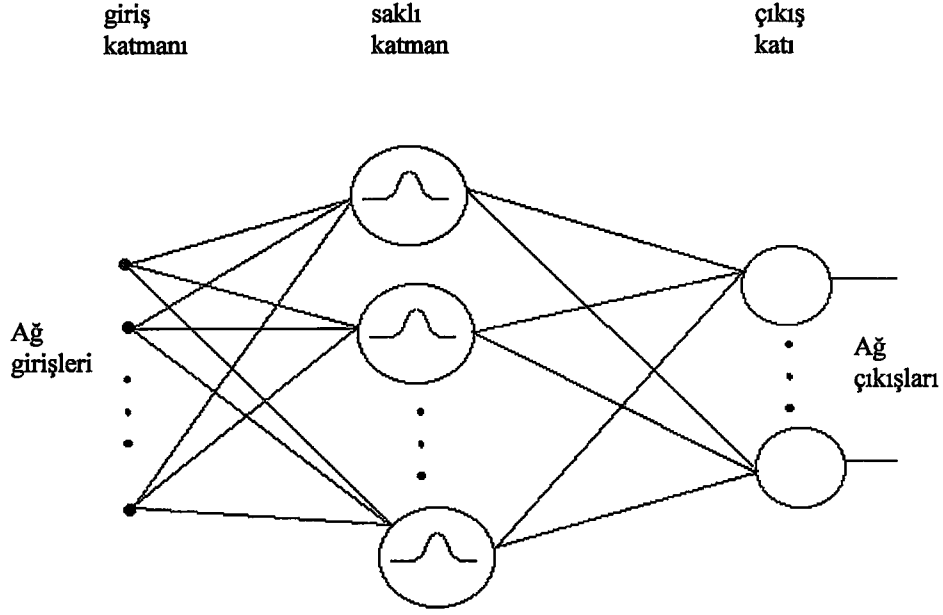
$$x^i = [x_1^i, x_2^i, x_3^i, \dots, x_n^i]^T \quad (3.1)$$

x^i vektörünün bütün elemanları reel olup, τ simgesi matrisel işlemlerde kullanılan devrik operatörünü gösterir. x^i vektörü N -boyutlu Öklid uzayında bir noktayı gösterir. x^i ve x^j vektör çifti arasındaki mesafe şöyledir;

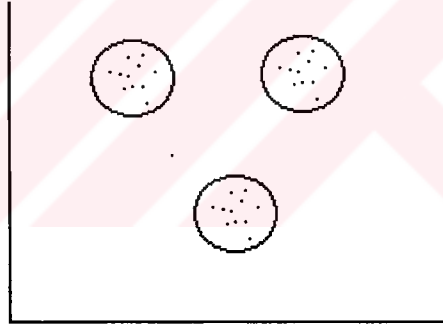
$$d_{ij} = \left[\|x^i - x^j\| \right] = \left[\sum_{n=1}^N (x_n^i - x_n^j)^2 \right]^{1/2} \quad (3.2)$$

x^i ve x^j vektörleri ile gösterilen girişler arasındaki benzerlik Öklid mesafesi ile belirlenir. x^i ve x^j vektörleri ile gösterilen noktalar birbirlerine ne kadar yakınsa Öklid mesafesi d_{ij} o kadar küçük olacaktır. Bu ise, bu iki nokta birbirlerine o kadar benzer demektir.

Yapay sinir ağlarında Öklid mesafesinin en yaygın kullanıldığı ağ yapısı, RBF ağıdır. RBF ağı [20], çok boyutlu fonksiyonların enterpolasyonunda ve patern sınıflandırmada sıkça kullanılan bir yapıdır. Şekil 3.1'de gösterildiği gibi bir RBF ağı iki katmandan oluşmaktadır. Şekil 3.2'de ise RBF ağı kullanılarak elde edilebilecek kapalı karar bölgeleri gösterilmektedir. Bu ağda yer alan çıkış düğümleri (hesaplama birimleri), gizli katmanda yer alan düğümlerin çıkışlarının lineer bir kombinasyonunu oluşturur (Şekil 3.1). Gizli katmanda yer alan temel fonksiyonlar ise, giriş için yerel bir cevap oluşturur. Başka bir ifadeyle, eğer giriş belli ve dar bir yerel bölge içine düşerse, temel fonksiyonların oluşturacağı cevap bu bölge dışına düşecek olan girişlere ait olan cevaba nazaran çok yüksek olacaktır. Bundan dolayı, bu ağlar yerel alıcı alan ağları (localized receptive field network) olarak da adlandırılır [21,22].



ŞEKİL 3.1. RBF ağı yapısı



Şekil 3.2. Kapalı karar bölgeleri

RBF ağlarının yaygın kullanılmasını engelleyen temel sınırlama ise RBF 'in yapmak zorunda olduğu karmaşık hesaplamalardır. Bu hesaplamaların başında ise Öklid mesafesinin hesaplanması gelmektedir. RBF ağı yapısında yer alan her bir temel hücre; mevcut giriş, alıcı alanın (receptive field) merkezinde ise maksimum değeri alırken, giriş ile merkez arasındaki Öklid mesafesinin artmasıyla da monoton olarak azalır. RBF ağı iki katmanlı veri işleme yapısıyla da giriş uzayından çıkış uzayına lineer olmayan bir dönüşüm sağlar. İlk olarak giriş verisi, gizli katmanda yer alan temel fonksiyon aracılığıyla lineer

olmayan bir dönüşümden geçer. Ağın çıkışını elde etmek için temel fonksiyonların cevapları lineer bir şekilde toplanır. Sonuç olarak bir RBF ağının matematiksel ifadesi aşağıda verildiği gibidir.

$$y_j = \sum_{k=1}^{N_1} \omega_{jk} \Phi(\|x - c_k\|) \quad (3.3)$$

(3.3) eşitliğinde bulunan x N-boyutlu giriş vektörünü, ω_{jk} ağda yer alan gizli düğümleri çıkışlara bağlayan ayarlanabilir ağırlıkları, $\Phi(\|x-c_k\|)$ merkezleri c_k olan lineer olmayan transfer fonksiyonunu, $\|\dots\|$ ise Öklid normunu göstermektedir.

$$k = 1, \dots, N_1$$

$$x \in \mathbb{R}^N$$

$$c_k \in \mathbb{R}^N, \quad 1 \leq k \leq N_1$$

$$j = 1, 2, \dots, N_2$$

N_1 gizli katmanda yer alan düğüm sayısını, N_2 ise çıkış katmanındaki düğüm sayısını göstermektedir. Sonuç olarak, tüm ağ lineer olmayan temel fonksiyonların lineer kombinasyonunu oluşturarak, N boyutlu giriş uzayından N_2 boyutlu çıkış uzayına lineer olmayan bir dönüşüm sağlar.

RBF ağında yer alan gizli düğümleri oluşturmak için en yaygın kullanılan fonksiyon Gauss fonksiyonudur ve (3.4) eşitliğinde verildiği gibi ifade edilir [7,8,16,26].

$$\Phi(x) = \exp\left[-\left(\frac{x}{\sigma}\right)^2\right] \quad (3.4)$$

Bir RBF ağı tasarlanırken, ağ için alıcı alan rolü oynayan temel fonksiyonların uygun sayıda seçilmesi gerekir. Bu fonksiyonların çok az sayıda seçilmesi ağın kötü bir

yaklaşıklik yapmasına sebep olurken, çok fazla sayıda seçilmesinde ağırlık genelleştirme yapma özelliğini azaltmaktadır [24].

Eşitlik (3.3) için Öklid mesafesi, eşitlik (3.5)'de verildiği gibi hesaplanır.

$$d_k = \|x - c_k\| ,$$

$$d_k = \left(\sum_{i=1}^N (x_i - c_k)^2 \right)^{1/2} \quad (3.5)$$

Bu tezde (3.5) eşitliğini gerçekleyen hücrenin analog olarak tasarımı ve serimi yapılacaktır.

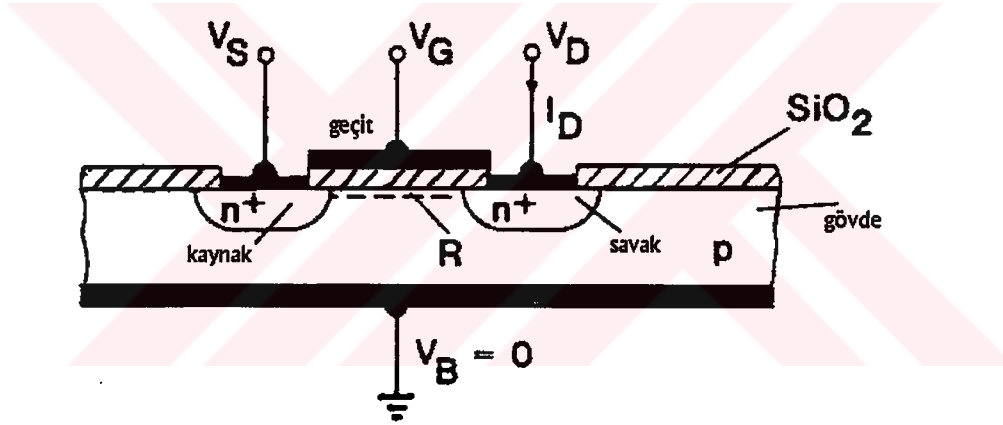


4. MOS TRANSİSTOR

MOS transistorun nasıl kutuplanması gerektiğini ve bir elektronik eleman olarak avantaj ve dezavantajlarını anlamak, analog tümdevrenin optimum olarak tasarlanabilmesi için önemlidir.

4.1. MOS Transistorun Temel Bağlantıları

Bir MOS (Metal-Oxide-Semiconductor) yapısı şekil 4.1’de verildiği gibidir.



Şekil 4.1 MOS Transistor

Şekil 4.1’de p tipi taban üzerinde yüksek katkılı n+ bölgesi oluşturulmaktadır. Sol tarafta bulunan yüksek katkılı bölge kaynak (source) olarak adlandırılır ve V_S geriliminde tutulmuştur. Sağ tarafta bulunan n+ yüksek katkılı bölge ise savak (drain) olarak adlandırılır ve V_D geriliminde tutulmuştur. Üst elektrot tabakası geçit (gate) olarak adlandırılır ve V_G gerilimine bağlanmıştır. p tipi malzeme ise gövde yada taban (substrate,bulk) olarak adlandırılır. Gövde ile geçit arasında ise SiO_2 ’den oluşan yalıtkan bir tabaka yer almaktadır. Dolayısıyla MOS transistorun giriş direnci çok yüksektir. Toplam yapı MOS transistor olarak isimlendirilir ve çalışma prensibi ise basit bir anlatımla aşağıdaki gibidir.

Kaynak ucunu toprak potansiyelinde tutup $V_s=0V$, savak ucuna 0.5V gibi düşük pozitif bir gerilim uygulayalım. Savak akımı I_D 'nin değişimini, geçit gerilimini 0V'dan daha yüksek pozitif gerilim değerlerine doğru arttırarak inceleyelim. Geçit diğer tüm bölgelerden oksit tabaka aracılığıyla yalıtıldığından bu uçtan herhangi bir akım akmaz. n^+ savak bölgesi ile her tarafı çevreleyen p-tipi gövde bir p-n jonksiyonu oluşturmaktadır. Gövde en düşük potansiyelde (burada toprakta) tutulduğundan ve $V_D>0$ olduğundan bu jonksiyon ters kutuplanır. Dolayısıyla $V_G=0$ için $I_D\approx 0$ olur.

V_G gerilimi arttırılmaya başlandığında, ortaya çıkan ilk olay geçidin altında bulunan R bölgesinin fakirleşmesidir. İkinci olay ise R bölgesinin evirtilmesidir. R bölgesi fakirleştiğinde, savak bölgesi ters kutuplandığından kanaldan akan akım yine sıfır olarak kalır. Fakat V_G gerilimi evirtim kanalını oluşturacak biçimde yüksek tutulursa, R bölgesi elektronlarla dolar (ikinci olay). Hareketli elektronları içeren kanal, savak ve kaynak uçlarını birleştirir . Savak ucu, kaynak ucuna göre pozitif olduğundan elektronlar kaynak tarafından savak tarafına doğru akacaktır ve pozitif akım $I_D>0$ gözlenir. Evirtim kanalını oluşturmak için gerekli olan minimum geçit gerilimine eşik gerilimi denir ve V_T ile gösterilir.

Evirtim kanalındaki elektronların büyük bir kısmı V_G geriliminden kaynaklanan elektrik alanından dolayı kaynak ucundan çekilir. $V_D>0$ olduğu için (savak-gövde jonksiyonu daha fazla ters kutuplanır) savak kısmından elektronların çekilmesi zordur.

Kanalın iki ucu arasında V_D gerilim farkı vardır. Böylece, kanaldaki elektronlar savak ucuna doğru çekilirler. Dolayısıyla elektronların rasgele ısı hareketlerine bir sürüklenme hareketi de eklenir ve bir sürüklenme akımı akar. V_D 'nin düşük değerleri için kanal bir direnç elemanı gibi davranır. Dolayısıyla $I_D\approx V_D/R$ ifadesi yazılabilir. R ise aşağıdaki gibi verilir.

$$R = \frac{L}{W \cdot \mu_n \cdot |Q_n|} \quad (4.1)$$

(4.1) eşitliğinde L kanalın uzunluğunu, W kanalın genişliğini, μ_n kanaldaki elektronların hareket yeteneklerini, Q_n ise kanaldaki elektronların yük yoğunluğunu ifade etmektedir. Geçide uygulanan V_G gerilimini iki bileşene ayırabiliriz. Geçit geriliminin V_T 'lik kısmı kanalın altındaki fakirleşmiş bölgenin oluşmasında rol oynarken, $V_G - V_T$ 'lik kısmı da kanalın oluşmasında rol oynamaktadır. Dolayısıyla,

$$Q_n = -C_{ox} \cdot (V_G - V_T) \quad (4.2)$$

(4.2) elde edilir. (4.2) eşitliğinde yer alan C_{ox} , geçitle kanalı birbirinden ayıran oksit tabakanın birim alan başına düşen kapasitesidir.

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (4.3)$$

ϵ_{ox} SiO_2 'in dielektrik geçirgenliğini, t_{ox} ise SiO_2 tabakasının kalınlığını göstermektedir. Sonuç olarak düşük değerli V_D (örneğin $V_D \ll (V_G - V_T)$) için (4.4) eşitliği geçerli olur.

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_G - V_T) V_D \quad (4.4)$$

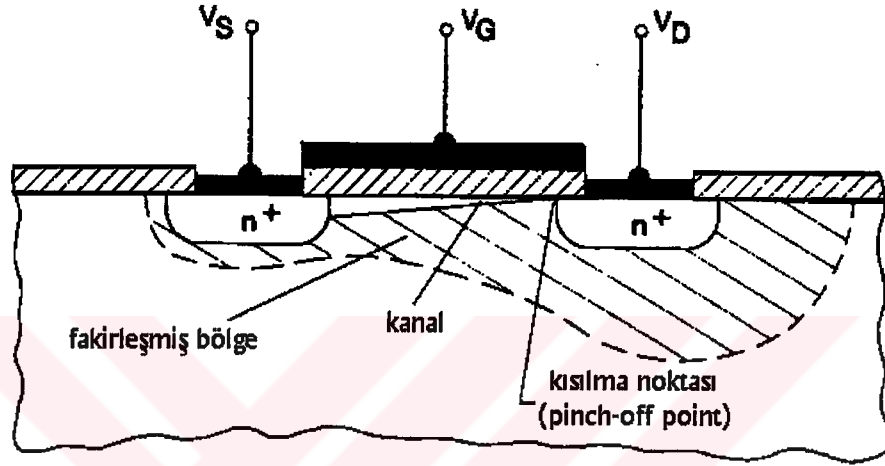
$$R = \left[\mu_n \cdot C_{ox} \cdot \left(\frac{W}{L} \right) \cdot (V_G - V_T) \right]^{-1} \quad (4.5)$$

Dolayısıyla transistor değeri (4.5) eşitliği ile verilen ve V_G gerilimi ile kontrol edilebilen bir direnç elemanı gibi davranır. Bu bölge direnç bölgesi (linear or triod region) olarak adlandırılır.

Savak gerilimi arttırılırsa, onu V_G gerilimi karşısında ihmal edemeyiz. Dolayısıyla (4.4) eşitliği geçerliliğini kaybeder. Kanalın kaynak ucundaki potansiyel sıfır, savak ucundaki potansiyel ise V_D olduğundan kanal için ortalama bir potansiyel $V_D/2$ verilebilir. Sonuç olarak geçitle kanal arasındaki gerilim değeri $(V_G - V_D/2)$ alınabilir. Eşitlik (4.4)'de yer alan V_G yerine $(V_G - V_D/2)$ koyulacak olunursa (4.6) eşitliği elde edilir.

$$I_D = \mu_n C_{ox} \frac{W}{L} (V_G - V_T - V_D/2) V_D \quad (4.6)$$

(4.6) eşitliği, $V_D < V_G - V_T$ için iyi bir yaklaşıklık olarak kabul edilir ve bu bölge MOS transistor için lineer bölge olarak adlandırılır.



Şekil 4.2. MOS Transistorunda kısılma (Pinch-off).

$V_D \geq V_G - V_T$ durumunu inceleyebilmek için şekil 4.2 verilmiştir. Oluşacak yeni durumu iyi gözleyebilmek için şekil 4.2'de yüzeye yakın kısım büyütülerek verilmiştir. Şekilden görüldüğü gibi kanal boyunca oluşacak olan potansiyel değişiminden dolayı yük yoğunluğu Q_n savak tarafına doğru azalır. $V_D = V_G - V_T$ durumunda, savak tarafında oluşacak olan geçit-kanal gerilimi kanalı oluşturacak kadar yeterli olmayacaktır. Dolayısıyla kaynak, kanal ve savak 'ı çevreleyen fakirleşmiş bölge yüzeye kadar ulaşmış olur. Bu olay kısılma olarak bilinir ve olayın olduğu nokta da kısılma noktasıdır (pinch-off point). Eğer V_D gerilimi daha da arttırılırsa kısılma noktası kaynak tarafına ilerler. Dolayısıyla kanal, sadece kaynak tarafından başlayarak kanalda herhangi bir yerde bulunan kısılma noktasına doğru olan kısımla sınırlanır. Kısılma noktası ile savak arasındaki bölge ise fakirleşmiştir (dolayısıyla doyma bölgesindeki gövde direnci çok yüksektir). Elektronlar kanaldan bu fakirleşmiş bölgeye kısılma noktasından enjekte edildikten sonra, savak ve kısılma noktası arasındaki potansiyel farkından dolayı oluşan yüksek elektrik alanının etkisi altında savak ucuna doğru sürüklenirler. Dolayısıyla savak-kaynak bölgeleri arasındaki gerilim $V_{DS} = V_D - V_S$,

birbirine seri bağılı iki bölge arasında bölünmüş olur. Bu bölgeler ise, kaynak ile kısılma noktası arasındaki kanal ve kısılma noktası ile savak arasında yer alan fakirleşmiş bölgedir. Kısılma noktası ile savak arasındaki direnç kanala göre çok fazla olacağından, V_{DS} geriliminin büyük bir kısmı bu bölgeye düşer. V_D gerilimindeki herhangi bir artış iyi bir yaklaşıklıkla fakirleşmiş bölgenin uçları arasında eşit miktarda gerilim artışına sebep olmakla beraber I_D akımında herhangi bir artışa sebep olmaz. Kısılma olayının olduğu durumda, savak gerilimi $V_D=V_G-V_T$ ile verilir ve bu durumdaki savak gerilimi V_{DSAT} ile gösterilir. Savak akımı ise (4.6) eşitliğinde V_D yerine $V_D=V_{DSAT}=V_G-V_T$ yazılarak (4.7) eşitliğinde verildiği gibi elde edilir.

$$\begin{aligned}
 I_D &= \mu_n C_{ox} \frac{W}{L} (V_G - V_T - V_D/2) V_D \\
 &= \mu_n C_{ox} \frac{W}{L} (V_G - V_T - (V_G - V_T)/2) (V_G - V_T) \\
 I_D(V_D) &\cong I_{DSAT} = I_D(V_{DSAT}) = \frac{\mu_n \cdot C_{ox}}{2} \cdot \frac{W}{L} \cdot (V_G - V_T)^2 \quad (4.7)
 \end{aligned}$$

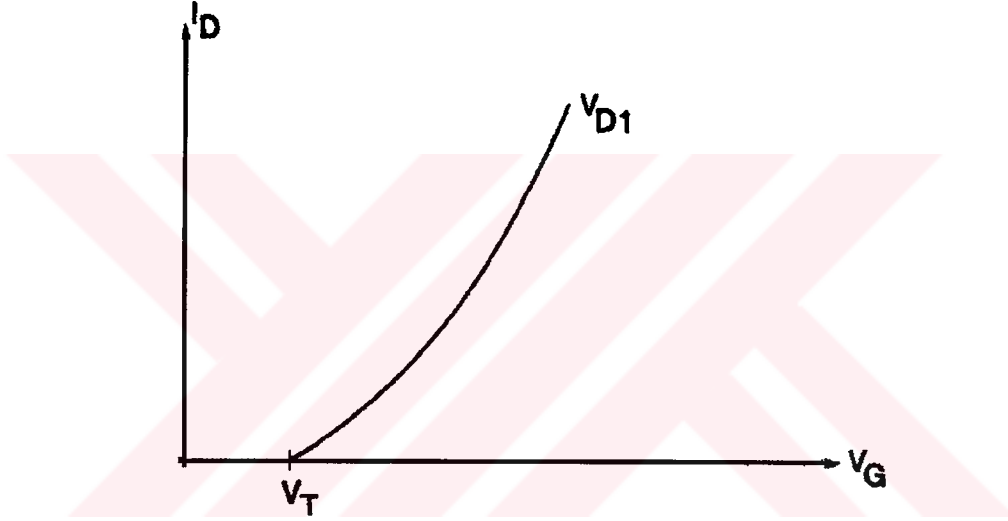
Savak geriliminin, V_{DSAT} geriliminden daha fazla arttırılması durumunda savak akımında değişiklik olmayacağından, $V_D > V_G - V_T$ durumunda da (4.7) eşitliği geçerliliğini korur. Eşitlik (4.7) $V_D > V_G - V_T$ için verilir ve bu bölge MOS transistor için doyma bölgesi olarak adlandırılır. $V_{DSAT}=V_G-V_T$ savak doyma gerilimi ve I_{DSAT} ise savak doyma akımıdır. Doyma bölgesinde savak akımı, sadece giriş geriliminin (geçit gerilimi) fonksiyonu olduğundan transistor bu bölgede kuvvetlendirici olarak kullanılır.

4.2 MOS Transistorunda Lineersizlik

Eşitlik (4.7)'de MOS transistorunun savak akımının sadece V_G geriliminin fonksiyonu olduğu görülmektedir. Lineersizliklerden dolayı bu ideal eşitlikten bir miktar sapma olacaktır. MOS transistorunda lineersizliğe sebep olan üç etki aşağıda verilmiştir.

4.2.1 Kanal boyu modülasyonu

Gerçekte, doyma bölgesinde V_D geriliminin artmasıyla savak akımında bir miktar artış olur. Bu artışın sebebi ise V_D geriliminin artmasıyla kısılma noktasının kaynak tarafına doğru hareket etmesi ve kanal boyunun kısılmasıdır. Eşitlik (4.7)'de görüldüğü gibi kanal boyu L azaldıkça, I_D akımı artmaktadır. Bu olay kanal boyu modülasyonu olarak bilinir ve (4.7) eşitliğine eklenmesi gerekir. Kanal boyu modülasyonundan dolayı eşitlik (4.7)'de $I_D(V_D)$ ilişkisini gösterebilmek için $(1 + \lambda \cdot V_D)$ çarpanı eklenir. Burada λ bir sabittir ve kanalın boyuna, tabanın katkı yoğunluğuna ve gövde kutuplanmasına bağlıdır. Genel olarak $\lambda \propto 1/L$ ilişkisi bilinir.



Şekil 4.3 Transfer karakteristiği

$$K' = \frac{\mu_n \cdot C_{ox}}{2} \quad (4.8)$$

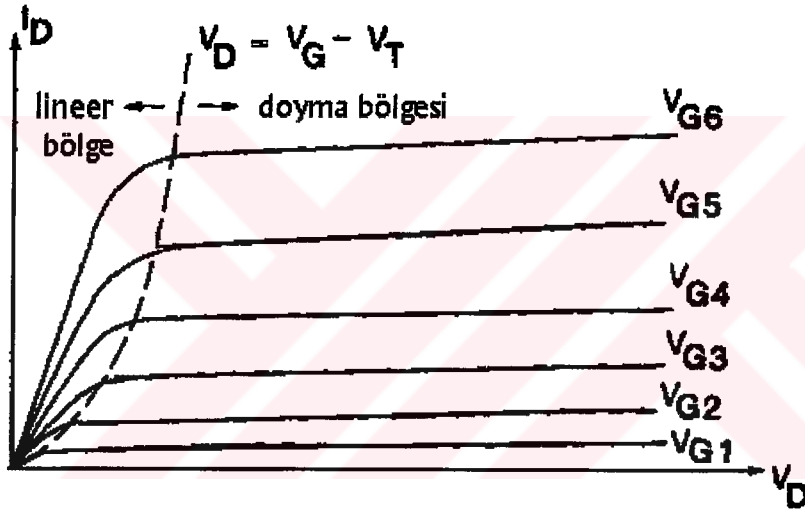
$$K = \frac{\mu_n \cdot C_{ox}}{2} \cdot \frac{W}{L} = K' \cdot \frac{W}{L} \quad (4.9)$$

Eşitlik (4.8) ile (4.9) ifadeleri kullanılırsa ve kanal boyu modülasyonunun etkisi de ele alınırsa, eşitlik (4.7) ile verilen doyma akımı ifadesi basit bir biçimde eşitlik (4.10)'da verildiği gibi modellenir [1].

$$I_D = K \cdot (V_G - V_T)^2 \cdot (1 + \lambda \cdot V_D), \quad V_G \geq V_T \quad (4.10)$$

Böylece kanal boyu modülasyonunun etkisi (4.10) eşitliğinde içerilmiştir.

Şekil 4.3, sabit V_D gerilimi altında, I_D akımının V_G gerilimi ile değişimini (geçiş özeğrisini) göstermektedir. Şekil 4.4 ise, çeşitli sabit V_G değerleri için I_D akımının V_D gerilimi ile olan değişimini (çıkış özeğrilerini) göstermektedir. Şekil 4.4 için $V_{G1} < V_{G2} < V_{G3} \dots$



Şekil 4.4 MOS transistörünün çıkış karakteristikleri

Şu ana kadar türetilen eşitliklerin hepsi, şekil 4.1'deki yapı göz önüne alınarak çıkarılmıştır. Şekil 4.1'de kaynak, savak ve kanal n tipi malzemedir. Bu şekildeki yapı ise n kanallı MOS veya NMOS olarak adlandırılır. Benzer yapı, n tipi gövde içinde p+ katkı savak ve kaynak difüzyonu yapılarak da elde edilebilir. Bu yeni yapıda ise geçit altında p tipi kanal oluşturmak için negatif V_G gerilimi ve oluşacak kanaldaki delikleri savak tarafına doğru çekmek için negatif V_D gerilimi gerekir. Şekil 4.1'deki referans yönü kullanılırsa I_D akımı negatif olur. Bu yeni yapı ise p kanallı MOS veya PMOS olarak adlandırılır. (4.1)-(4.10) eşitliklerinin PMOS içinde geçerli olabilmesi birtakım ufak değişikliklerin yapılması gerekir. Elektronların hareket yeteneği μ_n kanalda bulunan deliklerin hareket yeteneğiyle, kanaldaki elektronların yük yoğunluğu Q_n ise delik yük yoğunluğu ile değiştirilmelidir. Ayrıca taşıyıcıların yükündeki değişikliği belirtmek için

eşitlik (4.1)-(4.10) 'a negatif işareti eklenmelidir. Son olarak da $V_D < 0$ olduğu için eşitlik (4.1)-(4.10) 'da $|V_D|$ olarak yer almalıdır. Sonuç olarak (4.6) eşitliği, (4.11) ile ifade edilir.

$$I_D = -2K(V_G - V_T - V_D/2)V_D \quad (4.11)$$

$$K = \frac{\mu_p C_{ox} W}{2L} \quad \text{ve} \quad V_T < 0$$

Eşitlik (4.11), savak akımının lineer bölgedeki özelliğini gösterir. I_D 'nin doyma bölgesindeki davranışı ise (4.10) eşitliğinde değişiklik yapılarak, eşitlik (4.12)'de verildiği gibi elde edilir.

$$I_D = -K.(V_G - V_T)^2 (1 + \lambda|V_D|) \quad (4.12)$$

4.2.2. Gövde etkisi

MOS transistorlarla analog devre tasarımı yaparken karşılaşılan sorunların başında kanal boyu modülasyonu ve gövde etkisi gelir. Şu ana kadar türetilen bütün eşitliklerde hem gövdenin hem de kaynağın toprak potansiyelinde olduğu kabulü yapıldı. Dolayısıyla $V_B = V_S = 0$ eşitliği sürekli sağlanıyordu. Genellikle yapılan tasarımlarda transistorlar için $V_S \neq V_B$ durumunun olması kaçınılmaz denilebilir. Dolayısıyla $V_S - V_B$ gerilimi kaynak-gövde jonksiyonunu ters yönde kutuplayabilmelidir. Aksi durumda, jonksiyondan gövdeye doğru akım akar ve bu da transistorun normal çalışmasını engeller. Sonuç olarak bir NMOS transistorda gövde gerilimi, hem kaynak hem de savak gerilimine göre daha negatif potansiyelde olmalıdır.

Eğer kaynak gerilimi sıfır değilse, şu ana kadar türetilen eşitliklerde V_G yerine $V_{GS} = V_G - V_S$ ve V_D yerine ise $V_{DS} = V_D - V_S$ ifadeleri yerleştirilmelidir. Ek olarak, eğer gövde ile kaynak (dolayısıyla kanal) arasındaki ters gerilim arttırılırsa kanaldan akacak olan akımda azalma gözlenir. V_{GS} gerilimi sabit tutulduğu halde, V_{SB} geriliminin arttırılmasıyla akımda

oluşacak olan azalma ise (4.10) eşitliğine bakılacak olunursa eşik geriliminde artış olarak yorumlanabilir. Eşik gerilimindeki bu artış ise gövde etkisi olarak adlandırılır. Eşik gerilimi V_T 'nin $V_{SB}=V_S-V_B$ gerilimine bağımlılığı, eşitlik (4.13)'de verildiği gibi modellenir [28].

$$|V_T| = |V_{TO}| + \gamma \cdot \left(\sqrt{2 \cdot |\phi_p| + |V_{SB}|} - \sqrt{2 \cdot |\phi_p|} \right) \quad (4.13)$$

Burada V_{TO} , $V_{SB}=0$ iken ölçülen eşik gerilimini, ϕ_p kuvvetli evirtim yüzey potansiyelini göstermektedir. γ eleman sabiti ise eşitlik (4.14)'de verildiği gibidir.

$$\gamma = \frac{\sqrt{2 \cdot \epsilon_s \cdot q \cdot N_{IMP}}}{C_{OX}} \quad (4.14)$$

Eşitlik (4.14)'de ϵ_s silisyumun dielektrik geçirgenliğini, N_{imp} gövdede bulunan yabancı iyonların konsantrasyonunu göstermektedir. NMOS için $N_{imp} = N_A$, PMOS için ise $N_{imp} = N_D$ dir.

4.2.3 Mobilitenin zayıflama etkisi

MOS transistörünün ideal karesel tanım bağıntısından sapmasına sebep olan diğer bir etki de mobilitenin azalmasıdır. Geçit-kaynak geriliminin değeri çok büyük tutulduğunda, geçit oksit tabakasında oluşacak olan elektrisel alanın değeri çok yüksek olur. Yüksek elektrik alanından dolayı kanalda bulunan taşıyıcılar Si-SiO₂ arakesitine doğru hareket ederler. Sonuç olarak kanaldaki taşıyıcıların mobilitesi azalır. Mobilitenin zayıflama etkisi (4.15)'de verildiği gibi modellenir [27].

$$I_d = \frac{K}{(1 + \theta(V_{gs} - V_{th}))^2} (V_{gs} - V_t)^2 \quad (4.15)$$

$$\theta = 1/(t_{ox}E_{cr}) \quad (4.16)$$

E_{cr} kritik elektrik alanını, t_{ox} ise SiO₂ tabakasının kalınlığını göstermektedir.

5. TASARIMDA KULLANILAN YAPI BLOKLARI

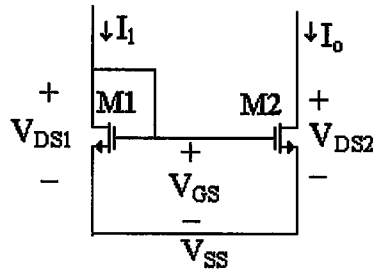
(3.5) eşitliğinde görülen Öklid normunu gerçekleştirmek için ilk bakışta kullanılması düşünülen analog yapı blokları fark alıcı, toplayıcı, kare alıcı ve karekök alıcıdır. Ama bu blokların tek tek gerçekleştirilerek bir araya getirilmesi sonucunda oluşacak olan yapının tümdevre açısından kaplayacağı alanın fazla olacağı açıktır. Aynı zamanda her bir kattan gelecek olan dengesizliklerin artmasına ve kontrolünün zor olmasına neden olur. Şu ana kadar yapılmış olan yayınlardan yola çıkarak bu devrenin gerçekleştirilmesi için iki adet analog yapı bloğunun yeterli olduğu görüşüne varıldı ve devreyi TÜBİTAK Marmara Araştırma Merkezi Yarıiletken Teknolojisi Araştırma Laboratuvarı (YİTAL) tarafından geliştirilen $3\mu\text{m}$ CMOS transistor proses parametrelerini kullanarak gerçekleştirmeye çalıştık. Bu devreye ait şekiller, SPICE dosyaları ve simülasyon sonuçları ilgili bölümlerde ve eklerde sunulmuştur. Ayrıca devredeki blokların, istenilen fonksiyonu vermesi için bir kutuplama gerilimine veya akımına ihtiyaç duymaması, devrede kutuplama devrelerine olan ihtiyacı ortadan kaldırmıştır.

5.1 Akım Aynaları

Analog CMOS devre tasarımında kullanılan fark kuvvetlendiricisi, ortak geçitli yapı, gerilim takipçisi, kompozit yapı gibi temel yapı bloklarının yanı sıra önemli bir yapı bloğu da akım aynalarıdır.

Akım aynalarının dayandığı temel ilke ise birbirinin eşi olan MOS transistorların geçit-kaynak gerilimleri aynı ise, bu transistorlardan geçen kanal akımı oranları, W/L oranlarına eşittir.

5.1.1 Basit akım aynası



Şekil 5.1. N-kanallı basit akım aynası

Şekil 5.1’de basit bir n-kanal akım aynası devresi verilmektedir. I_1 akımı, akım aynası için giriş akımını belirtirken, I_o ise yansıtılan akımı (çıkış akımını) göstermektedir. $V_{DS1}=V_{GS}$ olduğu için M1 transistörü doymada çalışmaktadır. $V_{DS2} > V_{GS} - V_T$ ifadesinin sağlandığını varsayarsak, doyma bölgesi tanım bağıntılarını kullanabiliriz. En genel durumda, akımlar arasındaki oran için eşitlik (5.1)’i kullanabiliriz.

$$\frac{I_o}{I_1} = \left(\frac{L_1 W_2}{L_2 W_1} \right) \left(\frac{V_{GS} - V_{T2}}{V_{GS} - V_{T1}} \right)^2 \left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \left(\frac{\mu_2 C_{ox2}}{\mu_1 C_{ox1}} \right) \quad (5.1)$$

Aynı tümdevrede üretilen transistörler, aynı proses adımlarından geçtiklerinden V_{to} , μ , C_{ox} fiziksel parametreleri iki transistor için aynıdır. Dolayısıyla eşitlik (5.1), eşitlik (5.2)’deki gibi basitleştirilebilir.

$$\frac{I_o}{I_1} = \left(\frac{L_1 \cdot W_2}{L_2 \cdot W_1} \right) \cdot \left(\frac{1 + \lambda \cdot V_{DS2}}{1 + \lambda \cdot V_{DS1}} \right) \quad (5.2)$$

Her zaman iyi bir yaklaşıklık olmamakla beraber $V_{DS2} = V_{DS1}$ olması durumunda ise çok daha basit bir ifade elde edilebilir.

$$\frac{I_o}{I_1} = \left(\frac{L_1 \cdot W_2}{L_2 \cdot W_1} \right) \quad (5.3)$$

Sonuç olarak giriş ve çıkış akımlarının oranları, tasarımcının kontrolü altında bulunan kanal boyu ve kanal genişliğinin fonksiyonudur.

Akım aynasının, istenen ideal sonuç olan eşitlik (5.3)’den farklı olmasına sebep olan üç etki bulunmaktadır. Bunlardan birincisi kanal boyu modülasyonu, ikincisi transistörlerin eşik gerilimlerindeki farklılık, üçüncüsü ise hatalı geometrik eşleşmelerden kaynaklanan farklılıktır. Bu etkileri minimuma indirmek için çeşitli yollar izlenebilir.

Kanal boyu modülasyonunun etkisini incelemek için, transistörün diğer tüm parametrelerinin eşdeğer olduğunu düşünmek kolaylık sağlayacaktır. Bu durumda eşitlik (5.2) aşağıdaki gibi ifade edilebilir.

$$\frac{I_o}{I_i} = \left(\frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}} \right) \quad (5.4)$$

Her iki transistör için de λ değerinin aynı olması durumunda, eşitlik (5.4), savak-kaynak gerilimleri arasındaki farklılığın ideal akım aynası özelliğinden sapma olacağını gösterir. Eşitlik (5.4)'den iki önemli sonuç çıkarılabilir: 1) İki transistör için savak-kaynak gerilimleri arasındaki farkın büyük olması durumunda oluşacak olan hata da büyük olacaktır. 2) Verilen bir savak-kaynak gerilim farkı için λ değeri düşük oldukça (çıkış direnci büyük oldukça) çıkış akımı, giriş akımını daha iyi takip eder. Dolayısıyla iyi bir akım aynası, eşit savak-kaynak gerilimine ve yüksek çıkış direncine sahip olmalıdır.

Eşitlik (5.1)'e tekrar bakıldığında iki transistörün eşik gerilimlerindeki farklılığın, diğer tüm parametrelerin aynı olması durumunda bir hataya sebep olacağı görülmektedir. Bu durumda ise eşitlik (5.5) yazılabilir.

$$\frac{I_o}{I_i} = \left(\frac{V_{GS} - V_{T2}}{V_{GS} - V_{T1}} \right)^2 \quad (5.5)$$

Eşik gerilimlerindeki farkı $\Delta V_T = V_{T1} - V_{T2}$ olarak ifade edebiliriz. Dolayısıyla ΔV_T 'den kaynaklanacak olan lineersizliği azaltmak için ise yüksek akımlarda çalışmak gerekir. Yüksek akım değerleri için V_{GS} değeri de yüksek olduğundan, ΔV_T fark gerilimi V_{GS} gerilimine göre çok küçük olur.

İdealsizliğe sebep olan üçüncü etki ise transistörlerin W ve L değerlerinin üretim esnasında belli bir hatayla oluşturulmasıdır. Üretim sürecinde yer alan maskeleme, ışın litografisi, aşındırma gibi fiziksel proses adımlarının sonucu olarak transistör boyutlarında çok azda olsa farklılık gözlenir. Transistör boyutlarından dolayı kaynaklanacak olan bu

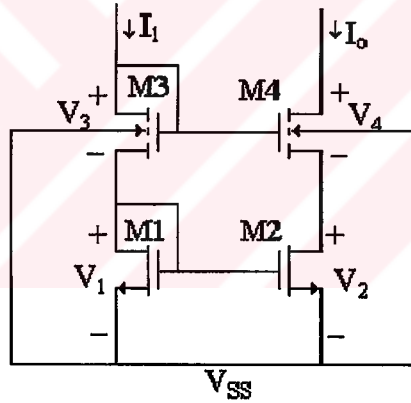
lineersizliđi azaltmak için transistor boyutları, oluşabilecek deđişikliklere oranla çok büyük seçilmelidir.

Şekil 5.1'de bulunan n-kanallı akım aynası için çıkış direnci (5.6) eşitliğinde verildiđi gibidir.

$$r_{out} = \frac{1}{g_{ds}} \cong \frac{1}{\lambda \cdot I_D} \quad (5.6)$$

5.1.2. Kaskod akım aynası

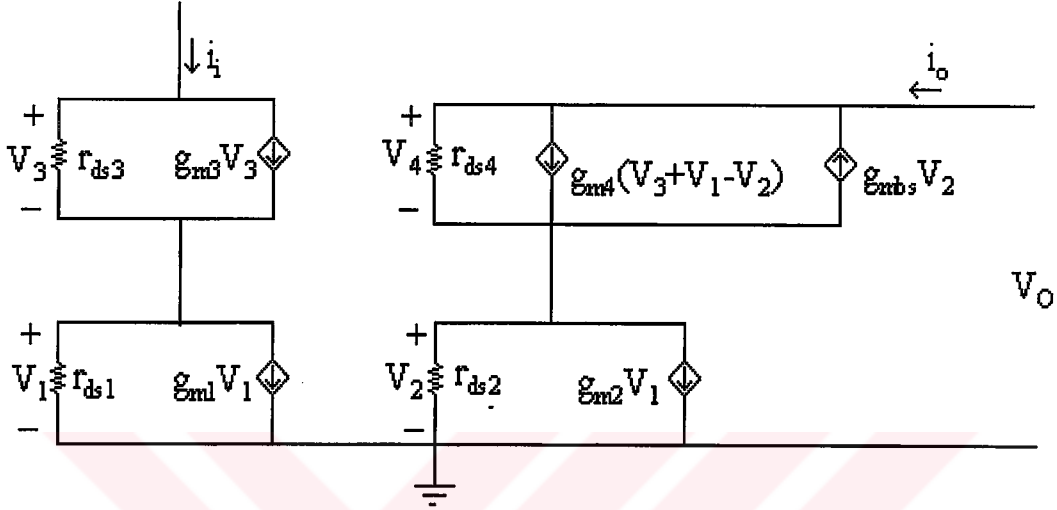
Eşitlik (5.1)'de belirtildiđi gibi, yüksek performanslı akım aynası için, çıkış direnci yüksek olmalıdır. Bu amaçla şekil 5.2'de gösterilen kaskod akım aynası kullanılır.



Şekil 5.2. Kaskod akım aynası

Bu yapıda M4 transistörü, çıkış düđümünde oluşacak olan gerilim deđişimlerinden M2 transistörünü koruma işlevini görmektedir. Çıkış geriliminde oluşacak olan artma sonucu I_{d4} ve dolayısıyla da I_{d2} akımları artarken, V_{GS1} ve V_{GS3} gerilimleri sabit deđerdedirler. Sonuç olarak V_{DS2} geriliminde artış, V_{GS4} geriliminde azalma gözlenir. V_{GS4} geriliminde meydana gelen düşüş sonucu çıkış akımındaki azalma, önceki artışı kompanze eder. M4 transistörünün savak ucunda oluşan büyük gerilim deđişimlerine rağmen çıkış akımında çok az da olsa deđişiklik olur. Çıkış akımındaki deđişikliđin sebebi ise, V_{DS2}

geriliminde azda olsa meydana gelen değişimdir. Kaskod akım aynasının çıkış direncini bulmak için şekil 5.2'de yer alan devrenin küçük işaret eşdeğer devresi çizilip analizi yapılırsa eşitlik (5.7) elde edilir.

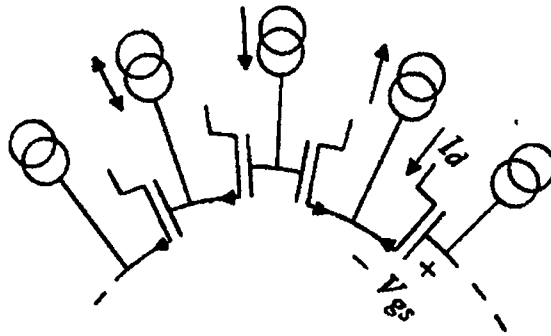


Şekil 5.3. Kaskod akım aynasının küçük işaret eşdeğer devresi

$$r_{out} = r_{ds2} + r_{ds4} + r_{ds2} r_{ds4} (g_{m4} - g_{mb4}) \quad (5.7)$$

5.2 MTL (MOS Translinear) Devre Prensipli

MTL yapısıyla, işaret işlemede kullanılan ve lineer olmayan birçok fonksiyon gerçekleştirilmiştir. Aşağıda MOS transistörlerle oluşturulan örnek bir MTL yapısı verilmektedir.



ŞEKİL 5.4

Şekilde 5.4'deki devrede görülen çevre içinde yalnız n-tipi transistörler yerine, p-tipi transistörler de kullanılabilir. Çevrede saat yönünde ve saat yönünün tersi istikametinde eşit sayıda transistör alınarak , geçit-kaynak gerilimleri seri bir şekilde birleştirilmiştir. Dolayısıyla bir MTL yapısında çift sayıda transistör bulunmalıdır. Çevre için Kirchhoff 'un gerilim yasasını kullanacak olursak (5.8) eşitliği elde edilir.

$$\sum_{SY} V_{gs} = \sum_{SYT} V_{gs} \quad (5.8)$$

(5.8) eşitliğinde SY saat yönünü, SYT ise saat yönünün tersi istikametini göstermektedir. Bütün transistörlerin doymada çalıştığını varsayıp, (5.9) eşitliğinde verilen karesel MOS tanım bağıntısını kullanacak olursak aşağıdaki eşitlikler elde edilir.

$$I_d = K (V_{gs} - V_{th})^2 \quad (5.9)$$

$$V_{gs} = V_{th} + \sqrt{\frac{I_d}{K}} \quad (5.10)$$

(5.10) eşitliğini , eşitlik (5.8)'de yerine koyacak olursak eşitlik (5.11) elde edilir.

$$\sum_{SY} \left(V_{th} + \sqrt{\frac{I_D}{K}} \right) = \sum_{SYT} \left(V_{th} + \sqrt{\frac{I_D}{K}} \right) \quad (5.11)$$

Çevrede saat yönünde ve saat yönünün tersi istikametinde eşit sayıda transistör kullanıldığından (5.11) eşitliğinin her iki tarafında bulunan eşik gerilimlerinin sayısı eşit olacaktır. Transistörlerin birbirine eş özelliklere sahip olduğunu dikkate alır ve gövde etkisinden kaynaklanacak olan eşik gerilimlerindeki farklılıkları ihmal edersek (5.12) eşitliği ile verilen basit bir cebirsel ifade elde edilir.

$$\sum_{SY} \left(\sqrt{\frac{I_D}{W/L}} \right) = \sum_{SYT} \left(\sqrt{\frac{I_D}{W/L}} \right) \quad (5.12)$$

Çevrede n ve p tipi transistörler bir arada kullanılırsa eşitlik (5.13) elde edilir.

$$\sum_{SY,n\text{-tipi}} V_{gs} + \sum_{SY,p\text{-tipi}} V_{gs} = \sum_{SYT,n\text{-tipi}} V_{gs} + \sum_{SYT,p\text{-tipi}} V_{gs} \quad (5.13)$$

(5.10) eşitliğini , eşitlik (5.13)'de yerine koyacak olursak eşitlik (5.14) elde edilir.

$$\sum_{SY,n\text{-tipi}} \left(V_{th,n} + \sqrt{\frac{I_D}{K_n}} \right) + \sum_{SY,p\text{-tipi}} \left(V_{th,p} + \sqrt{\frac{I_D}{K_p}} \right) =$$

$$\sum_{SYT,n\text{-tipi}} \left(V_{th,n} + \sqrt{\frac{I_D}{K_n}} \right) + \sum_{SYT,p\text{-tipi}} \left(V_{th,p} + \sqrt{\frac{I_D}{K_p}} \right) \quad (5.14)$$

$V_{th,n}$ ve $V_{th,p}$ değerleri birbirine eşit olmadığından, (5.14) eşitliğinin her iki tarafında yer alan bu bileşenlerin ortadan kalkması için aşağıdaki iki koşul sağlanmalıdır.

- a) Çevrede, saat yönü ve saat yönünün tersi istikametinde bulunan n-tipi transistörlerin sayısı eşit olmalıdır.
- b) Çevrede, saat yönü ve saat yönünün tersi istikametinde bulunan p-tipi transistörlerin sayısı eşit olmalıdır.

Bu durumda ise şu eşitlikler elde edilir.

$$\sum_{SY} V_{th,n} = \sum_{SYT} V_{th,n} \quad (5.15)$$

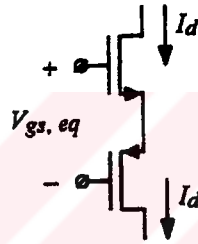
$$\sum_{SY} V_{th,p} = \sum_{SYT} V_{th,p} \quad (5.16)$$

Eşitlik (5.14) ise aşağıdaki gibi basitleştirilebilir.

$$\sum_{SY,n\text{-t\u00fcp\u00fc}} \sqrt{\frac{I_D}{K_n}} + \sum_{SY,p\text{-t\u00fcp\u00fc}} \sqrt{\frac{I_D}{K_p}} = \sum_{SYT,n\text{-t\u00fcp\u00fc}} \sqrt{\frac{I_D}{K_n}} + \sum_{SYT,p\text{-t\u00fcp\u00fc}} \sqrt{\frac{I_D}{K_p}} \quad (5.17)$$

E\u015ftlik (5.17)'de transistorlara ait K_n ve K_p de\u011ferleri birbirlerine e\u015fit olma\u011fından ortadan kald\u00fcr\u00fclamaz. Dolayısıyla e\u015ftlik (5.17) K_n/K_p oranının i\u00e7erildi\u011fi transfer fonksiyonlarını ger\u00e7eklemede kullanılır [29].

\u00c7evrede bulunan alan t\u00fcm n-tipi ve p-tipi transistorların CMOS \u00e7ifti olu\u015fturacak \u015fekilde yerle\u015ftirilmesi durumunda ise daha farklı bir durum ortaya \u00e7ıkmaktadır.



\u015ekil 5.5. CMOS \u00c7ifti

\u015ekil 5.5'de verilen CMOS \u00e7ifti i\u00e7in e\u015fde\u011fer ge\u00e7it-kaynak gerilimi e\u015ftlik (5.18)'de verildi\u011fi gibidir.

$$V_{gs,eq} = V_{gs,n} + V_{gs,p} \quad (5.18)$$

E\u015ftlik (5.10)'a benzer bir \u015ekilde, (5.18) e\u015ftli\u011fi a\u015fa\u011fıdaki gibi elde edilir.

$$V_{gs,eq} = V_{th,n} + V_{th,p} + \left(\frac{1}{\sqrt{K_n}} + \frac{1}{\sqrt{K_p}} \right) \sqrt{I_D} \quad (5.19)$$

$V_{th,eq}$ ve K_{eq} ifadelerini tanımlarsak e\u015ftlik (5.22) elde edilir.

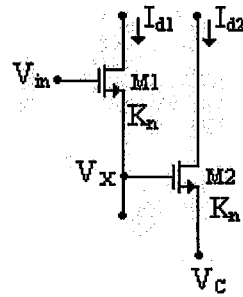
$$V_{th,eq} = V_{th,n} + V_{th,p} \quad (5.20)$$

$$K_{eq} = \frac{K_n K_p}{(\sqrt{K_n} + \sqrt{K_p})^2} \quad (5.21)$$

$$V_{gs,eq} = V_{th,eq} + \sqrt{\frac{I_D}{K_{eq}}} \quad (5.22)$$

Eşitlik (5.22) ve eşitlik (5.10) aynı biçime sahip olduklarından, CMOS çifti V_{th} ve K 'sı farklı olan ve kontrol girişlerinden akım akmayan tek bir transistormuş gibi davranır. CMOS çiftine ait savak akımı n-tipi ve p-tipi transistorların savak ucundan akar. Dolayısıyla sadece CMOS çiftlerinden oluşan bit MTL döngüsünde elde edilecek olan eşitlikle, sadece tek tip transistor kullanılarak gerçekleştirilen MTL döngüsü için elde edilen eşitlik (5.12) benzer olacaktır. Tek transistor yerine CMOS çifti kullanmanın avantajı kontrol düğümlerinden akım çekilmemesidir. Dezavantajı ise toplam eşik geriliminin artması, buda düşük besleme gerilimli uygulamalar için istenmeyen bir durumdur.

5.3 Geçişiletkenliği Elemanı



Şekil 5.6.

Şekil 5.6'da görülen yapı için fark akımı ifadesini çıkaracak olursak,

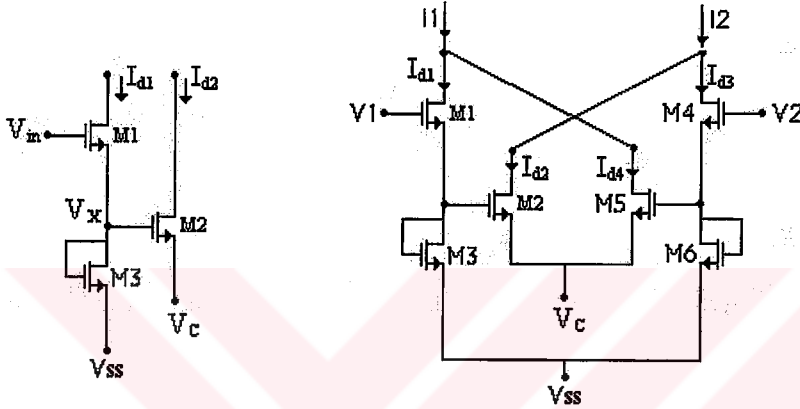
$$I_{d1} - I_{d2} = K_n (V_{in} - 2V_x + V_c) (V_{in} - V_c - 2V_{Tn}) \quad (5.23)$$

elde edilir.

V_B sabit bir gerilim olmak koşulu ile

$$2V_X = V_{in} + V_B \quad (5.24)$$

ifadesi oluşturulursa lineer V-I karakteristiği elde edilir.



Şekil 5.7(a)

şekil 5.7(b)

Eşitlik (5.24)'ün geçerli olabilmesi için Şekil 5.7(a)'ya ilişkin devrede M1, M2 ve M3 transistörlerinin özellikleri eş olmalıdır [10]. $V_B = V_{SS}$ olarak alınmıştır. Şekil 5.7(a)'dan ayrıca fark edilebileceği gibi M1 ve M3 transistörleri bir gerilim izleyiciyi andırmaktadır. M1 ve M2 transistörlerine ait savak akımlarının farkı alınırsa

$$I_{d1} - I_{d2} = K_n (V_C - V_{SS}) (V_{in} - V_C - 2V_{Tn}) \quad (5.25)$$

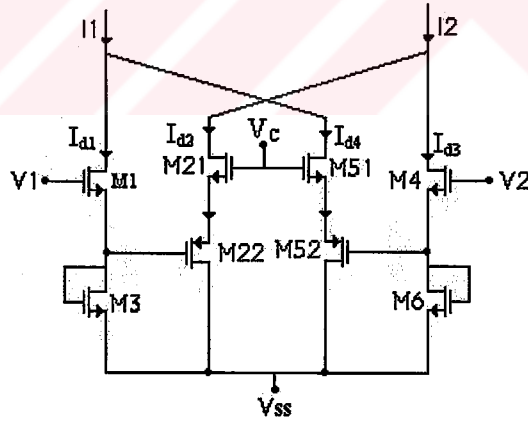
ifadesi elde edilir. (5.25) eşitliğinden fark edileceği gibi fark akımı ile giriş gerilimi arasında dc bir dengesizlik gerilimiyle birlikte lineer bir ilişki vardır. Bir sonraki adım ise bu istenmeyen dc bileşeni ortadan kaldırmak olacaktır. Bunu gerçeklemek için şekil 5.7.(b)'deki devre, şekil 5.7.(a)'dan iki adet kullanılarak elde edilmiştir. Yeni yapıya ait fark akımı ifadesi ise şu şekilde verilmektedir.

$$I_1 - I_2 = (I_{d1} - I_{d2}) - (I_{d3} - I_{d4})$$

$$\begin{aligned}
&= K_n (V_C - V_{SS}) (V_1 - V_C - 2V_{Tn}) - K_n (V_C - V_{SS}) (V_2 - V_C - 2V_{Tn}) \\
&= K_n (V_C - V_{SS}) (V_1 - V_2)
\end{aligned} \tag{5.26}$$

Görüldüğü gibi (5.26) eşitliği, V_C kontrol gerilimiyle elektronik olarak kontrol edilebilen ve değeri $g_m = K_n (V_C - V_{SS})$ olan bir lineer V-I dönüştürücüyü göstermektedir. Devredeki M1, M3, M4 ve M6 transistorlarının iletimde olabilmeleri için $V_{12} \geq V_{SS} + 2V_{Tn}$ olmalıdır. Dolayısıyla devrenin lineer çalışma aralığı bu koşulun sağlanması için azalır. Devrenin daha geniş bir aralıkta lineer olarak çalışabilmesi için bu devreye ilişkin CMOS versiyonu Şekil 5.8'de verilmiştir. Bu yeni devrede, şekil 5.7(b)'de yer alan M2 ve M5 transistorları kompozit yapılarla yer değiştirmiştir. Bir kompozit yapı için eşdeğer geçişiletkenliği ve eşik gerilimi (5.20) ve (5.21)'de verildiği gibidir.

Şekil 5.8'de bulunan kompozit yapıya ilişkin K_{eq} ifadesini K_n 'e eşit kılmak gerekiyor. PMOS ve NMOS transistorlara ait mobiliteler bilinirse, PMOS'a ait geçişiletkenliği, NMOS'un geçişiletkenliğine göre çok daha büyük seçilerek $K_{eq} \approx K_n$ olarak elde edilebilir.



Şekil 5.8. Geçişiletkenliği devresi [11].

Bu yeni durumda elde edilen fark akımı ise

$$I_1 - I_2 = K_n (V_C - V_{SS} - V_{Tn} - V_{Teq}) (V_1 - V_2) \tag{5.27}$$

şeklinde elde edilir. Bu durumda geçişiletkenliği ise

$$g_m = K_n (V_C - V_{SS} - V_{Tn} - V_{Teq}) \quad (5.28)$$

olarak bulunur.

(5.27) ve (5.28) eşitlikleri çıkartılırken $K_{eq} = K_n$ olarak alınmıştır. Bu eşitliğin geçerli olabilmesi için K_p değerinin K_n 'e nazaran çok büyük olması gerekiyor. Yonga üzerinde gerçekleştirilecek transistörlerin ölçülerinin çok fazla olmaması tümdevre açısından istenen bir özelliktir. Dolayısıyla K_p değerinin büyüklüğü eleman boyutlarına da bağlı olduğundan, düşük de olsa bir distorsiyonun oluşması söz konusudur. Bu distorsiyonun yanısıra, M1 ve M3 (M4 ve M6) transistörleri kuvvetli evirtim bölgesini terk edip, zayıf evirtim bölgesine girmesi durumunda da bir lineersizlik söz konusudur.

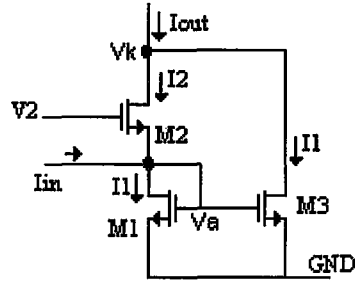
5.4 Akımın Karesini Alma Devresi

Doyma bölgesinde çalışan MOS transistörün karesel tanım bağıntısı kullanılarak akımın karesini alma devresi basit bir şekilde gerçekleştirilebilir. Akımın karesini almak için kullanılacak olan devrede yer alan hücreye ilişkin yapı şekil 5.9'da verilmiştir.

Doyma bölgesinde çalışan MOS transistörün karesel özelliğini ifade eden akım-gerilim ilişkisi basit bir şekilde eşitlik (5.9)'da verildiği gibidir.

$$I_d = K (V_{gs} - V_t)^2 \quad (5.29)$$

Şekil 5.9'daki devrenin birbirinin eşleniği olan iki MOS transistöründen oluştuğunu düşünelim. M1 transistörün geçit-kaynak gerilimi V_a ' ya, M2 transistörün geçit-kaynak gerilimi ise V_b ' ye eşittir. Geçit-kaynak gerilimlerinin toplamı V_2 gerilim kaynağı ile sabit tutulmuştur. (5.29) eşitliğini kullanarak aşağıdaki devre için akım-gerilim eşitliklerini yazabiliriz.

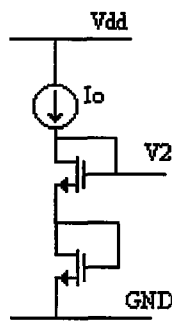


Şekil 5.10 Akımın karesini alma devresi

Şekil 5.10'dan görüldüğü gibi, $I_{out} = I_1 + I_2$ ifadesini elde etmek için M1 transistöründen akan akım M3 transistörü aracılığıyla kopyalanıp I_2 akımıyla toplanmıştır. Ayrıca $I_{in} = I_1 - I_2$ ifadesini elde etmek için de M1 transistörünün savak-geçit uçları kısa devre edilmiştir. Bu yeni durumda (5.34) eşitliği aşağıdaki gibi düzenlenebilir.

$$I_{out} = \frac{1}{2} K (V_2 - 2V_t)^2 + \frac{I_{in}^2}{2K(V_2 - 2V_t)^2} \quad (5.36)$$

Şekil 5.10'daki devrenin, birbirine eş özelliklere sahip MOS transistörlerden oluşan şekil 5.11'deki devre ile kutuplanması durumunda elde edilen devre, şekil 5.12'de gösterildiği gibidir.



Şekil 5.11 Kutuplama devresi.

Şekil 5.11'de, kutuplama akımı I_0 ile V_2 gerilimi arasındaki ilişki aşağıdaki gibidir.

$$I_0 = \frac{1}{4} K (V_2 - 2V_t)^2 \quad (5.37)$$

Eşitlik (5.37)'nin geçerli olabilmesi için $V_2 > 2V_t$ koşulu sağlanmalıdır.

Kare alma devresinin istenilen fonksiyonu yerine getirebileceği giriş akımının sınırları belirlenmelidir. Dolayısıyla şekil 5.10'daki devre için eşitlik (5.33) ve (5.35) kullanılırsa

$$I_{in} = I_1 - I_2 = 2K (V_2 - 2V_t) (V_a - V_2/2) \quad (5.38)$$

olarak elde edilir.

Eşitlik (5.38)'in geçerli olabilmesi için tüm transistörlerin doyma bölgesinde çalıştırılması gerekir.

$$V_t < V_a < V_2 - V_t \quad (5.39)$$

$$2V_t < V_2 < V_k - V_t \quad (5.40)$$

$$V_a = V_t \quad \Rightarrow \quad I_{in} = -4I_0$$

$$V_a = V_2 - V_t \quad \Rightarrow \quad I_{in} = 4I_0$$

Sonuç olarak bütün transistörlerin doymada kalması için giriş akımı aşağıdaki aralıkta sınırlanmalıdır.

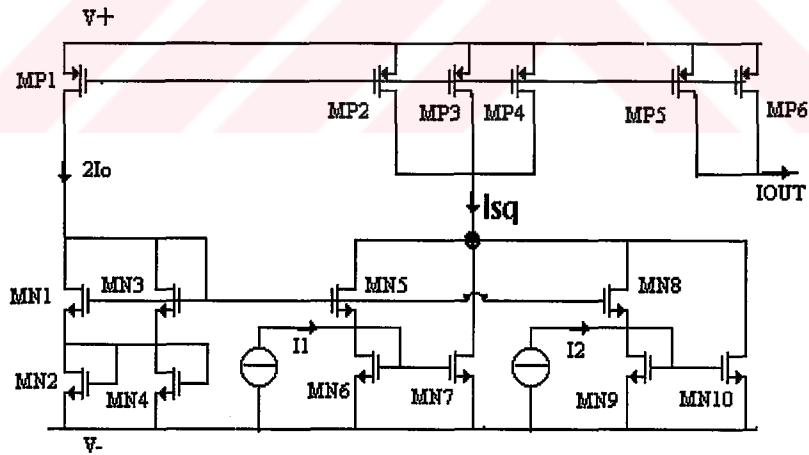
$$|I_{in}| < 4I_0 \quad (5.41)$$

Eşitlik (5.43)'de verilen Öklid mesafesinin, n boyutlu giriş vektörleri için geçerli ifadesi ise eşitlik (3.2)'de verilmiştir. Eşitlik (5.43)'de yer alan Öklid mesafesini gerçeklemek için önerilen iki vektörel toplama devresi aşağıdaki alt başlıklarda incelenecektir [15,29].

5.5.1 Otomatik kutuplamalı vektörel toplama devresi

(3.2) eşitliğinde yer alan kare alma fonksiyonunu gerçekledikten sonraki aşama, kare alma devrelerinin çıkışlarını toplayıp, toplamın karekökünü almaktır. Bu durumda, oluşacak olan yeni yapıda toplam transistor sayısı ile birlikte devrenin dengesizlik bileşeninde artış olacaktır.

Şekil 5.13'deki devre, giriş işaretlerinin akım olması durumunda, girişlerin karelerinin toplamının karekökünü doğrudan almaktadır. Dolayısıyla böyle bir yapının kullanılması tümdevre ve devrenin çalışma performansı açısından büyük yarar sağlamaktadır. Bu devrede, temel hücre olarak bölüm 5.4'de anlatılan kare alma devresi kullanılmaktadır.



ŞEKİL 5.13. Otomatik kutuplamalı vektörel devresi [15].

Şekil (5.13)'deki devre, temel hücre olarak şekil 5.12'deki yapıyı kullandığından, devrenin çalışma sınırları önceden belirlendiği gibidir. Şekil 5.10'daki kare alma hücresinden iki adet kullanılmıştır. Kare alma hücrelerinin çıkış akımlarını toplamak için, şekil 5.13'deki devrede, kare alma hücrelerinin çıkışları birleştirilmiştir. Kare alma devrelerinin toplam

çıkış akımı, giriş akımı olarak akım aynası aracılığıyla kare alma devrelerini kutuplayan kutuplama devresine yansıtılır. Dolayısıyla devre otomatik kutuplamalı bir durum alır. Kare alma devrelerinin toplam çıkış akımı ifadesi ise eşitlik (5.46)'da verildiği gibidir.

$$I_{sq} = 2.I_o + \frac{I_1^2}{8.I_o} + 2.I_o + \frac{I_2^2}{8.I_o} = 4.I_o + \frac{I_1^2 + I_2^2}{8.I_o} \quad (5.46)$$

Şekil 5.13'de görülen devre otomatik kutuplamalıdır. Kare alma hücrelerini kutuplayan MN1-MN4 transistörleri, kare alma devrelerinin çıkış akımlarının toplamı olan I_{sq} ile sürülmüştür. MN1-MN4 transistörlerinden geçen akımın değeri ise I_o 'dır.

$$I_o = I_{sq} / k \quad (5.47)$$

$k = 6$ seçilip eşitlik (5.46), eşitlik (5.47)'de yerine konulursa

$$I_o = \frac{1}{4} \sqrt{I_1^2 + I_2^2} \quad (5.48)$$

$$I_{OUT} = 4 I_o = \sqrt{I_1^2 + I_2^2} \quad (5.49)$$

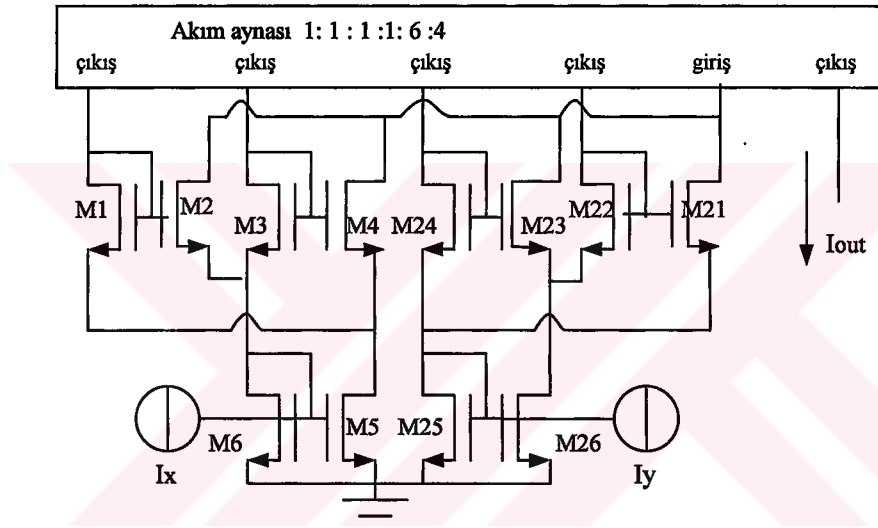
elde edilir.

Eşitlik (5.49) ve (5.43) , kareler toplamının karekökü açısından birbirlerinin benzeridir. Dolayısıyla bu devre Öklid mesafesini, ayrıca bir karekök alma devresine ihtiyaç duymadan gerçekleyebilmektedir. Bu devre (3.2) eşitliğinde verildiği gibi n boyutlu giriş vektörleri için kullanılacak olunursa, devreye n adet kare alıcı blok ekleyip bölme oranı k 'yı değiştirmemiz yeterlidir. Bu durumda k , eşitlik (5.50)'de verildiği gibi değiştirilmelidir.

$$k = 2(n+1) \quad (5.50)$$

Şekil 13'deki devrede MN1,MN3,MN5 ve MN8 transistörleri ayrı kuyularda gerçekleştirilmelidir. Dolayısıyla yapının çalışma frekansı düşük olur. Ayrıca Şekil 13'deki devrede MN5,MN7 ve MN8,MN10 transistörlerinin V_{DS} gerilimlerindeki fark büyük olacağından bu yapıda kanal boyu modülasyonunun etkisi fazlaca görülür. Bu da devrenin pozitif ve negatif giriş akımları için tam bir simetri göstermemesine sebep olur. Aşağıda verilen yapıda ise bu etkiler ortadan kaldırılmıştır.

5.5.2 Doğrusal geçiş çevrimli (MTL) vektörel toplama devresi



Şekil 5.14 MTL yapısı ile gerçekleştirilen vektörel toplama devresi [29].

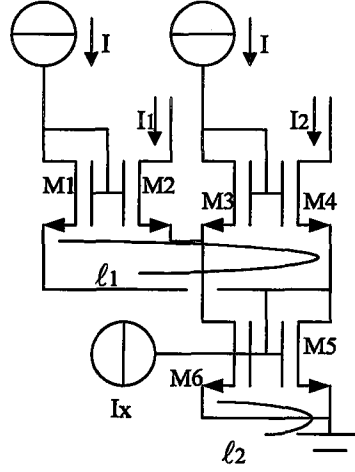
Yukarıda görülen devre aşağıdaki fonksiyonu gerçeklemektedir;

$$I_{out} = \sqrt{I_x^2 + I_y^2} \quad (5.51)$$

Bu devre için şu akım eşitlikleri yazılabilir;

$$I_{D1} = I_{D3} = I_{D24} = I_{D22} = I, \quad I_{D21} = 6I, \quad I_{out} = 4I \quad (5.52)$$

Yukarıdaki devrenin analizini yapabilmek için devreyi oluşturan temel blok şekil 5.15'de



Şekil 5.15. Temel devre

verilmiştir. Şekil üzerinde doğrusal geçiş çevreleri (Translinear loop) görülmektedir.

Öncelikle, I_x akımına ait bloğu inceleyelim. l_1 çevresi için saat yönün ters istikametindeki geçit kaynak gerilimlerinin toplamını saat yönündeki geçit kaynak gerilimlerinin toplamına eşitlersek şu eşitliği elde ederiz.

$$\sqrt{\frac{I_{D1}}{K}} + V_{Tn} + \sqrt{\frac{I_{D3}}{K}} + V_{Tn} = \sqrt{\frac{I_{D2}}{K}} + V_{Tn} + \sqrt{\frac{I_{D4}}{K}} + V_{Tn} \quad (5.53)$$

Transistorlar aynı boyutta ve aynı tipte oldukları için geçiş iletkenlikleri aynıdır. Ayrıca M1, M4 ve M2, M3 transistorlarının kaynak uçları birbirleriyle aynı düğüme bağlı olduğundan eşitlik (5.53)'ün iki tarafında bulunan eşik gerilimleri birbirlerini götürür. Dolayısıyla bu yapının kullanılması, devrede bulunan transistorların ayrı kuyularda gerçekleştirilmesi şartını ortadan kaldırmaktadır. Sonuç olarak (5.53) eşitliği (5.52) eşitliğinin de dikkate alınmasıyla şu şekli alır.

$$\sqrt{I_{D2}} + \sqrt{I_{D4}} = 2\sqrt{I} \quad (5.54)$$

ℓ_2 çevresi dikkate alınrsa şu eşitlik elde edilir.

$$I_x = I_{D2} - I_{D4} \quad (5.55)$$

Şekil 5.14'deki devre için M2,M4,M23 ve M21 transistörlerinden akan akımları sırasıyla I_1, I_2, I_3, I_4 ile gösterecek olursak, (5.54) ve (5.55) eşitliklerinin birlikte çözülmesiyle I_1 ve I_2 akımları için şu eşitlikler elde edilir.

$$I_1 = I + \frac{I_x}{2} + \frac{I_x^2}{16I} \quad (5.56)$$

$$I_2 = I - \frac{I_x}{2} + \frac{I_x^2}{16I} \quad (5.57)$$

Bu iki akımı toplarsak;

$$I_1 + I_2 = 2I + \frac{I_x^2}{8I} \quad (5.58)$$

eşitliği elde edilir. Benzer analiz şekil 5.14'deki devrede görülen sağdaki blok için de yapılırsa I_3 ve I_4 akımlarının toplamı için

$$I_3 + I_4 = 2I + \frac{I_y^2}{8I} \quad (5.59)$$

eşitliği elde edilir.

$$I_{in} = 6I = I_1 + I_2 + I_3 + I_4 = 4I + \frac{1}{8I}(I_x^2 + I_y^2) \quad (5.60)$$

(5.60) eşitliğinin her iki tarafını $8I$ ile çarparak ve (5.52) eşitliğini de dikkate alarak gerekli düzenlemeleri yaparsak çıkış akımı için;

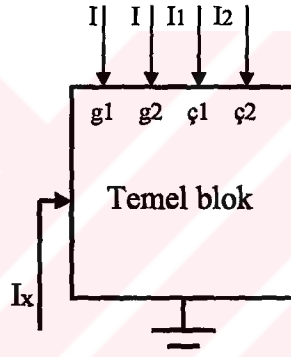
$$I_{out} = \sqrt{I_x^2 + I_y^2} \quad (5.61)$$

eşitliği elde edilir.

Bu devre n boyutlu giriş vektörü için şöyle geliştirilebilir. Bu durum da yeni devre şu fonksiyonu gerçekleyecektir.

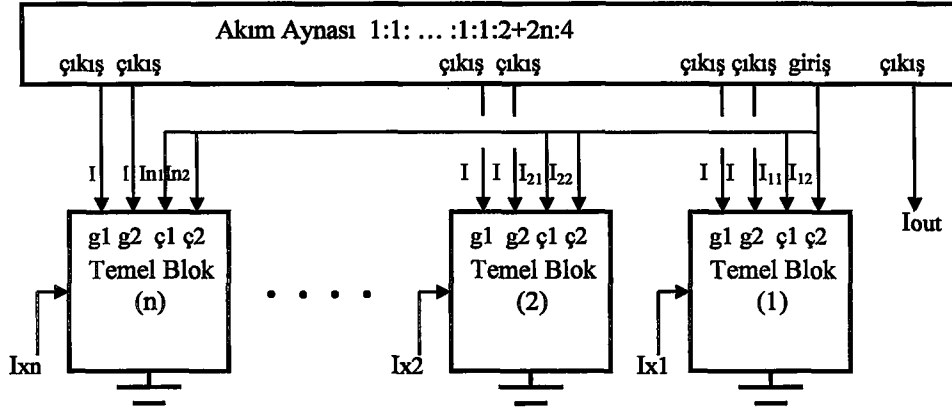
$$I_{out} = \sqrt{I_{x1}^2 + I_{x2}^2 + I_{x3}^2 + \dots + I_{xn}^2} \quad (5.62)$$

Şekil 5.15'de görülen temel devreyi aşağıdaki blok ile temsil edelim.



Şekil 5.16.

Bu blok kullanılarak elde edilen ve (5.62) eşitliğini sağlayan devre şekil 5.17'de verilmiştir.



Şekil 5.17.

Bu devrenin analizini şöyle yapabiliriz. Her bir bloğa ait olan çıkış akımlarının toplamı, akım aynasının giriş ucundaki akımı verir. Buna göre;

$$I_{in} = (I_{\phi 1} + I_{\phi 2})_1 + (I_{\phi 1} + I_{\phi 2})_2 + \dots + (I_{\phi 1} + I_{\phi 2})_{n-1} + (I_{\phi 1} + I_{\phi 2})_n = kI \quad (5.63)$$

(5.62) ve tek bir temel bloğa ait (5.59) bağıntısını dikkate alarak giriş akımı için aşağıdaki eşitlik yazılabilir;

$$I_{in} = kI = 2nI + \frac{1}{8I} (I_{x1}^2 + I_{x2}^2 + \dots + I_{xn-1}^2 + I_{xn}^2) \quad (5.64)$$

Bu eşitliğin her iki tarafını $8I$ terimi ile çarpalım.

$$8I \cdot I_{in} = 8kI^2 = 16nI^2 + (I_{x1}^2 + I_{x2}^2 + \dots + I_{xn-1}^2 + I_{xn}^2) \quad (5.65)$$

(5.65) eşitliğini yeniden düzenlersek;

$$8kI^2 - 16nI^2 = (I_{x1}^2 + I_{x2}^2 + \dots + I_{xn-1}^2 + I_{xn}^2) \quad (5.66)$$

Yukarıdaki eşitliğin aynı zamanda çıkış akımının karesine eşit olmasını istiyoruz. Çünkü ancak bu durumda istediğimiz fonksiyonu gerçekleyebiliriz. Buna göre;

$$I_{\text{out}}^2 = 8kI^2 - 16nI^2 = (I_{x1}^2 + I_{x2}^2 + \dots + I_{xn-1}^2 + I_{xn}^2) \quad (5.67)$$

yazılabilir. Eşitlik (5.66)'dan da görülebileceği gibi $(8kI^2 - 16nI^2)$ teriminin karekökü alınabilmelidir. I_{out} akımını I cinsinden şöyle ifade edelim;

$$I_{\text{out}} = mI \quad (5.68)$$

Bu eşitliği (5.67) eşitliğinde yerine koyalım. Bu durumda

$$m^2 \cdot I^2 = 8kI^2 - 16nI^2 \quad (5.69)$$

elde ederiz. Yeniden düzenlersek;

$$m^2 = 8k - 16n \quad (5.70)$$

eşitliğini elde ederiz.(5.70) eşitliğinde m ve k keyfi olarak seçilecek çarpanlar olup n temel blok sayısını yada giriş vektörünün eleman sayısını gösterir. (5.70) eşitliğinde $(-16n)$ terimini yok edecek şekilde k çarpanını şöyle seçebiliriz;

$$k = 2 + 2n \quad (5.71)$$

(5.70) eşitliğinde, (5.71) bağıntısını yerine koyalım;

$$m^2 = 8(2 + 2n) - 16n = 16 + 16n - 16n = 16 \quad (5.72)$$

ve

$$m = 4 \quad (5.73)$$

bulunur.

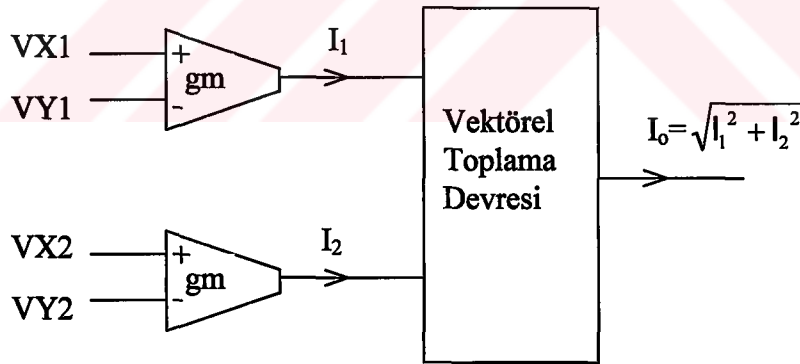
Sonuç olarak şunlar söylenebilir. (5.62) fonksiyonunu gerçeklemek için giriş vektörümüzün eleman sayısı n ise şekil 5.16'da görülen temel bloktan n tanesi şekil 5.17'de gösterildiği gibi bağlanır. Akım aynasının yansıtma faktörleri temel blokların giriş uçları için 1 alınır. Çıkış akımımız için bu faktör (5.73) eşitliğinde belirtildiği gibi 4 alınır. Akım aynasının giriş ucu için ise (5.71) eşitliğinde belirtildiği gibi $2+2n$ alınır.



6. SİMÜLASYONU YAPILACAK OLAN DEVRELER ve SİMÜLASYON SONUÇLARI

İki vektör arasındaki Öklid mesafesini ölçmek için geçişiletkenliği devresi ve vektörel toplama devresi kullanmak yeterlidir. Bölüm 5’de üç yapı verilmiş ve analizi yapılmıştır. Bu üç yapıdan biri geçişiletkenliği devresi, diğer ikisi ise vektörel toplama devresidir. Tasarımda kullanılacak olan geçişiletkenliği devresi şekil 6.2’de, vektörel toplama devreleri ise şekil 6.5 ve şekil 5.14’de verilmiştir. Toplam devreye ilişkin blok gösterim ise şekil 6.1’de verilmiştir.

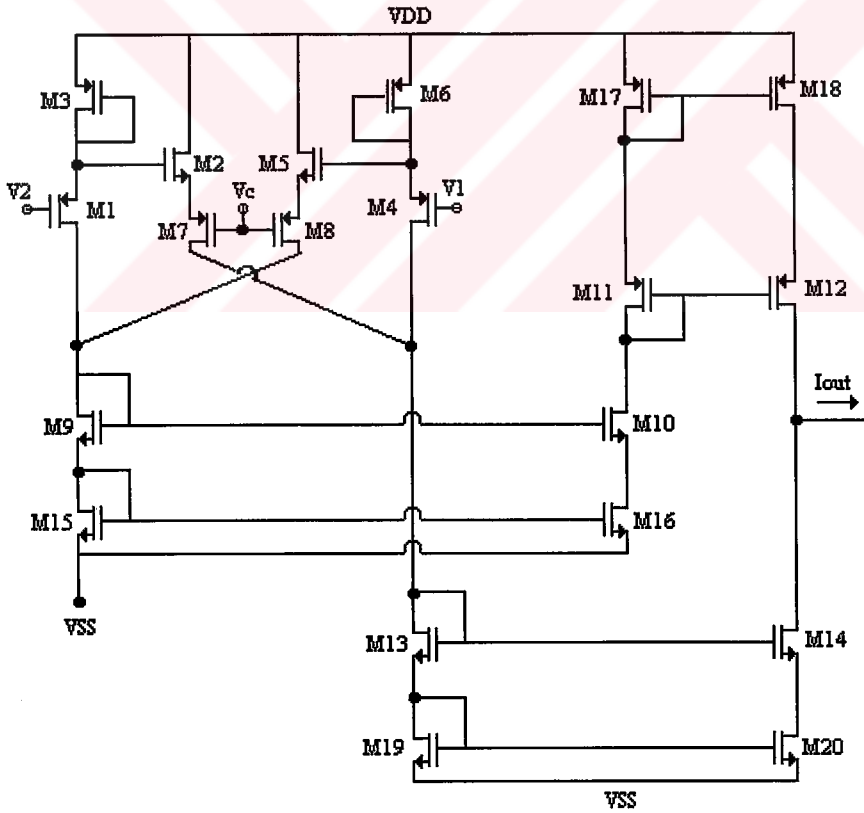
Şekil 6.1’de verilen toplam devrenin simülasyonu, her iki vektörel toplama devresi için de ayrı yapılmış ve ilgili bölümlerde verilmiştir. Simülasyonu yapılacak olan tüm devrelerde, TUBİTAK YİTAL’in 3um CMOS Level 3 proses parametreleri kullanılacaktır. MOS transistörlerine ait SPICE model parametrelerinin fiziksel anlamları ise EK 1’de verilmiştir.



Şekil 6.1. Analizi yapılacak olan toplam devreye ait blok gösterim.

6.1 Geçişiletkenliği Devresi ve Simülasyonu

Simülasyonu yapılacak olan geçişiletkenliği devresi şekil 6.2’de verilmiştir . Şekil 5.8’deki devrede M1 ve M4 transistörlerinin ayrı kuyularda gerçekleştirilmesi gerektiğinden devre n-kuyu teknolojisiyle üretilebilmesi için şekil 6.2’de görüldüğü gibi değişikliğe uğratılmıştır. Devrede akım aynalarından kaynaklanacak olan dengesizliği azaltmak için kaskod akım aynaları kullanılmıştır. Ayrıca devrede kompozit yapı kullanıldığından M1-M8 transistörlerinden kaynaklanacak olan distorsiyonu azaltmak için $K_{eq} \approx K_p$ olması gerekir. Bu durumda NMOS’a ait geçişiletkenliği, PMOS’un geçişiletkenliğine göre çok daha büyük seçilmelidir. Şekil 6.2’den fark edileceği üzere M2 ve M7 (M5 ve M8) transistörlerinden geçen akımların değerleri aynıdır. Dolayısıyla NMOS’a ait W/L oranı, PMOS’un W/L oranına kıyasla yüksek tutulmalıdır.



Şekil 6.2. Geçişiletkenliği devresi

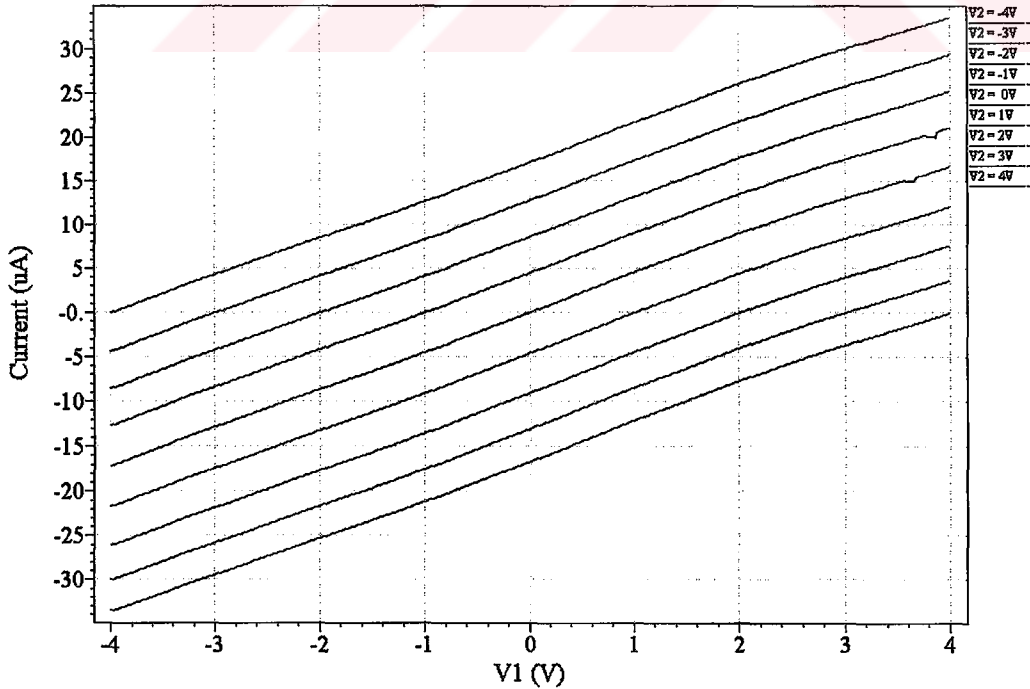
Şekil 6.2 için de, şekil 5.8 için yapılan analizin benzeri yapılırsa (6.1) eşitliği elde edilir. Şekil 6.2'deki devreye ilişkin SPICE dosyası EK 2'de verilmiştir. Devreye ait simülasyon sonuçları ise aşağıda verildiği gibidir.

$$I_{out} = K_p(V_{DD}-V_C -|V_{Tp}|-V_{Teq})(V_1 -V_2) \quad (6.1)$$

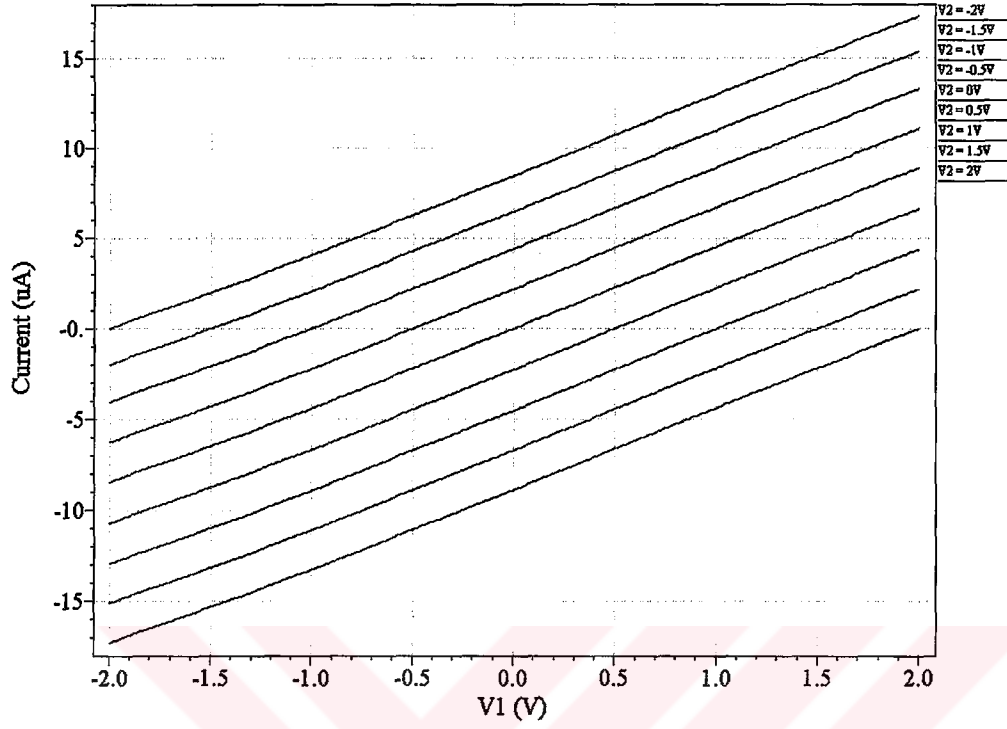
Geçişiletkenliği devresine ait g_m ifadesi eşitlik (6.1)'den elde edilir.

$$g_m = K_p(V_{DD}-V_C -|V_{Tp}|-V_{Teq}) \quad (6.2)$$

Şekil 6.3.'den görüldüğü gibi devrenin lineer çalışma aralığı, istenilen giriş aralığı olan (-1V,1V) aralığından daha fazladır. Şekil 6.2'deki geçişiletkenliği devresinin tümdevre açısından kaplayacağı kırmık alanı azaltmak için M9-M20 transistorlarından oluşan akım aynalarına ait $W=6\mu m$ ve $L=9\mu m$ seçilmiştir. Bu durumda devrenin lineer çalışma aralığı azalmaktadır. Ama devre hala istenilen bölge içinde lineer çalıştığından pul yüzeyinde alan açısından yer kazanmış oluruz. M9-M20 transistorlarından oluşan akım aynalarına ait $W=6\mu m$, $L=9\mu m$ seçilmesi durumuna ilişkin simülasyon sonucu şekil 6.4'de verilmiştir.

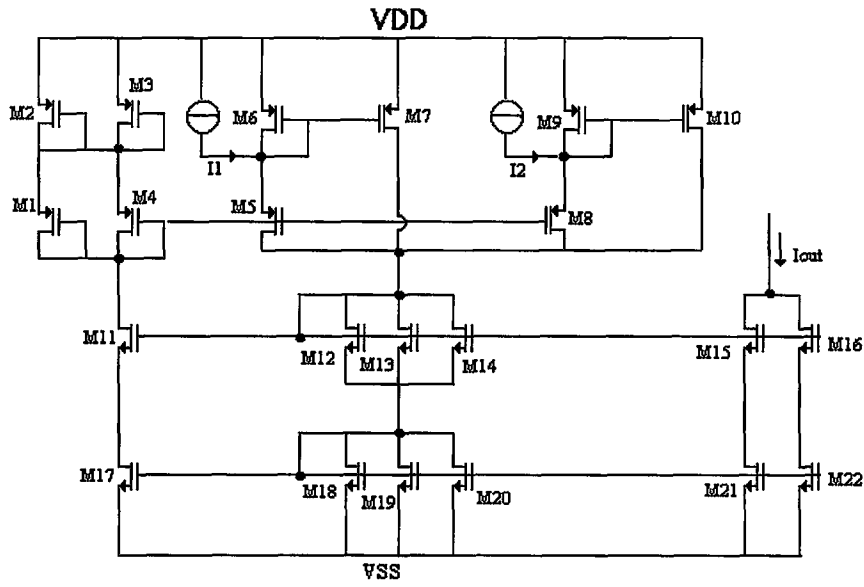


Şekil 6.3. Geçişiletkenliği devresine ait simülasyon sonucu.



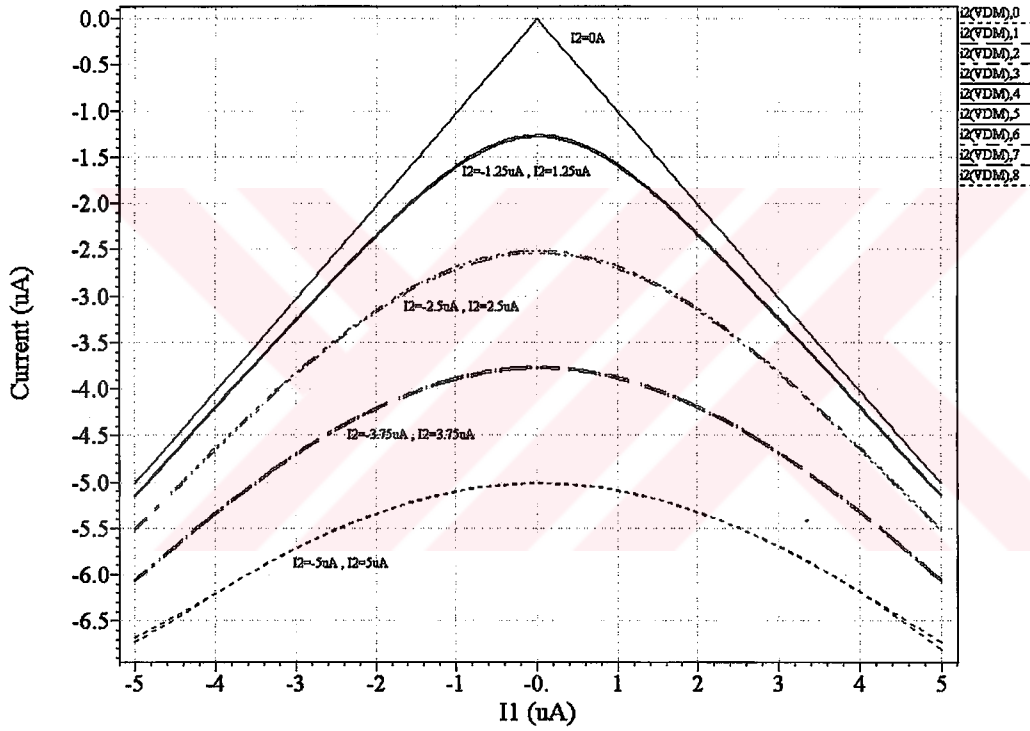
Şekil 6.4.

6.2. Otomatik Kutuplamalı Vektörel Toplama Devresi Kullanarak Öklid Mesafesinin Hesaplanması ve Simülasyon Sonuçları



Şekil 6.5. Vektörel toplama devresi

Şekil 5.13'deki devrede MN1,MN3,MN5 ve MN8 transistörlerinin ayrı kuyularda gerçekleştirilmesi gerektiğinden, yapı n-kuyu teknolojisiyle üretilebilecek biçimde şekil 6.5'de verildiği gibi değiştirilmiştir. Ayrıca akım aynalarından oluşacak olan hatayı da minimum yapmak için kaskod akım aynası kullanılmıştır. Şekil 6.5'de verilen, vektörel toplama devresine ilişkin SPICE dosyası EK 3'de verilmiştir. Simülasyon sonuçları ise aşağıda verildiği gibidir.

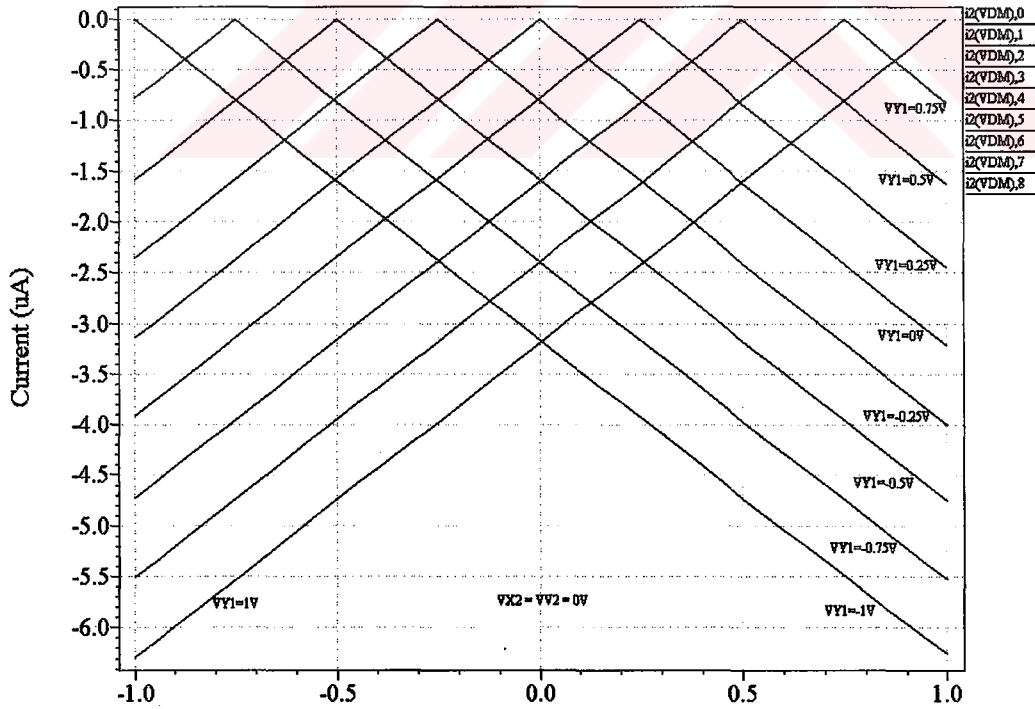


Şekil 6.6. Şekil 6.5'de verilen vektörel toplama devresine ait simülasyon sonucu

Şekil 6.6'dan görüldüğü gibi devre pozitif ve negatif giriş akımları için tam olarak simetrik çalışmamaktadır. Devrenin tam simetrik çalışmasını engelleyen temel bileşen kanal boyu modülasyonundan kaynaklanmaktadır. Şekil 6.5'de bulunan M7 ve M10 transistörlerine ait savak-kaynak gerilimi, M5 ve M8 transistörlerine ait olan savak-kaynak geriliminine göre çok fazla olacaktır. Savak-kaynak gerilimlerindeki bu büyük farktan dolayı devre pozitif ve negatif giriş akımları için tam simetrik çalışmamaktadır.

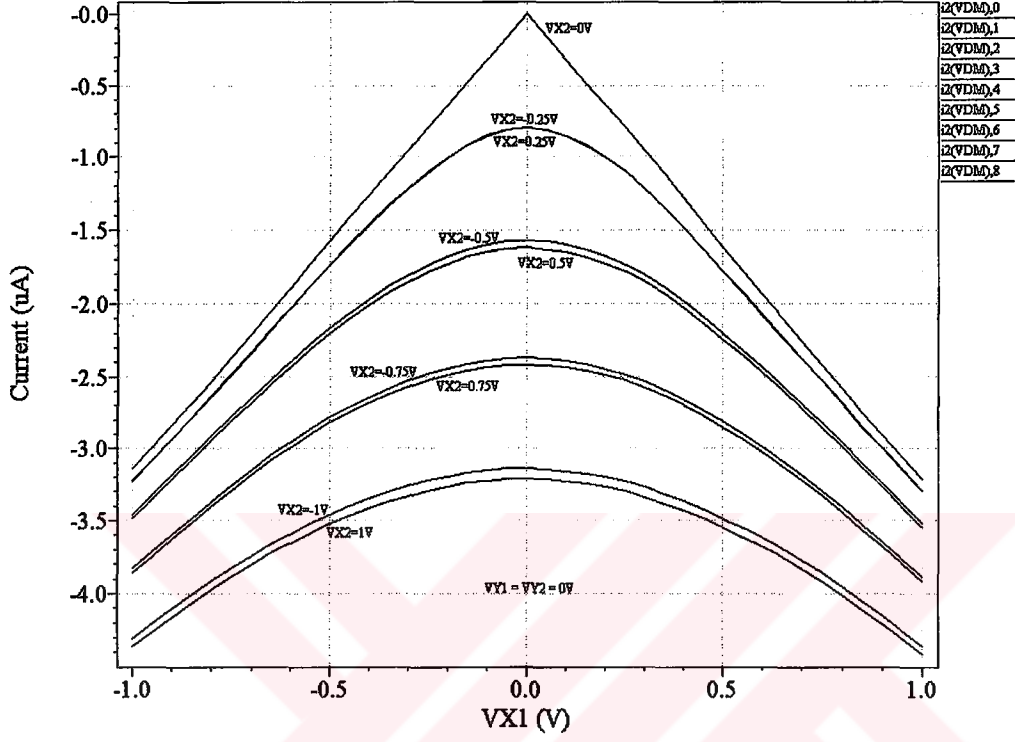
Şekil 6.1'de verilen blok devre için, şekil 6.2'deki geçişiletkenliği devresi ile şekil 6.5'de verilen vektörel toplama devresinin kullanılması durumunda elde edilen simülasyon sonuçları aşağıda verildiği gibidir. Devreye ait SPICE dosyası ise EK 4'de verilmiştir.

Blok devreye ilişkin SPICE dosyasında, $VX2=VY2=0V$ alınması durumunda $I_2 = 0A$ olur. Bu durumda, şekil 6.7'de görüldüğü gibi I_1 akımının mutlak değeri elde edilir. I_1 akımı geçişiletkenliği devresine ait olan çıkış akımıdır. Bu akıma ait genlik değerleri önceki simülasyon sonucunda verilmişti. Blok diyagramda yer alan geçişiletkenliği elemanına ait olan (M1,M3,M4,M6,M7,M8) PMOS transistörlerinin W/L oranlarının azaltılmasıyla bu bloğa ait olan distorsiyonun azaltılması yanısıra, aynı zamanda geçişiletkenliği devresinin çıkış akım seviyesi azaltılarak, bu akımın Öklid mesafesini hesaplama devresinin çalışma aralığı içinde tutulması sağlanmıştır. İzlenen bu yolla toplam devrenin dinamik çalışma aralığı arttırılabilir.

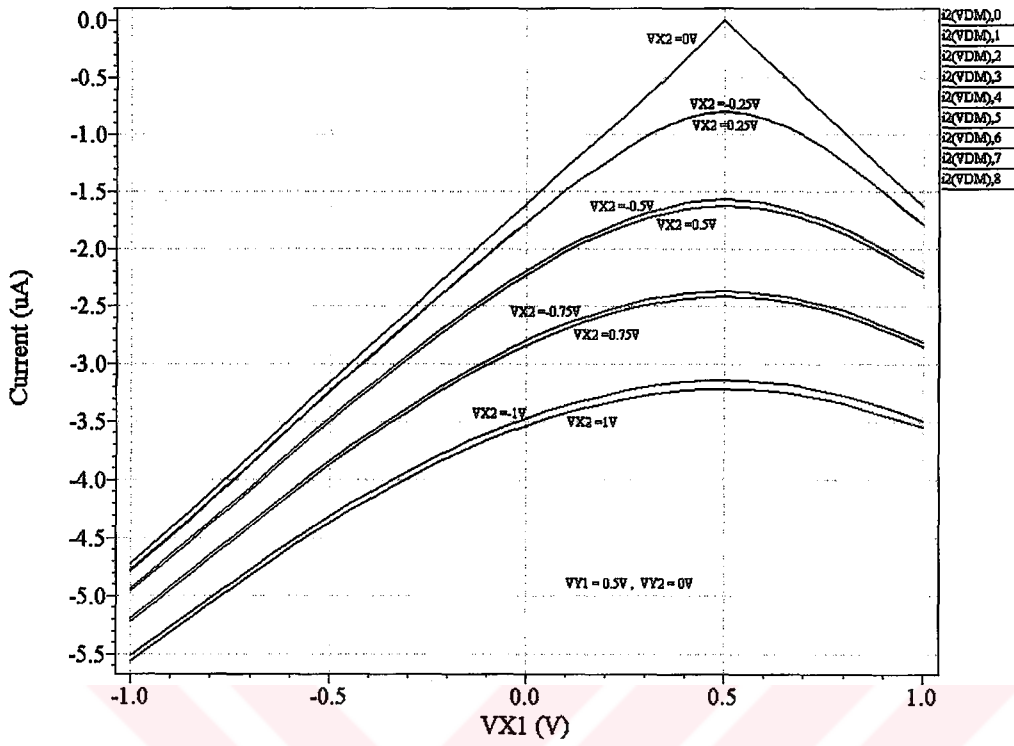


Şekil 6.7. Blok devrenin mutlak değer alıcı olarak kullanılması

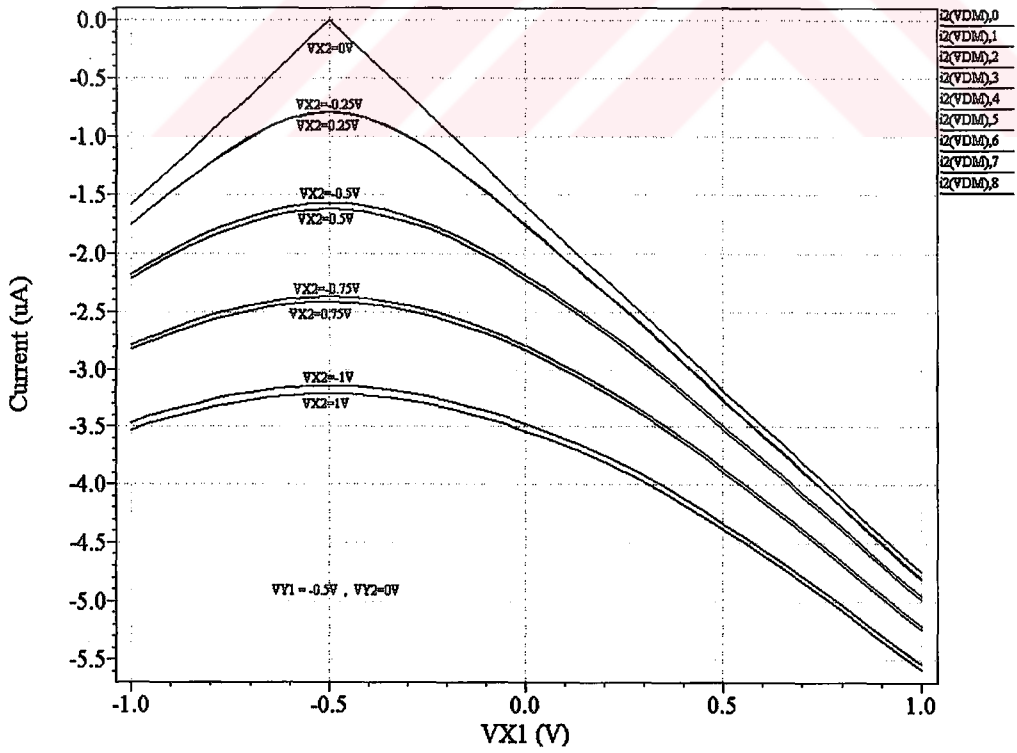
Devrenin mutlak deęer alıcı olarak kullanılması durumunda, Öklid mesafesini hesaplayan devrede, kare alıcı bloklardan bir tane kullanılması yeterlidir.



Şekil 6.8.



Şekil 6.9.



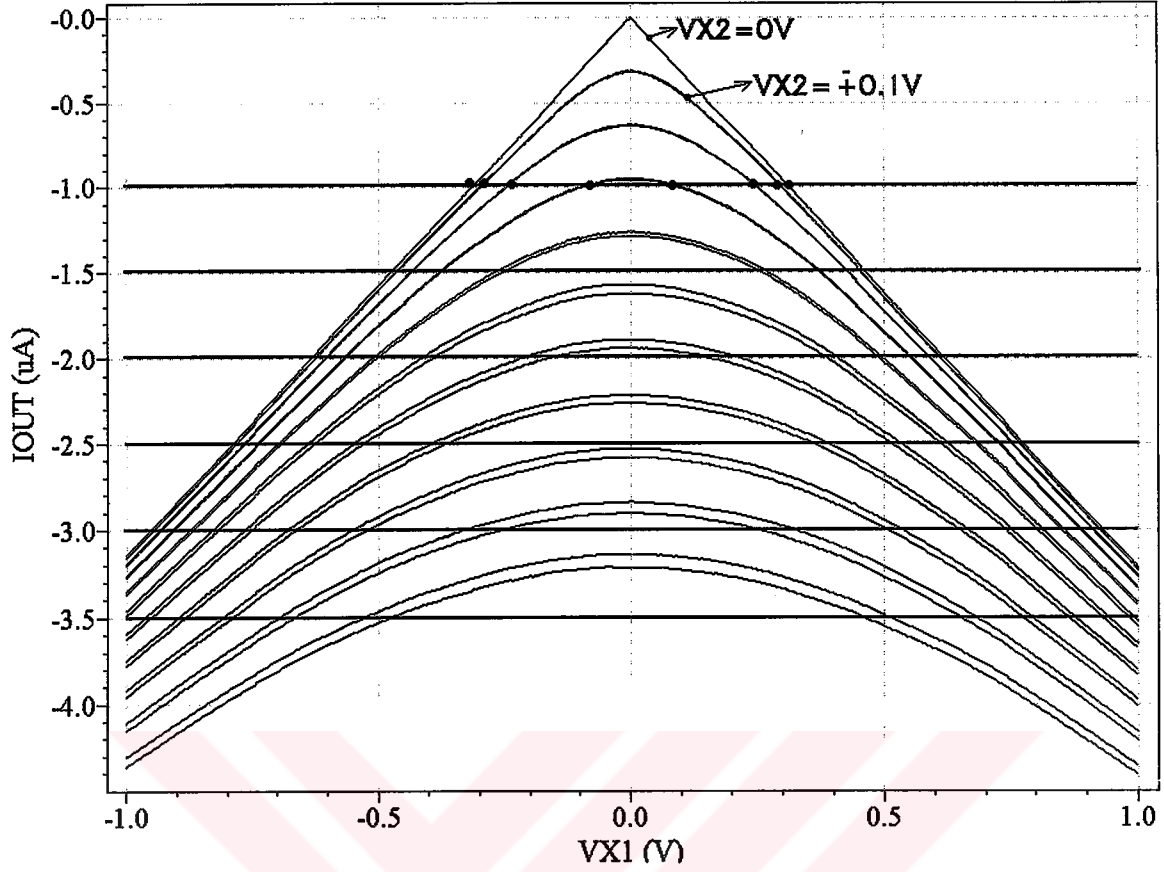
Şekil 6.10.

Çeşitli $VX1, VY1, VX2, VY2$ gerilim değerleri için dc analiz yapılarak, şekil 6.7, 6.8, 6.9 , 6.10'da görülen grafikler elde edilmiştir. Bu grafiklerin (5.43) eşitliğini sağladığını göstermek için farklı bir yola başvurmada fayda vardır. Bu yöntemde adım aralığı çok küçük tutularak dc analiz yaptırılır. Dc analiz sonucu elde edilen giriş-çıkış verilerinin saklı olduğu dosyadan, aynı çıkışı üreten tüm girişler düzlemde gösterilir. Farklı merkez noktaları ($VY1$, $VY2$) alınıp, $VX1$ ve $VX2$ için adım aralığı çok küçük seçilerek dc analiz yapılır. Dc analiz sonucu aynı çıkış akımını verecek olan $VX1$ ve $VX2$ giriş kümesi, düzlemde bir daire denklemine uyacak şekilde yer alırlar. Aşağıda dc analiz sonucu elde edilen verilerin düzlemde oluşturduğu dairelere ait şekiller ve bu şekillere ilişkin bilgiler tablo 6.1.'de verilmiştir.

Tablo 6.1. Dc analiz sonucu elde edilen verilerin gösterildiği şekillere ait bilgiler.

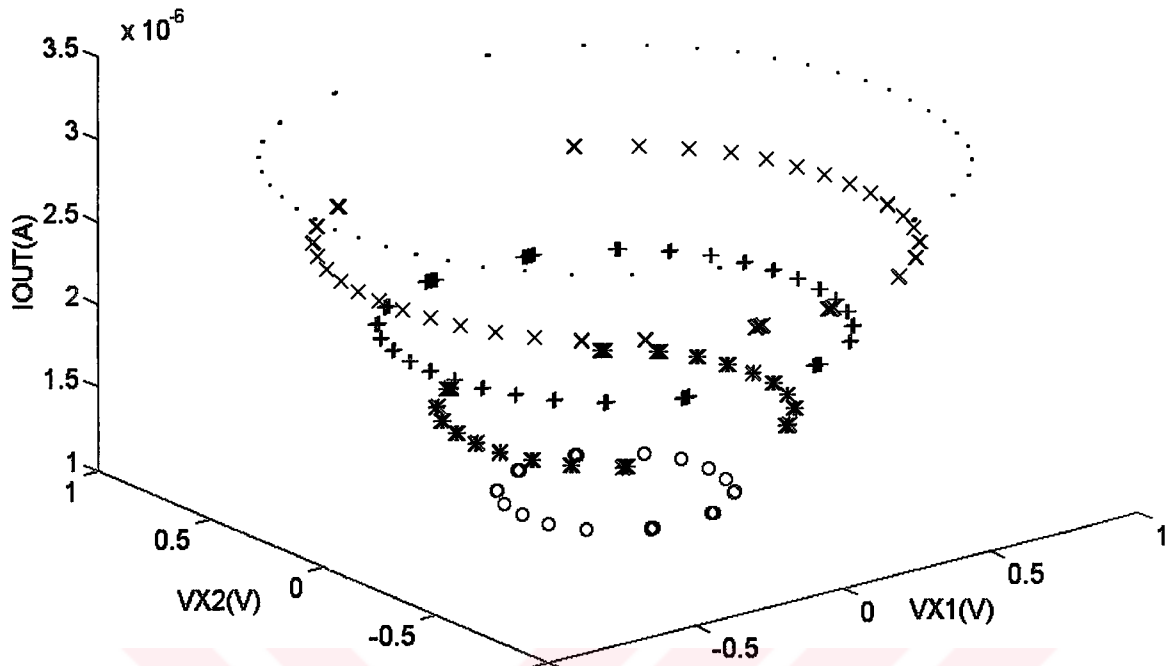
| Şekil No | Merkez Nokta | Simge | Çıkış Akımı |
|------------|-------------------------|-------|-------------|
| Şekil 6.13 | $VY1=0V ; VY2=0V$ | o | $1\mu A$ |
| Şekil 6.13 | $VY1=0V ; VY2=0V$ | * | $1.5\mu A$ |
| Şekil 6.13 | $VY1=0V ; VY2=0V$ | + | $2\mu A$ |
| Şekil 6.13 | $VY1=0V ; VY2=0V$ | x | $2.5\mu A$ |
| Şekil 6.13 | $VY1=0V ; VY2=0V$ | . | $3\mu A$ |
| Şekil 6.14 | $VY1=0.5V ; VY2=0.5V$ | o | $1\mu A$ |
| Şekil 6.14 | $VY1=0.5V ; VY2=0.5V$ | * | $1.4\mu A$ |
| Şekil 6.14 | $VY1=0.5V ; VY2=0.5V$ | + | $1.7\mu A$ |
| Şekil 6.15 | $VY1=-0.5V ; VY2=-0.5V$ | o | $1\mu A$ |
| Şekil 6.15 | $VY1=-0.5V ; VY2=-0.5V$ | * | $1.4\mu A$ |
| Şekil 6.15 | $VY1=-0.5V ; VY2=-0.5V$ | + | $1.7\mu A$ |
| Şekil 6.16 | $VY1=0.5V ; VY2=-0.5V$ | o | $1\mu A$ |
| Şekil 6.16 | $VY1=0.5V ; VY2=-0.5V$ | * | $1.4\mu A$ |
| Şekil 6.16 | $VY1=0.5V ; VY2=-0.5V$ | + | $1.7\mu A$ |
| Şekil 6.17 | $VY1=-0.5V ; VY2=0.5V$ | o | $1\mu A$ |

| | | | |
|------------|-------------------------|---------|------------|
| Şekil 6.17 | $VY1=-0.5V ; VY2=0.5V$ | * | $1.4\mu A$ |
| Şekil 6.17 | $VY1=-0.5V ; VY2=0.5V$ | + | $1.7\mu A$ |
| Şekil 6.19 | $VY1=0.5V ; VY2=0.5V$ | o (iç) | $1\mu A$ |
| Şekil 6.19 | $VY1=0.5V ; VY2=0.5V$ | o (dış) | $1.4\mu A$ |
| Şekil 6.19 | $VY1=0.5V ; VY2=-0.5V$ | * (iç) | $1\mu A$ |
| Şekil 6.19 | $VY1=0.5V ; VY2=-0.5V$ | * (dış) | $1.4\mu A$ |
| Şekil 6.19 | $VY1=-0.5V ; VY2=0.5V$ | + (iç) | $1\mu A$ |
| Şekil 6.19 | $VY1=-0.5V ; VY2=0.5V$ | + (dış) | $1.4\mu A$ |
| Şekil 6.19 | $VY1=-0.5V ; VY2=-0.5V$ | . (iç) | $1\mu A$ |
| Şekil 6.19 | $VY1=-0.5V ; VY2=-0.5V$ | . (dış) | $1.4\mu A$ |
| Şekil 6.20 | $VY1=0V ; VY2=0V$ | o | $1\mu A$ |
| Şekil 6.20 | $VY1=1V ; VY2=1V$ | * | $1\mu A$ |
| Şekil 6.20 | $VY1=1V ; VY2=-1V$ | + | $1\mu A$ |
| Şekil 6.20 | $VY1=-1V ; VY2=1V$ | x | $1\mu A$ |
| Şekil 6.20 | $VY1=-1V ; VY2=-1V$ | . | $1\mu A$ |

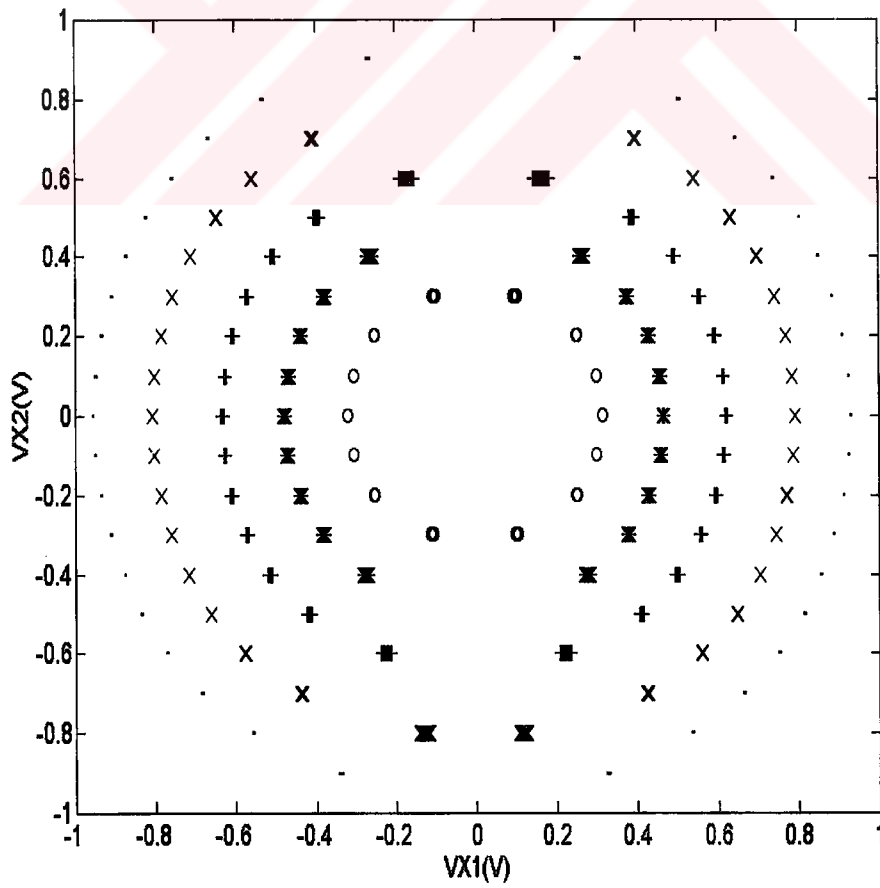


Şekil 6.11. $VY1=VY2=0V$ alındığında blok devreye ait simülasyon sonucu

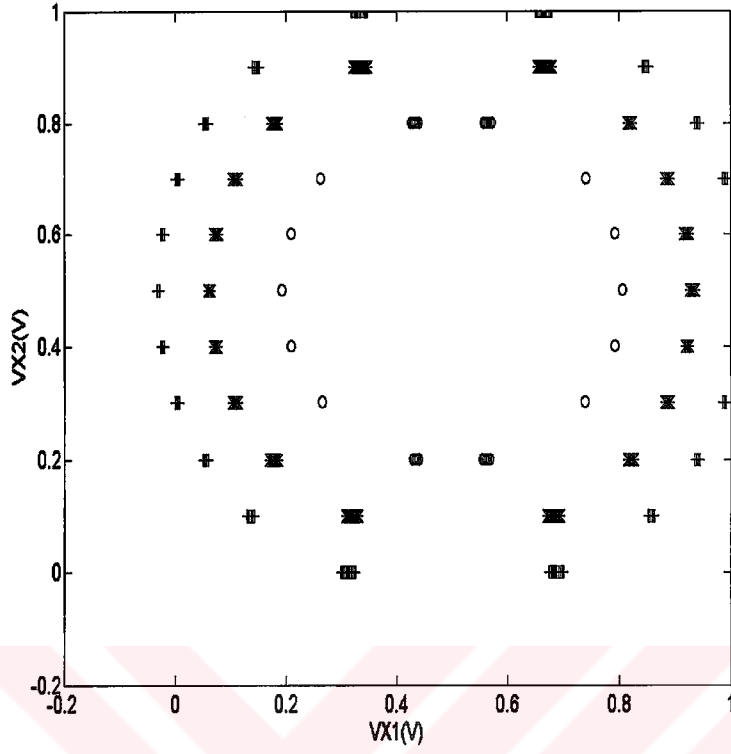
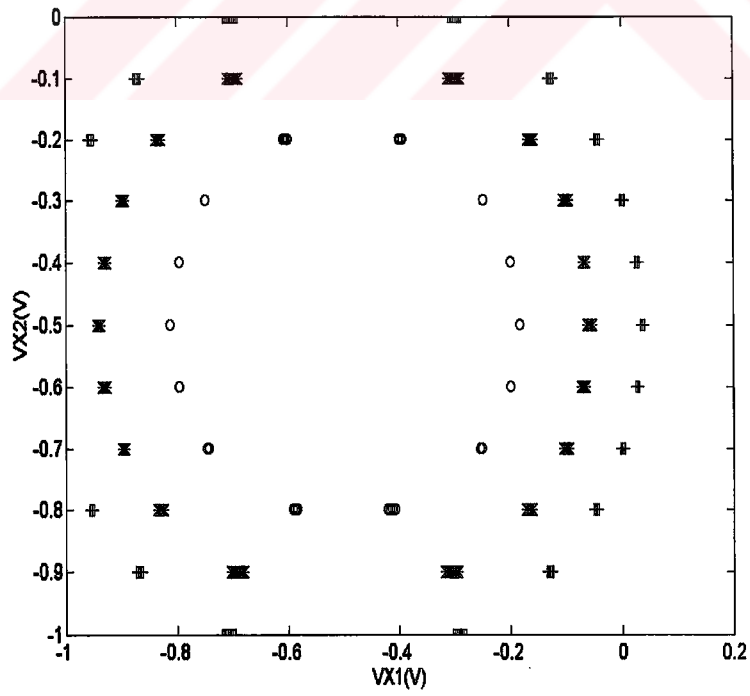
Şekil 6.11'de şekil 6.8'in büyütülmüş durumu görülmektedir. Şekilden de görüldüğü gibi $VY1=VY2=0V$ alınmış ve $VX2$ (-1V,1V) aralığında 0.1V adım aralığıyla arttırılırken, $VX1$ (-1V,1V) aralığında çok daha küçük adımlarla arttırılıp dc analiz yapılmıştır. Şekil 6.11 paralel doğrularla bölünmüştür. Paralel doğruların herbiri sabit bir çıkış akımına karşılık gelmektedir. Sabit bir çıkış akımı ve sabit $VY1,VY2$ değerleri için elde edilen $VX1, VX2$ değerleri düzlemde daire denkleminde uyacak şekilde yer alırlar. Şekil 6.11'den elde edilen verilerin, şekil 6.12'de üç boyutlu uzayda, şekil 6.13'de ise düzlemde aldığı konumlar gösterilmiştir. Şekil 6.12'den görüldüğü gibi üç boyutlu uzayda koni oluşmaktadır.

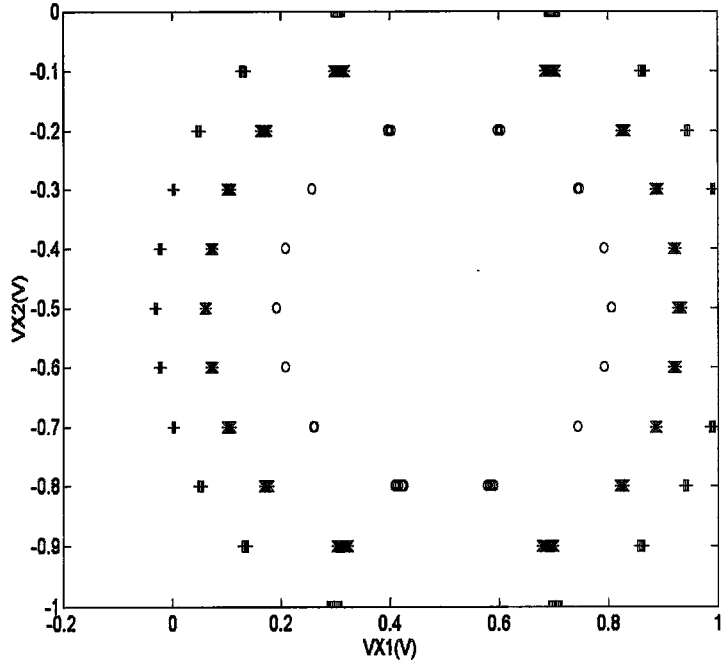


Şekil 6.12.

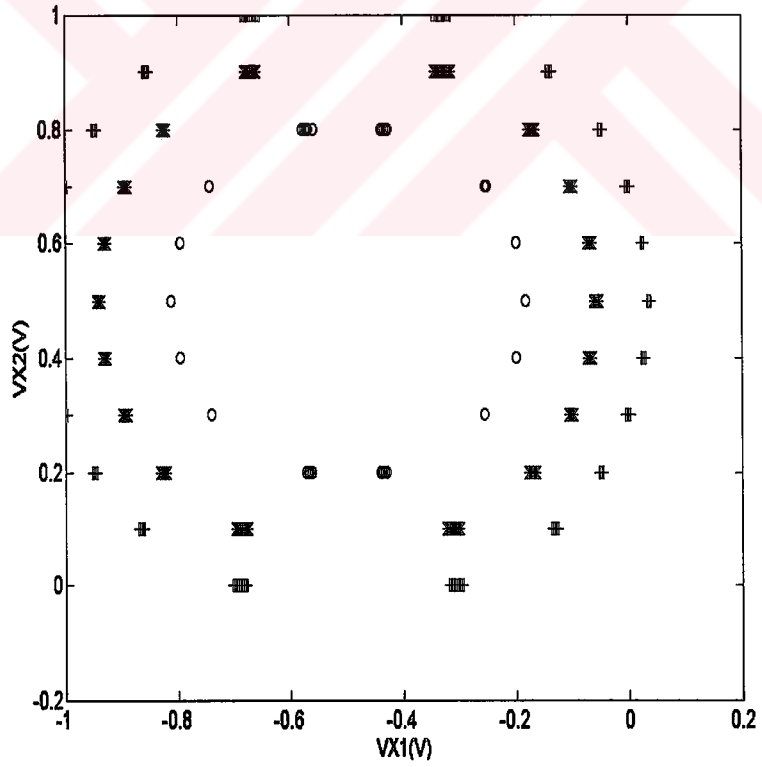


Şekil 6.13. ($V_{Y1}=V_{Y2}=0V$)

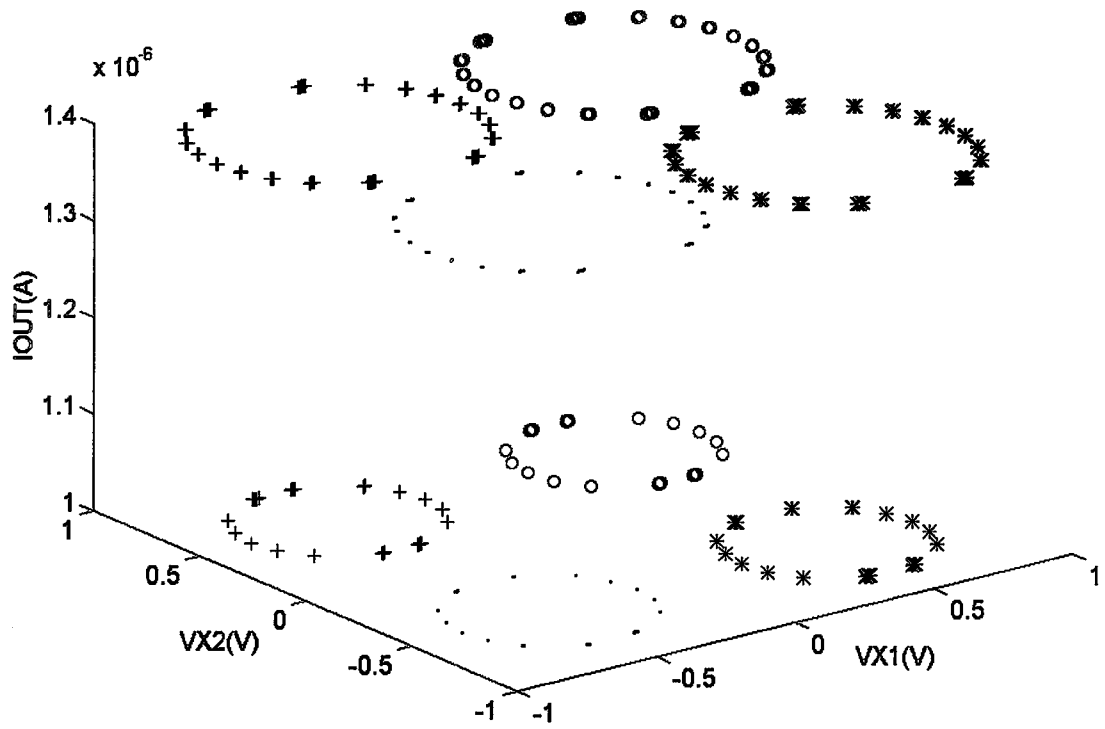
Şekil 6.14. ($VY1=VY2=0.5V$)Şekil 6.15. ($VY1=VY2=-0.5V$)



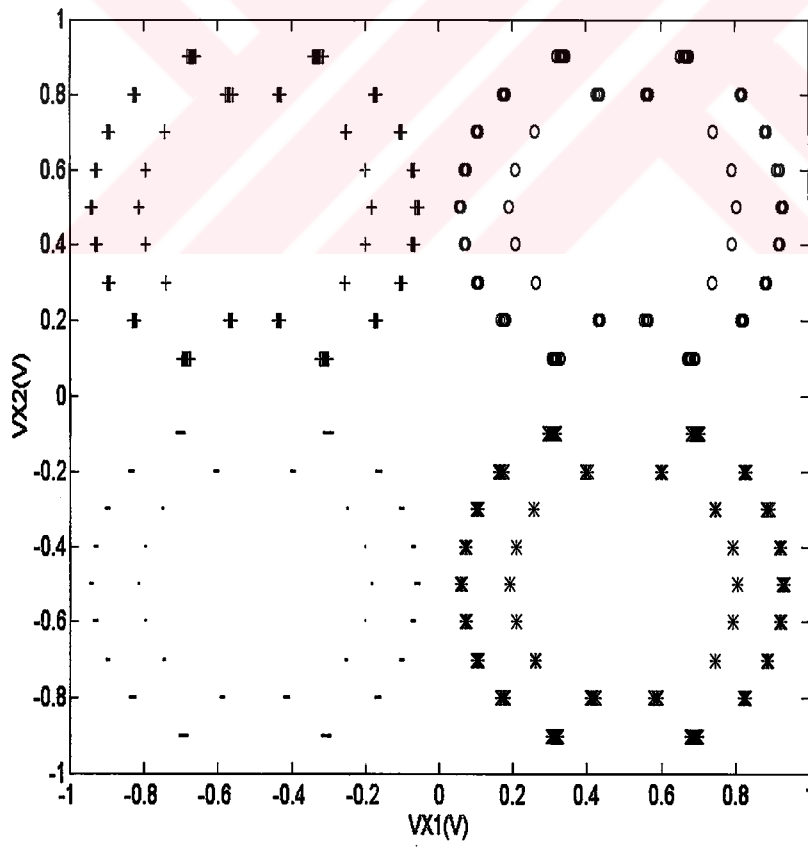
Şekil 6.16. ($VY1=0.5V$, $VY2=-0.5V$)



Şekil 6.17. ($VY1=-0.5V$, $VY2=0.5V$)

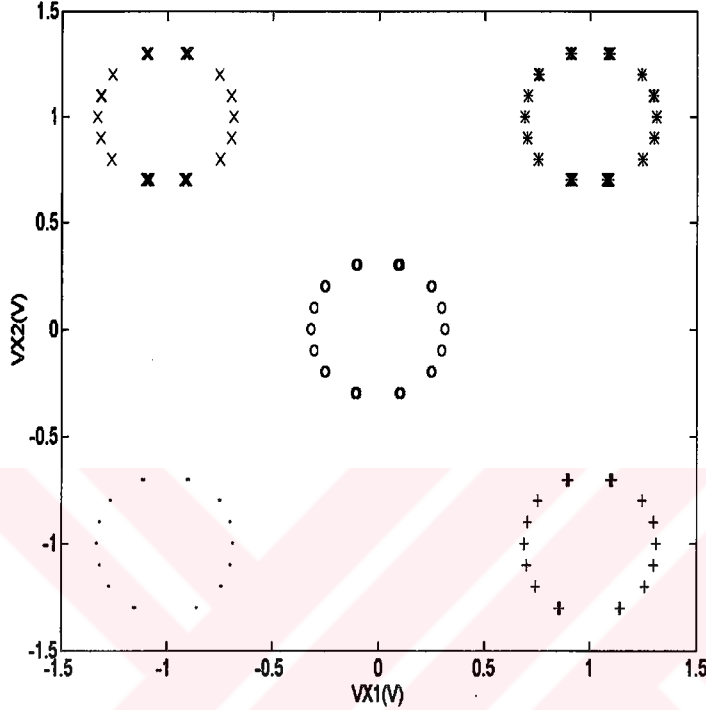


Şekil 6.18.



Şekil 6.19.

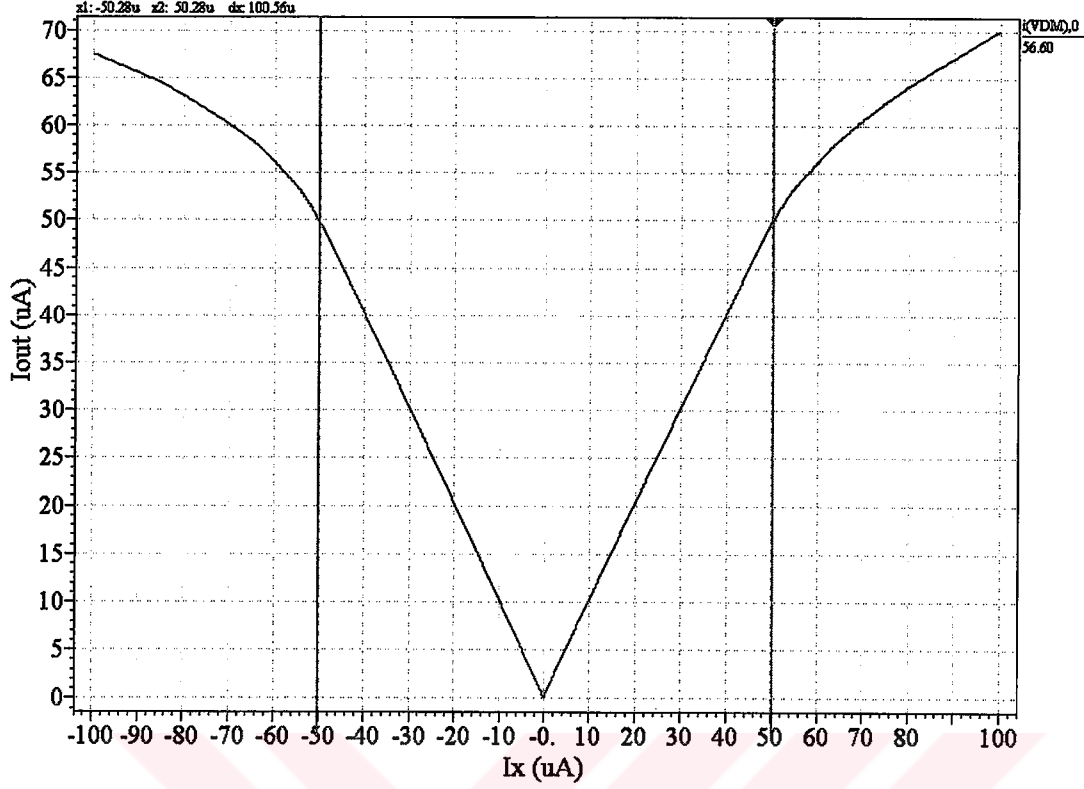
Şekil 6.14,15,16 ve 17’de verilen şekillere ait elde edilen verilerin üç boyutlu uzayda ve düzlemde gösterimleri şekil 6.18 ve şekil 6.19’da görüldüğü gibidir. Şekil 6.20’de ise devrenin verilen giriş aralığı olan $(-1V,1V)$ aralığında çalıştığı görülmektedir.



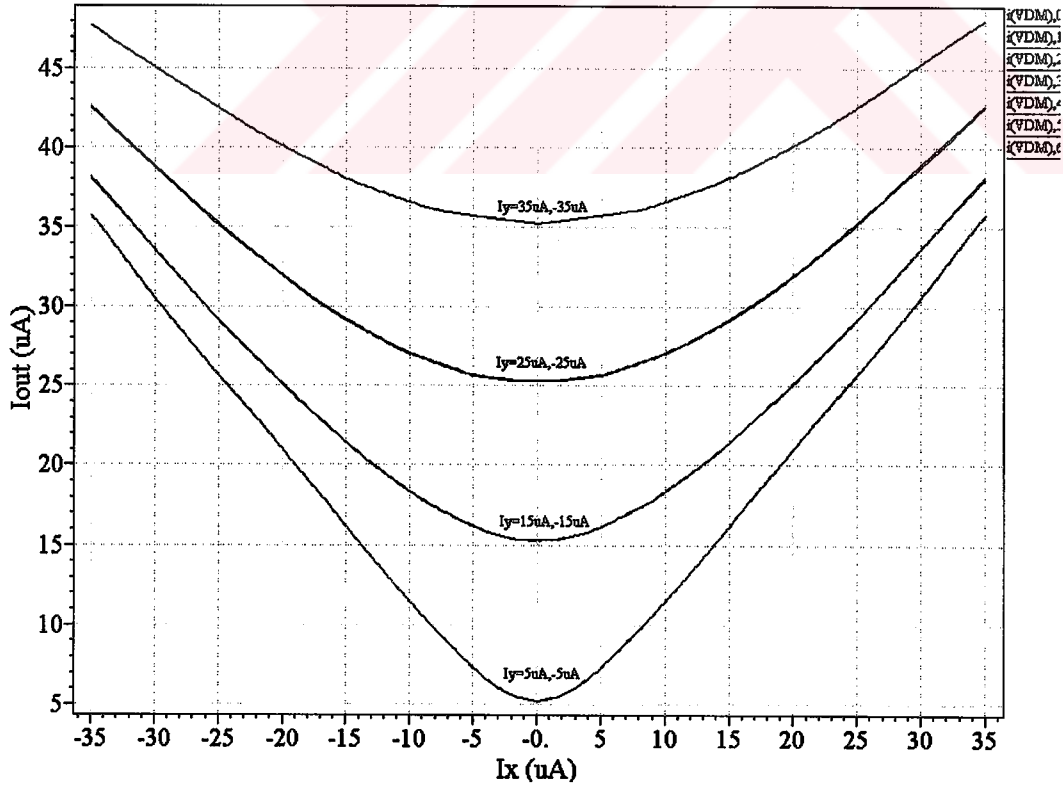
Şekil 6.20

6.3. Doğrusal Geçiş Çevrimli (MTL) Vektörel Toplama Devresi Kullanarak Öklid Mesafesinin Hesaplanması ve Simülasyon Sonuçları

MTL yapısı kullanılarak oluşturulan vektörel toplama devresi şekil 5.14’de verilmiştir. Yapıda gövde etkisi olmadığından devre verilen şekliyle gerçekleştirilmiştir. Akım aynalarından kaynaklanacak olan hatayı minimum yapmak için kaskod akım aynası kullanılmıştır. Vektörel toplama devresine ait SPICE dosyası Ek 7’de, simülasyon sonuçları ise aşağıda verilmiştir.



Şekil 6.21. $I_y = 0A$ için çıkış akımıyla giriş akımı I_x 'in değişimi.

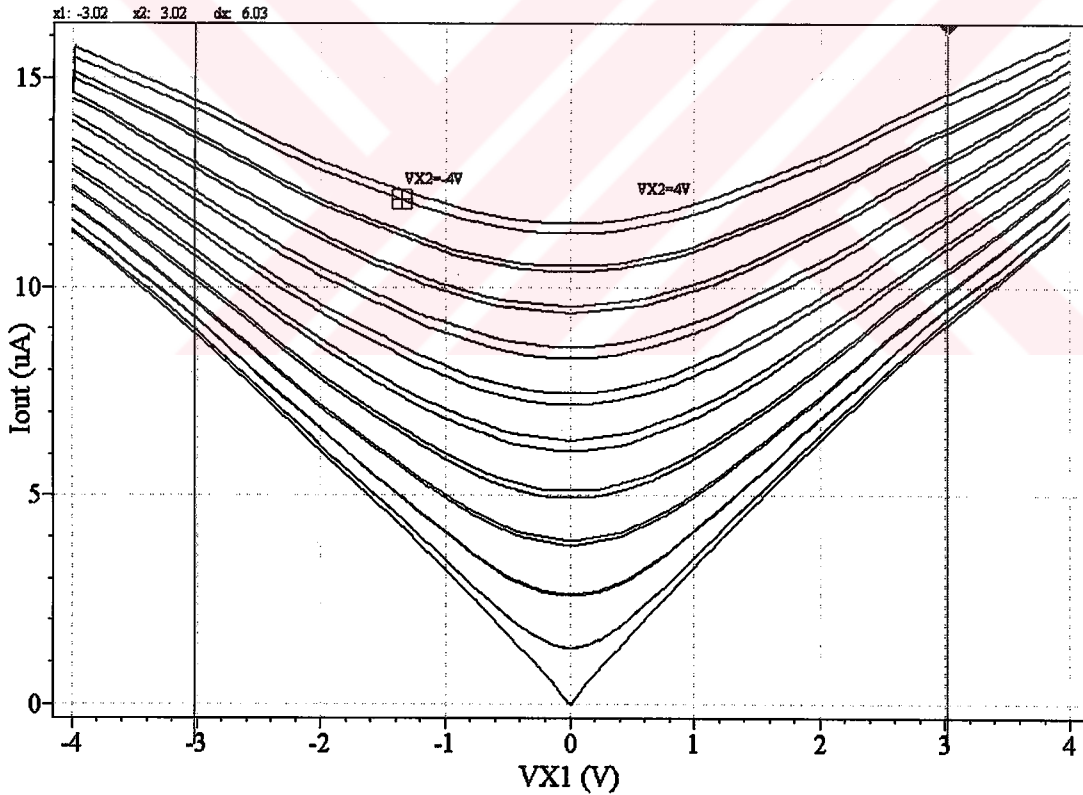


Şekil 6.22. Mutlak değerce aynı alan, farklı I_y değerleri için elde edilen çıkış akımları.

Şekil 6.21'den görüldüğü gibi, devre verilen geometrilerle (-50uA,50uA) akım aralığında mutlak değer alıcı olarak kullanılabilir.

Şekil 6.22'de ise devrenin pozitif ve negatif giriş akımları için simetrik çalıştığı görülmektedir.

Şekil 6.1'de verilen blok devrede yer alan vektörel toplama devresi için şekil 5.14'deki devre kullanılırsa çok daha iyi simülasyon sonuçları elde edilir. Şekil 5.14'deki vektörel toplama devresinin çalışma aralığı daha geniş olduğundan, Şekil 6.1'de verilen blok devrede kullanılan geçiş iletkenliği devresine ait akım aynalarının boyutları yeniden ayarlayacak olursak, toplam devrenin dinamik çalışma aralığını arttırmış oluruz. Bu duruma ilişkin simülasyon sonuçları aşağıda verildiği gibidir. Toplam devreye ait SPICE dosyası Ek 8'de verilmiştir.



Şekil 6.23.

Şekil 6.23'de $VY1=VY2=0V$ alınarak, $VX2$ (-4V,4V) aralığında 0.4V'luk adımlarla arttırılırken, $VX1$ 0.01V'luk adım aralıklarıyla arttırılıp DC analiz yapılmıştır. Şekil

6.23'de $VX1=0V$ iken pozitif ve negatif $VX2$ giriş gerilimleri için çıkış akımlarının değerleri tablo 6.2'de verilmiştir.

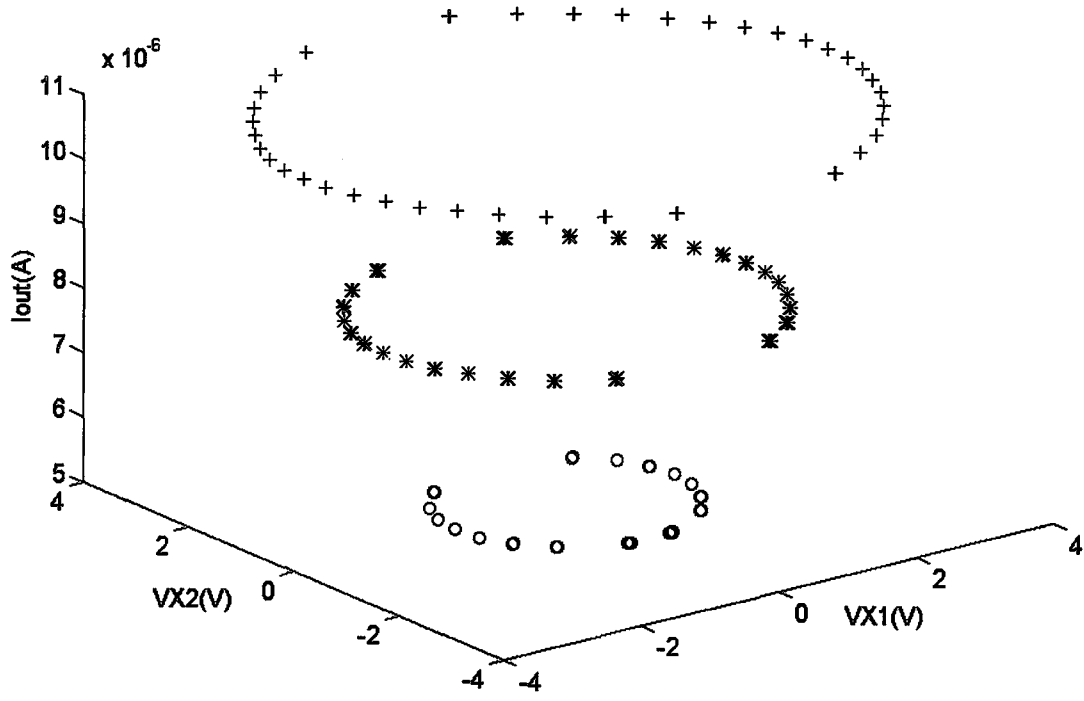
Tablo 6.2. Şekil 6.23'de $VX1=VY1=VY2=0V$ için elde edilen $VX2$ gerilimi ve çıkış akımı değerleri.

| | | | | | | | | | | |
|----------|------|------|------|------|------|------|------|------|-------|------|
| VX2(V) | -0.4 | -0.8 | -1.2 | -1.6 | -2 | -2.4 | -2.8 | -3.2 | -3.6 | -4 |
| Iout(uA) | 1.34 | 2.64 | 3.88 | 4.99 | 6.16 | 7.22 | 8.4 | 9.39 | 10.38 | 11.3 |

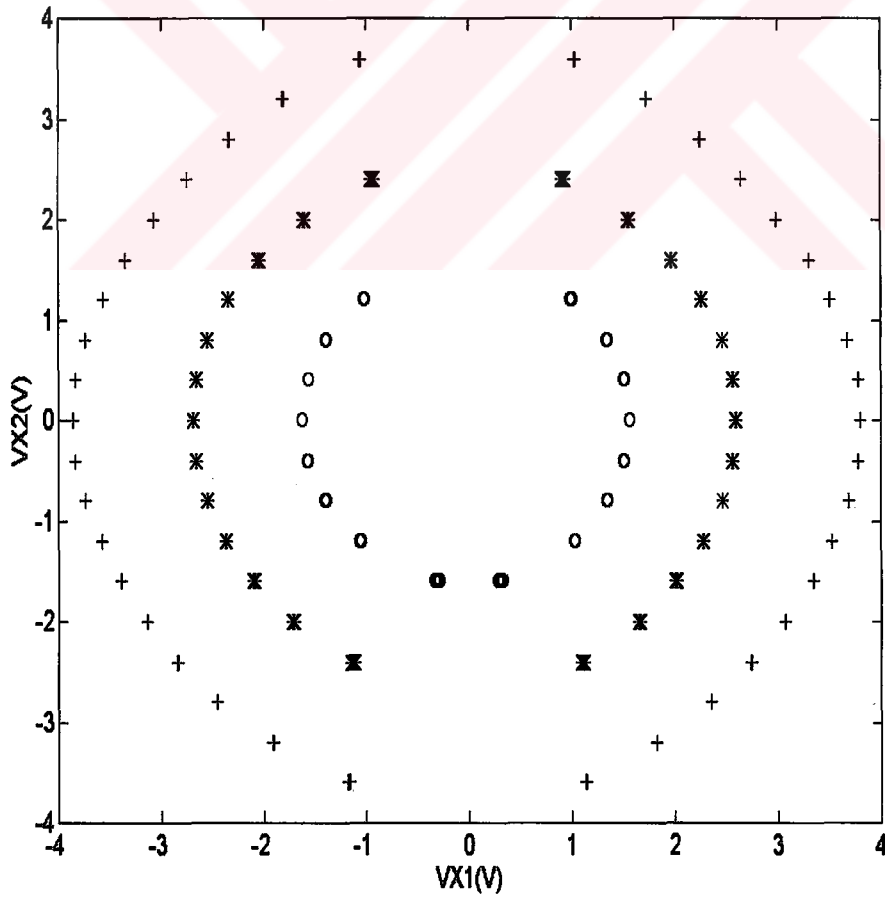
| | | | | | | | | | | |
|----------|------|------|-----|------|-----|-----|-----|------|------|------|
| VX2(V) | 0.4 | 0.8 | 1.2 | 1.6 | 2 | 2.4 | 2.8 | 3.2 | 3.6 | 4 |
| Iout(uA) | 1.34 | 2.63 | 3.9 | 5.03 | 6.3 | 7.4 | 8.5 | 9.50 | 10.5 | 11.5 |

Tablo 6.2'den görüldüğü gibi simetrik giriş gerilimleri için oluşan hatanın değeri %1'den daha düşük olmaktadır. Şekil 5.14'de verilen vektörel toplama devresinin dinamik çalışma aralığının geniş olması, kanal boyu modülasyonunun etkisinin az olması ve aynı zamanda temel hücrelerinde yer alan transistörlerinin kuyu içinde gerçekleştirilme şartı olmaması bu devreyi şekil 5.13'de verilen diğer vektörel toplama devresine nazaran çok daha üstün kılmaktadır. Bu unsurları göz önünde bulundurarak şekil 6.1'da verilen blok devrede yer alan vektörel toplama devresi için şekil 5.14'deki devreyi kullanmak bizi optimum bir tasarıma götürür.

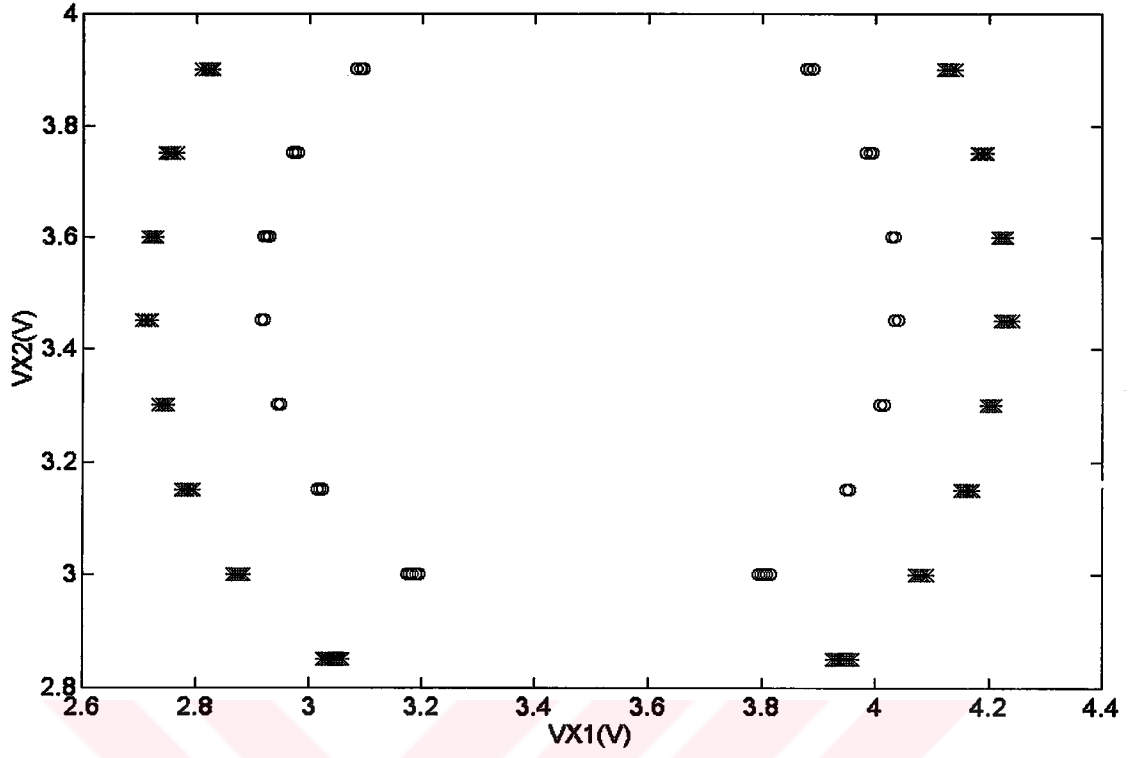
Şekil 6.23'de verilen şekli, şekil 6.11'de izlenen yolla üç sabit çıkış akımı için ($5\mu A, 8\mu A, 11\mu A$) paralel doğrularla bölecek olursak. Sabit bir çıkış akımı ve sabit $VY1, VY2$ değerleri için elde edilen $VX1, VX2$ değerleri düzlemde daire denkleminde uyacak şekilde yer alırlar. Şekil 6.23'den elde edilen verilerin, şekil 6.24'de üç boyutlu uzayda, şekil 6.25'de ise düzlemde aldığı konumlar gösterilmiştir.



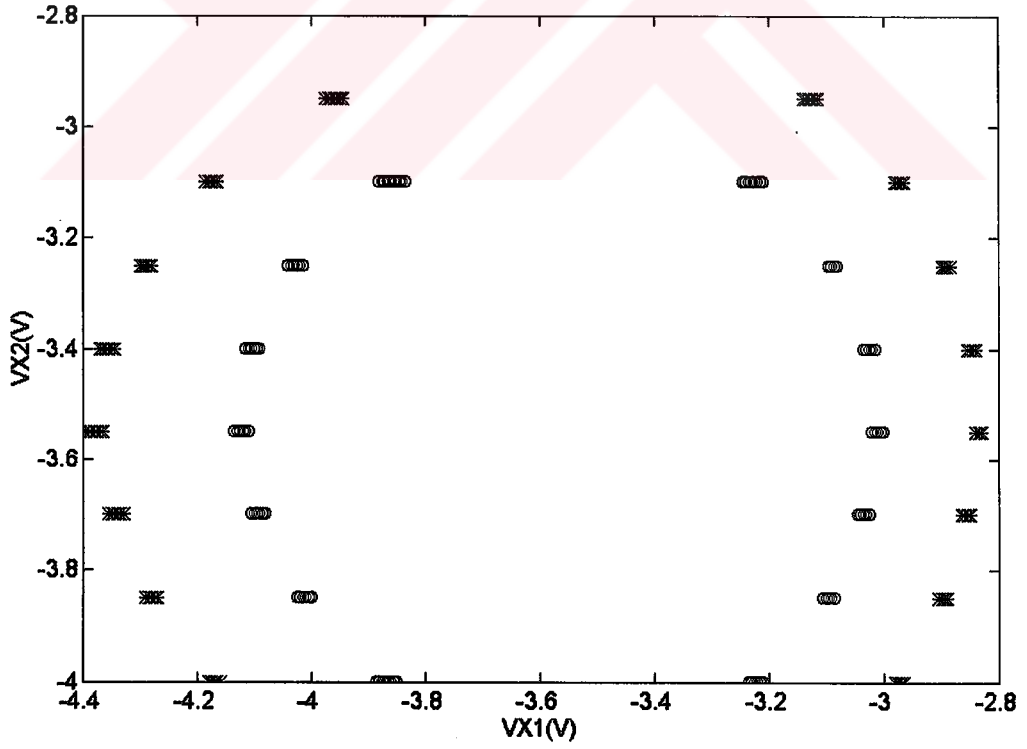
Şekil 6.24.



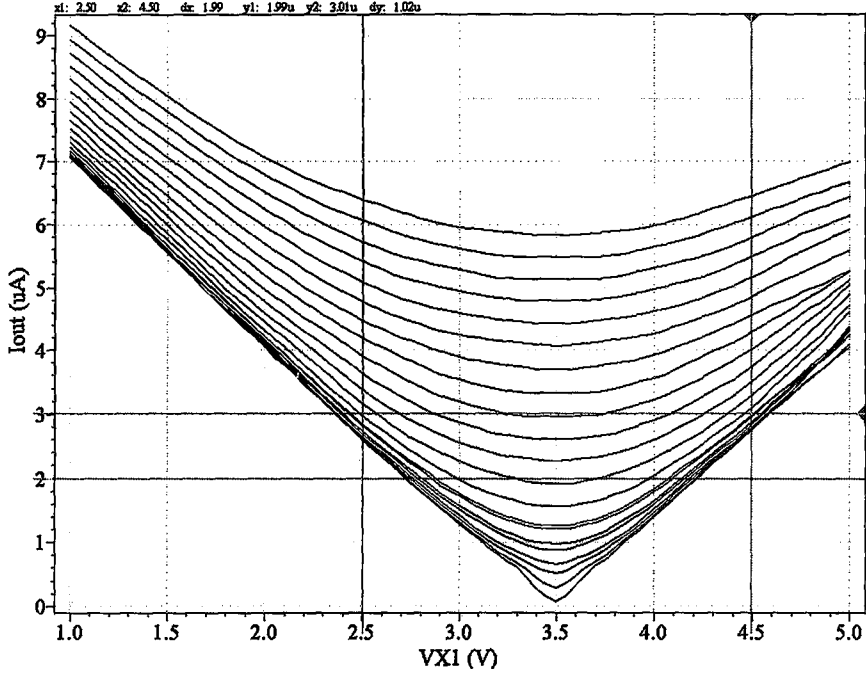
Şekil 6.25.



Şekil 6.26. $VY1=VY2=3.5V$ için girişlerin düzlemde gösterimi.

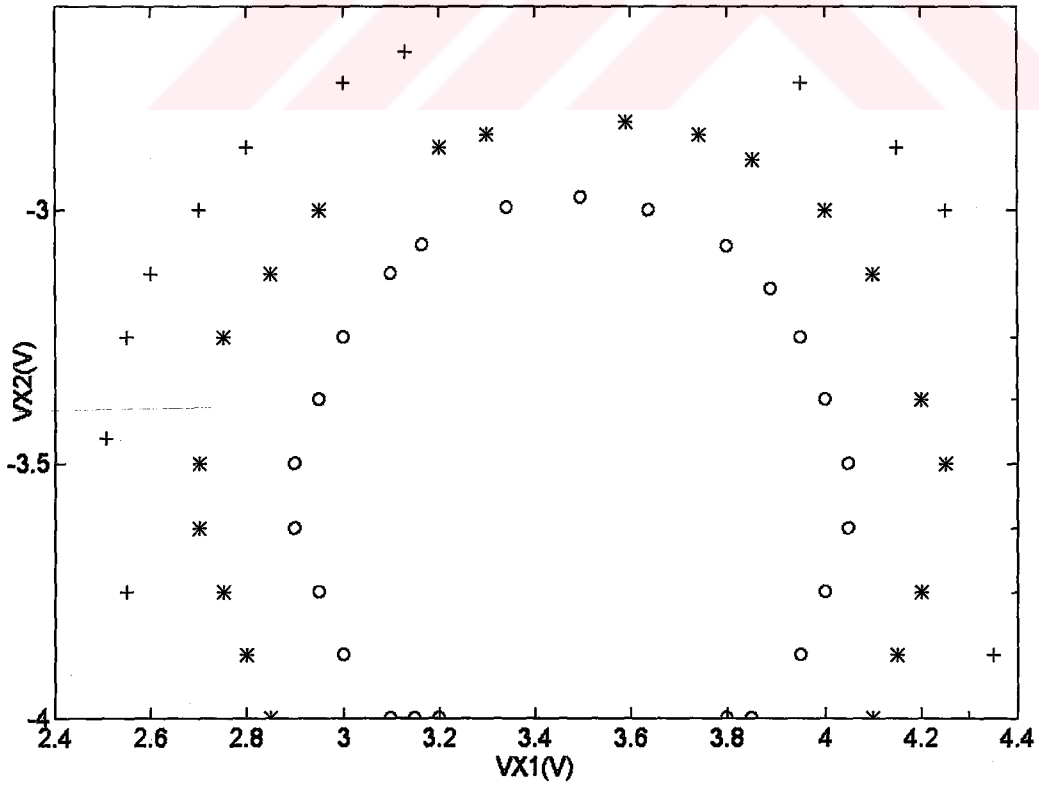


Şekil 6.27. $VY1=VY2=-3.5V$ için girişlerin düzlemde gösterimi.

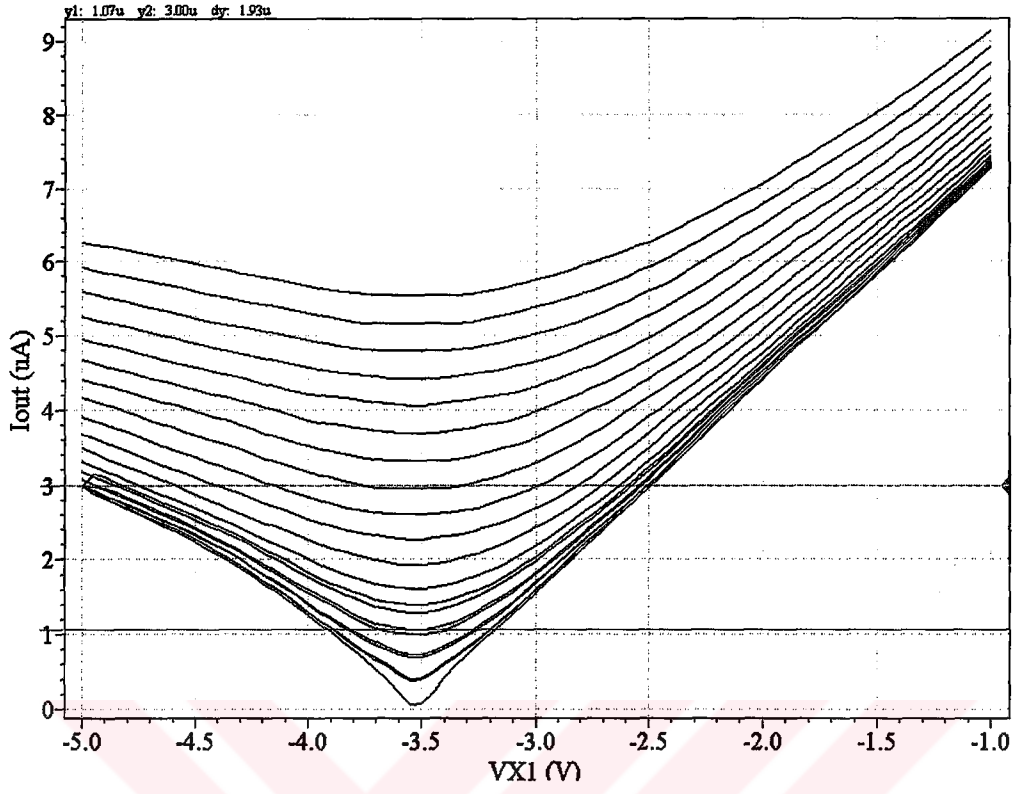


Şekil 6.28. $V_{Y1}=3.5V$, $V_{Y2}=-3.5V$ için dc analiz sonucu.

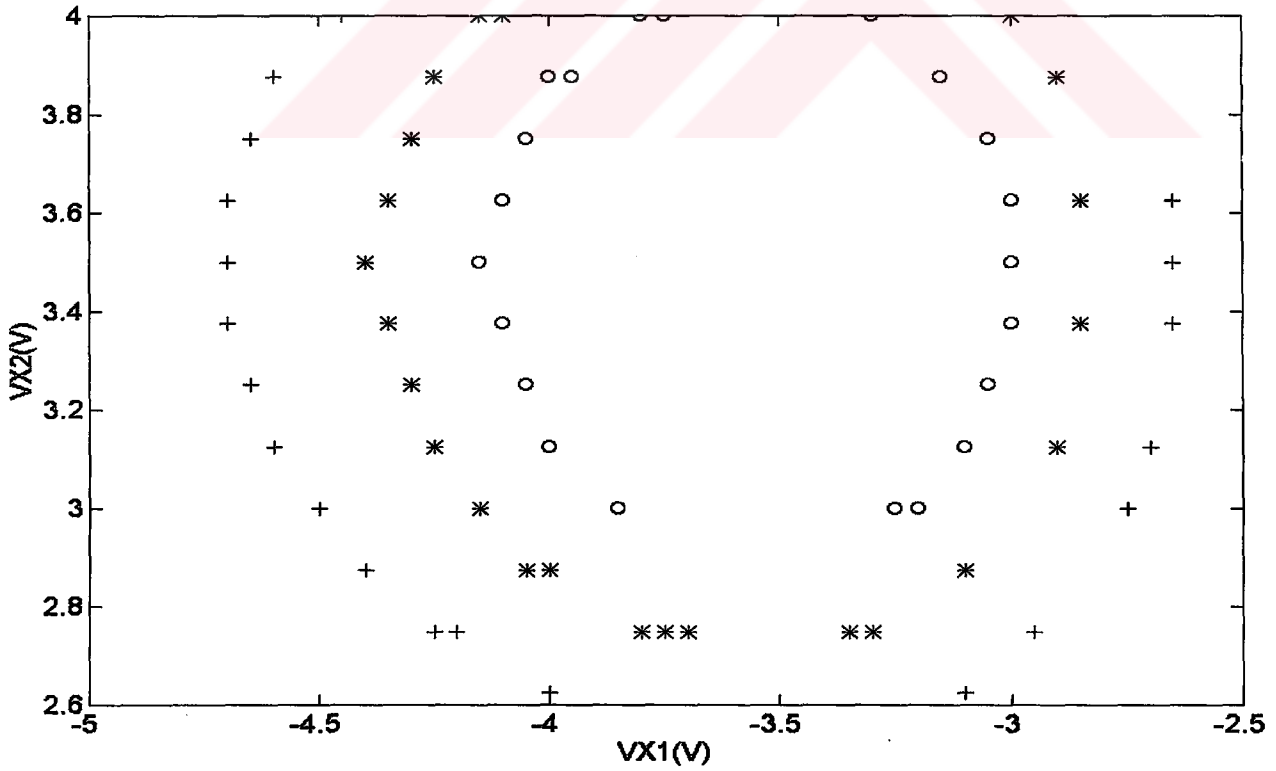
Aşağıda ise şekil 6.28'den elde ve aynı çıkışı veren girişlerin düzlemdeki şekli verilmiştir.



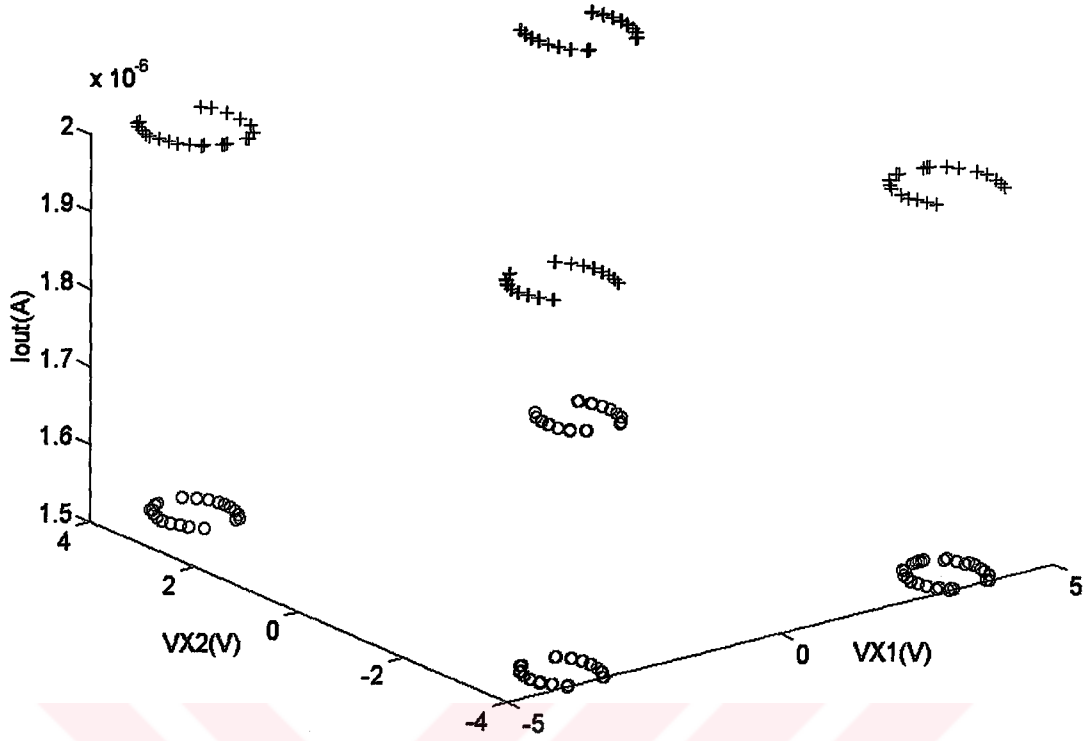
Şekil 6.29. $V_{Y1}=3.5V$, $V_{Y2}=-3.5V$ için dc analiz sonucu elde edilen verilerin düzlemde aldığı şekiller.



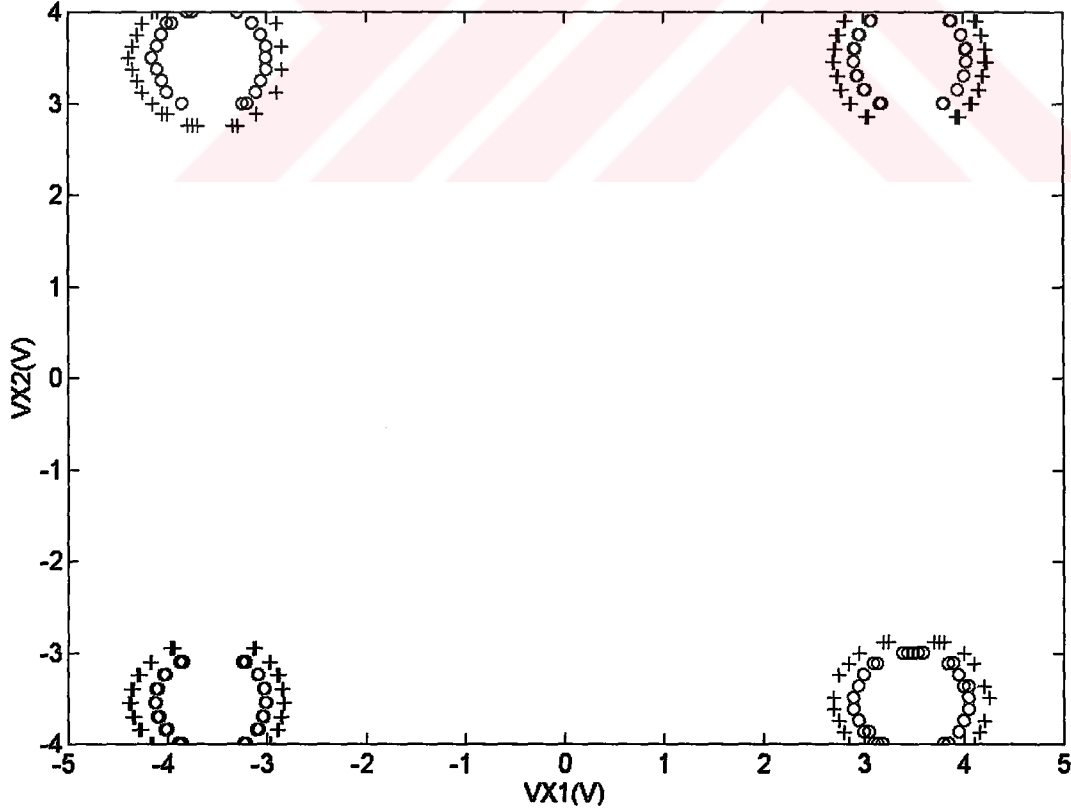
Şekil 6.30. $VY1=-3.5V$, $VY2=3.5V$ için dc analiz sonucu.



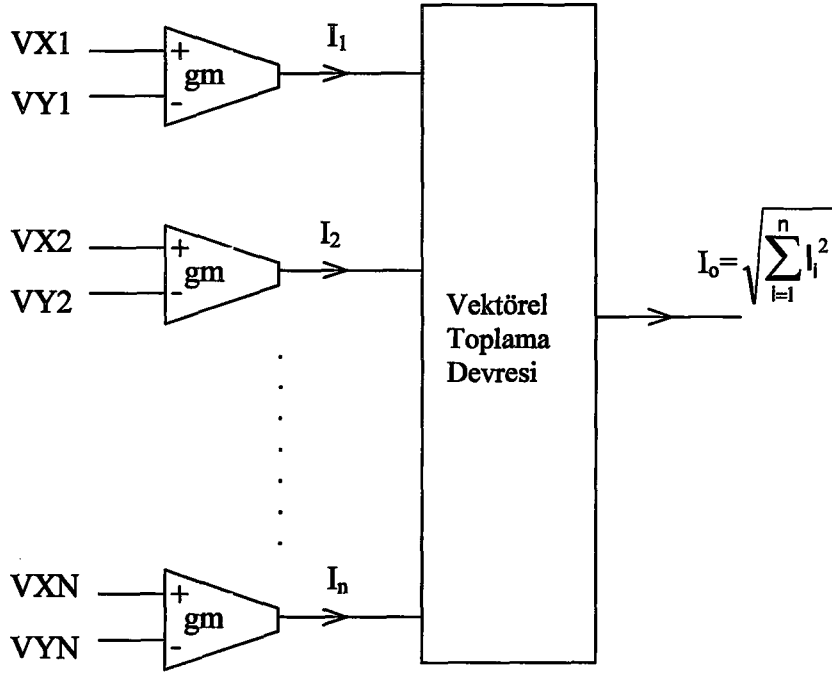
Şekil 6.31. $VY1=-3.5V$, $VY2=3.5V$ için dc analiz sonucu elde edilen verilerin düzlemde yer aldığı noktalar.



Şekil 6.32. Şekil 6.26,27,29 ve 31'den elde edilen verilerin üç boyutlu uzayda toplu gösterimi.



Şekil 6.33. Şekil 6.32'nin düzlemde gösterilmesi.



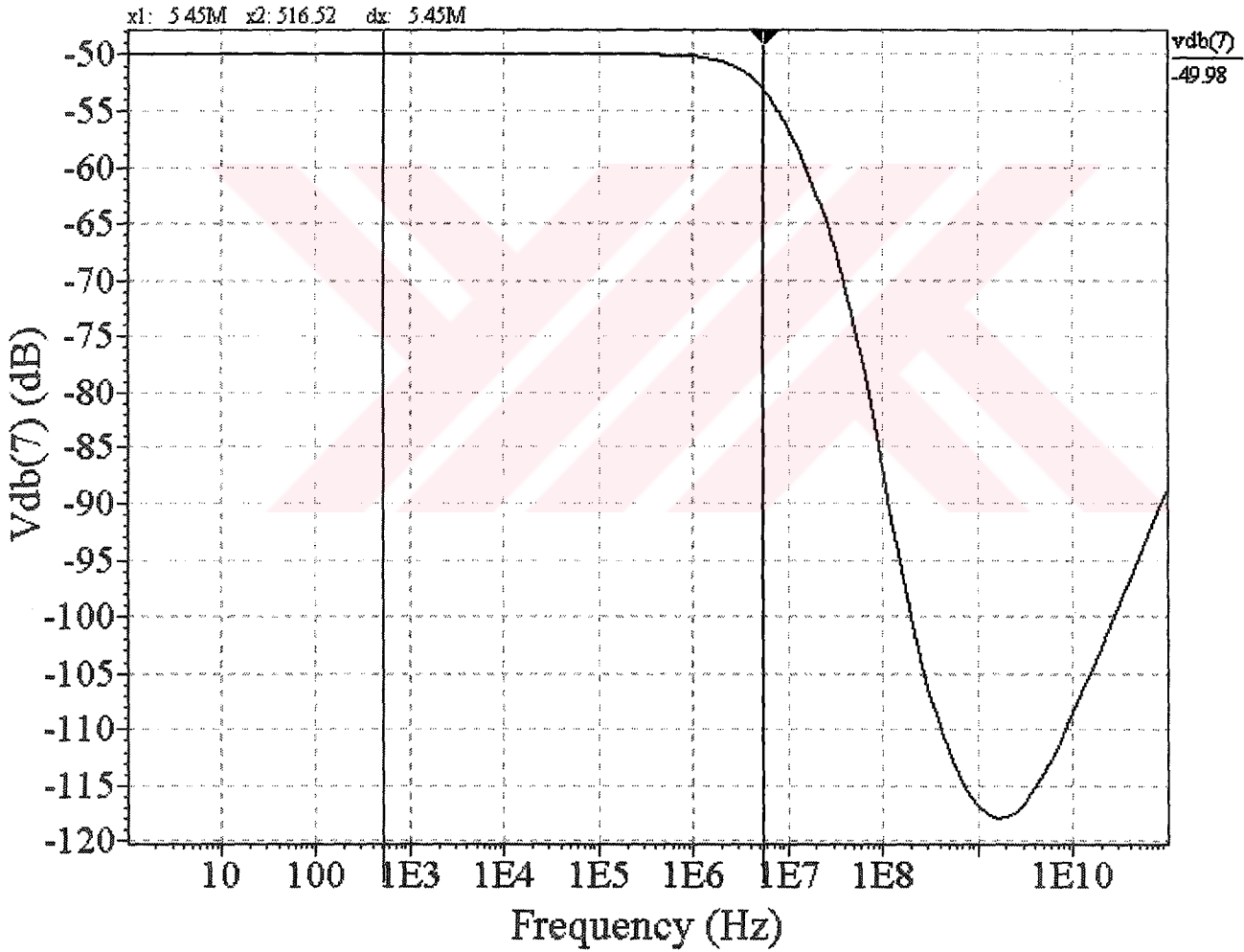
Şekil 6.34. N girişli durum için blok diyagramı.

N boyutlu giriş vektörleri için şekil 6.34'de verilen blok kullanılır.

Tasarlanan devrelere ait AC analiz sonuçları ise aşağıda verildiği gibidir.

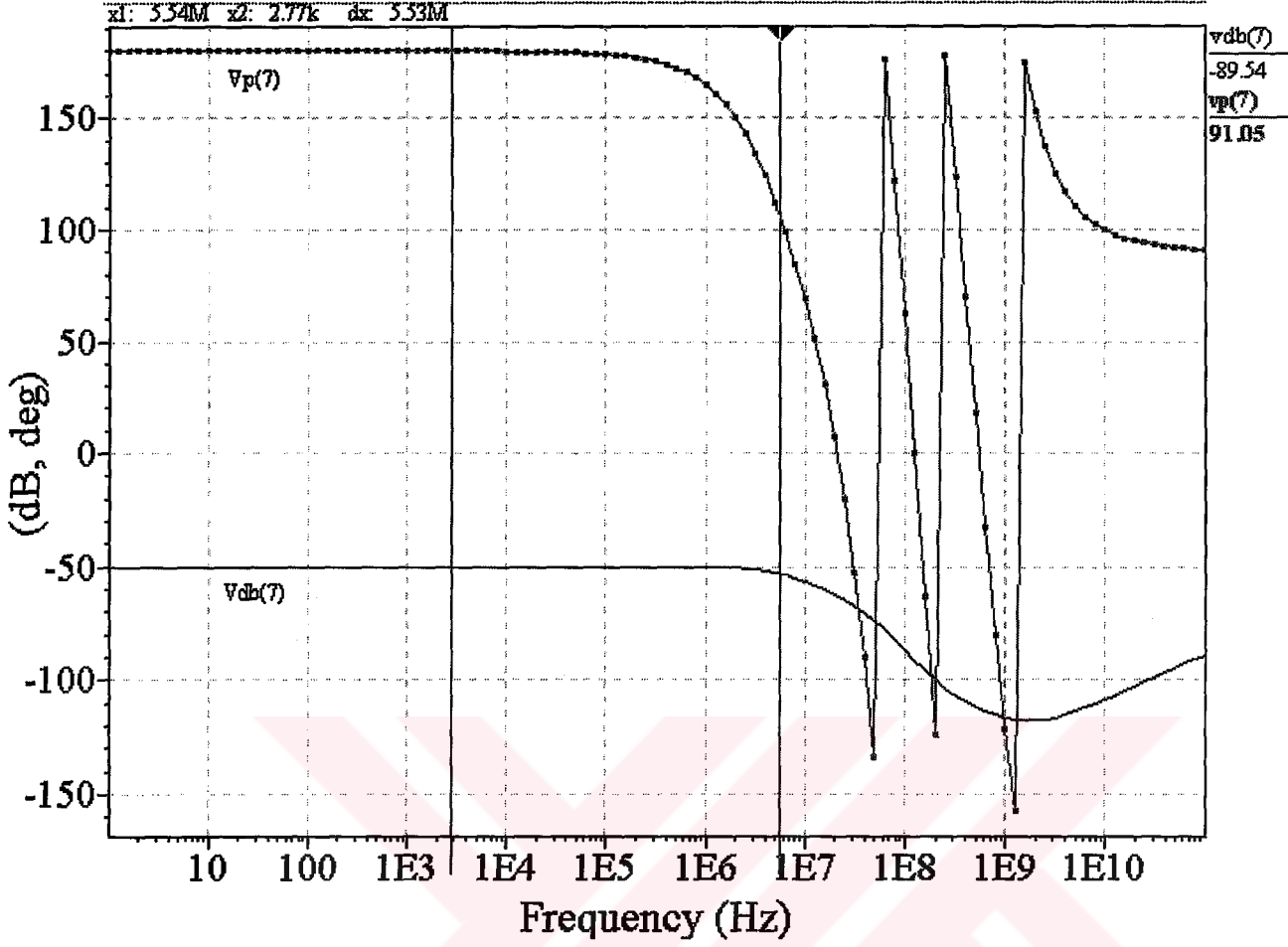
Şekil 6.35'de, Öklid mesafesini ölçmede kullanılan blok devrede, MTL yapısı ile gerçekleştirilen vektörel toplama devresinin kullanılması durumunda elde edilen genlik diyagramı görülmektedir. Grafiklerden, band genişliği 5.5MHz olarak ölçülmüştür.

Şekil 6.35 için, $VY1=VX2=VY2=1V$ alınıp çıkışa $1K\Omega$ 'luk direnç bağlanmıştır. $VX1$ ucuna ise AC işaret uygulanmıştır.



Şekil 6.35.

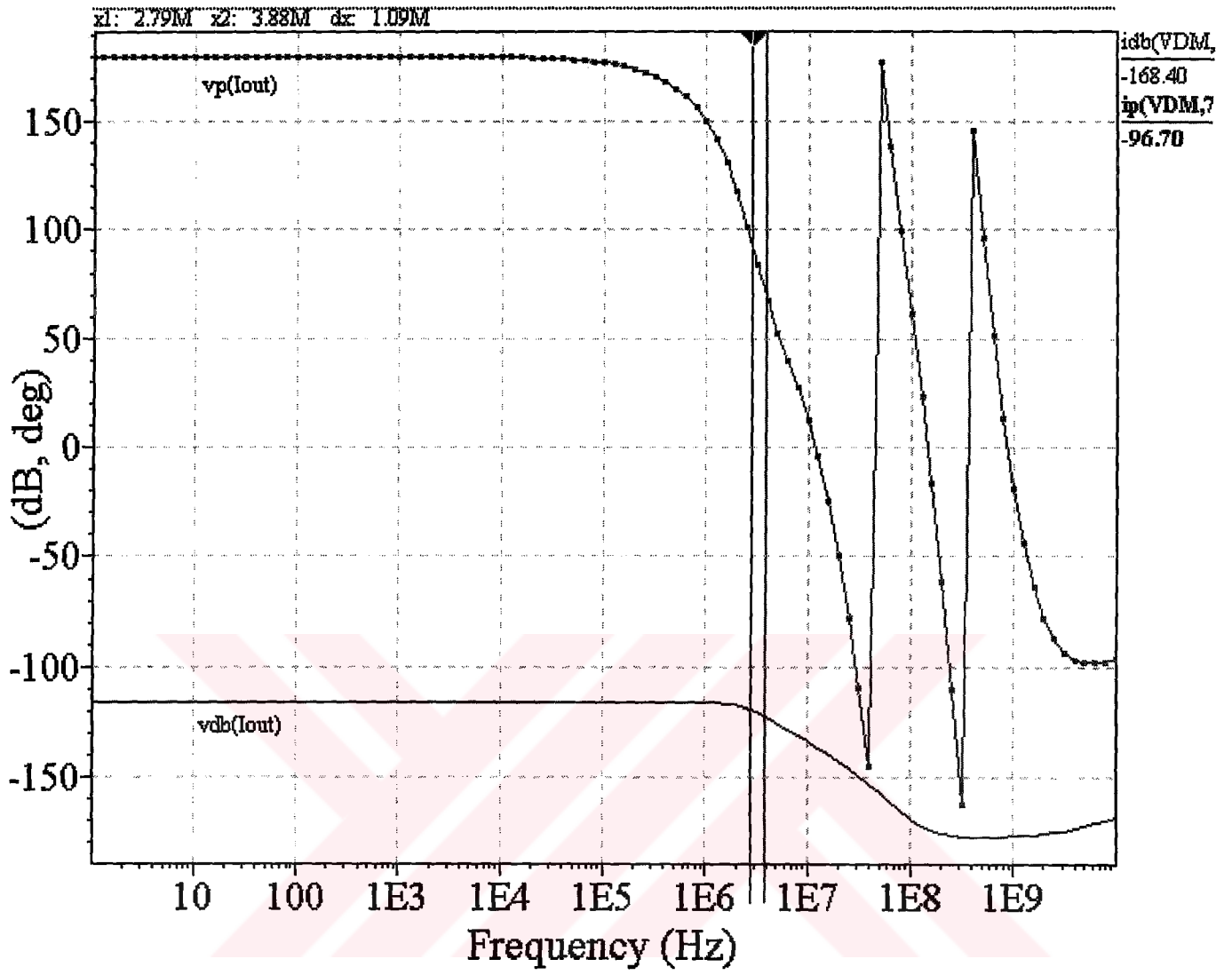
Elde edilen faz karakteristiği ise şekil 6.36' da verildiği gibidir.



Şekil 6.36.

Şekil 6.37'de ise, şekil 6.1'deki blok devrede, otomatik kutuplamalı vektörel toplama devresinin kullanılması durumunda, elde edilen genlik ve faz diyagramı görülmektedir. Grafiklerden, band genişliği 2.8MHz olarak ölçülmüştür.

Şekil 6.37 için, $VY1=VX2=VY2=0.5V$ alınıp, $VX1$ ucuna ise AC işaret uygulanmıştır.



Şekil 6.37.

7. LAYOUT TASARIMI

Devrenin analog yapıda olması ve en küçük kırmık alanının kullanılması amaçlandığı için layout full-custom olarak tasarlanmıştır. Layout; devrede kullanılan transistorların kırmık üzerindeki gerçek görünümelerini ve birbirleriyle bağlantılarını vermektedir.

İlk olarak; devre kağıt üzerinde tasarlanarak L-Edit programı ile bilgisayara aktarılmıştır. Bigisayara aktarıldıktan sonra DRC (Design Rule Checking) ile geometrik tasarım kurallarına aykırı bir durumun olup olmadığı test edilir. DRC sonucunda herhangi bir hata mesajı oluşmazsa, CE (Circuit Extraction) ile de hazırlanan layouta karşılık düşen SPICE dosyası oluşturulur. Oluşturulan SPICE dosyasının T-Spice ile simülasyonu yapıp, devrenin Öklid mesafesini hesaplayıp hesaplamadığı test edilir.

7.1. Geometrik Tasarım Kuralları

Yital tek poli-tek metal 3μ CMOS N-WELL prosesi baz alınarak kullanılan tabakalar ve bu tabakalara ait sınırlamalar EK 5'de verilmiştir.

7.2. Tasarımda Kullanılan Katmanlar

Bu bölümde örnek olarak verilen geometrik ölçüler YİTAL 3u CMOS prosesinde kullanılan ölçülerdir. Bir devrenin layout'u çizilirken şu unsurların bilinmesi gerekir;

A) Aktif tabaka: Aktif tabakanın minimum genişliği $3\mu\text{m}$ iken iki aktif bölge arasındaki minimum mesafe $4\mu\text{m}$ 'dir. Elektriksel olarak birbirinden ayrılmış iki aktif tabaka arasındaki mesafenin belirlenmesi yalnız prosesin geometrik çözünürlüğüne bağlı değildir, aynı zamanda oluşturulan elemanların fizikine de bağlıdır. Eğer katkılanmış iki aktif bölge birbirine çok yakınsa, birbiriyle örtüşecek olan fakirleşmiş bölgelerden dolayı aktif tabakalar arasında istenmeyen akımlar akacaktır. Katkılı bir bölgeye ilişkin olan fakirleşmiş bölgenin genişliği ise, o bölgeye uygulanan gerilimin fonksiyonudur. İki ayrı aktif tabaka düşünülecek olunursa, bu aktif bölgeler arasındaki yüzeyin katkı yoğunluğu

yüksek tutularak ve alan oksidi kullanılarak oluşacak olan fakirleşmiş bölgelerin örtüşmesi engellenir.

B) Polysilicon tabaka: Polysilicon tabaka için minimum genişlik $3\mu\text{m}$ 'dir. Polysilicon hatlarla ilgili olarak, aktif tabakalar için söz konusu olan durum mevcut olmadığından dolayı, iki polysilicon hat arasındaki mesafe ($3\mu\text{m}$), aynı katkılı iki aktif tabaka arasındaki mesafeden ($4\mu\text{m}$) daha azdır.

C) Polysilicon ve aktif tabakalar: Layout çiziminde karşılaşılan durumlardan biri de bu iki tabakanın birbirleriyle olan etkileşimidir. Bu iki bölgenin birbirine paralel olması durumunda istenilen tek şey girişimin olmamasıdır. Oluşabilecek ikinci durum ise, örtüşmenin oluşmasıdır. Bu ikinci durumda geçit polysilicon bölgesinin iki yanında bulunan aktif bölgeler kaynak ve savak olarak adlandırılır. Dolayısıyla bu örtüşme ile transistor oluşturulur. Geçit poly'sinin aktif bölge sınırından oluşabilecek minimum taşması $3\mu\text{m}$ 'dir. Analog devre tasarımlarında kanal uzunluğu genellikle minimum kanal uzunluğunun iki katından fazla seçilir.

D) Metal: Bu tabakanın serileceği yüzey şeklinin diğer katmanlara nazaran daha çok engebeli olmasından dolayı, metal tabakanın minimum genişliği ($4\mu\text{m}$), genellikle polisilyum tabakasının minimum genişliğinden ($3\mu\text{m}$) daha fazladır.

E) Kontaklar: Metal tabaka ile katkılı tabaka veya polysilicon tabakası arasında kontak maskesi kullanılarak kontak oluşturulur.

F) Kuyu(Well): Kuyu düşük katkılı bir derin difüzyondur. Kuyunun sınırları, taban ile birlikte bir jonksiyon oluşturur. P-tipi transistörler elde etmek amacıyla n-kuyu kullanılır. Kuyuların elektriksel olarak yalıtılması için birbirlerinden $14\mu\text{m}$ kadar uzakta oluşturulmalıdırlar. Kuyu dışındaki n-tipi bölgenin, kuyudan elektriksel olarak yalıtılması için, kuyudan en az $10\mu\text{m}$ mesafe uzakta olmalıdır.

G) Select: P+ Select bölge içindeki aktif bölgeler p-tipi, dışındakiler ise n-tipidir. Bu kural sayesinde aktif bölgelerin türü karışıklık olmadan anlaşılır. Select bölgesi sınırından

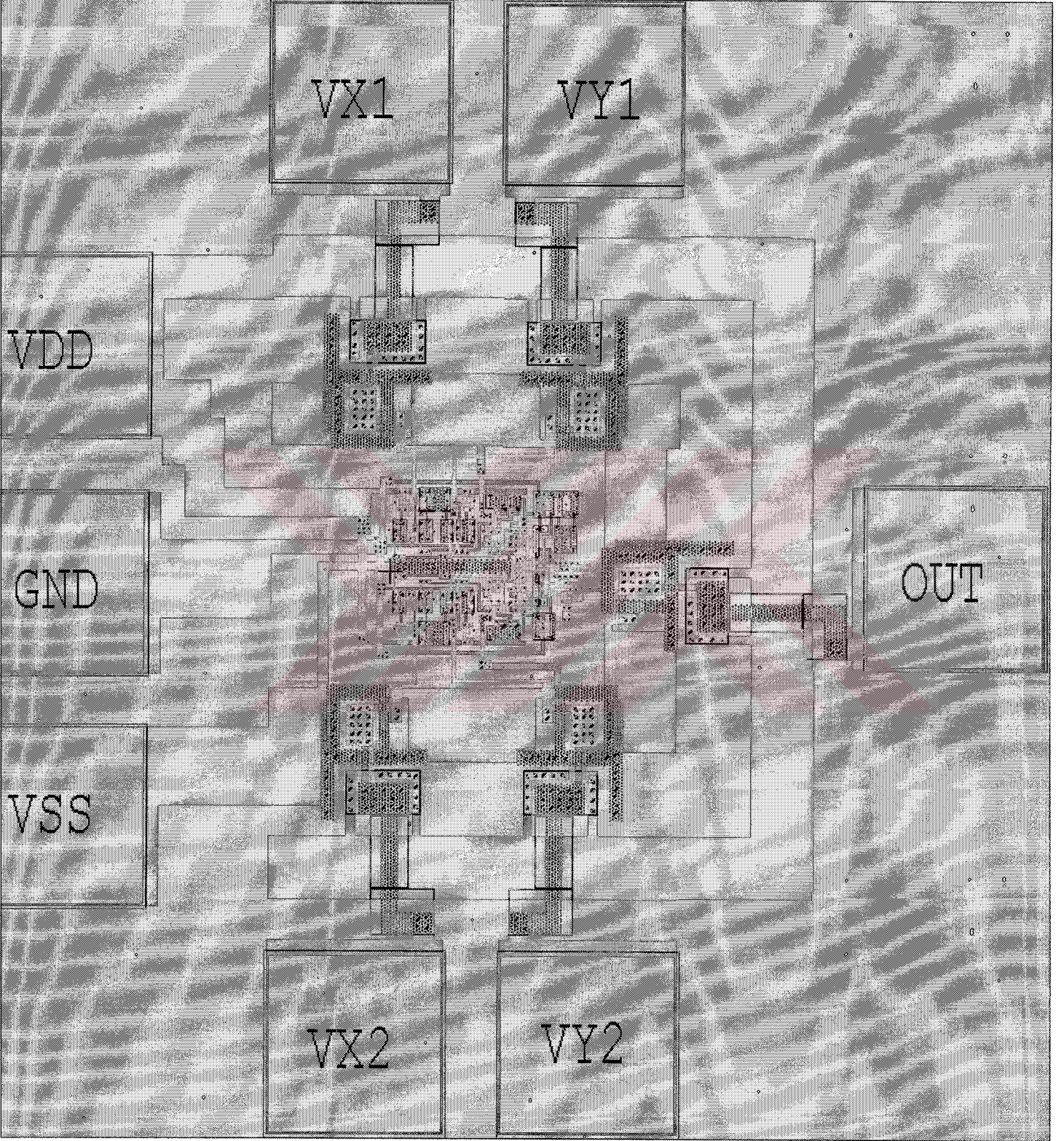
gececek olan aktif tabaka bir diyot oluşturur. Oluşan bu diyotun belli bir özelliğe sahip olması istenilmez. Bu türden diyotlar kısa devre durumunda layoutta yer alırlar.

H) Kuyu kontakları: Kuyu düşük katkılı olduğundan, kuyuya doğrudan yapılacak olan kontak iyi bir elektriksel bağlantı sağlamaz. Bu yüzden n^+ katkılı bölge n -kuyu içine yerleştirilir ve kontak n^+ bölgesinden alınır.

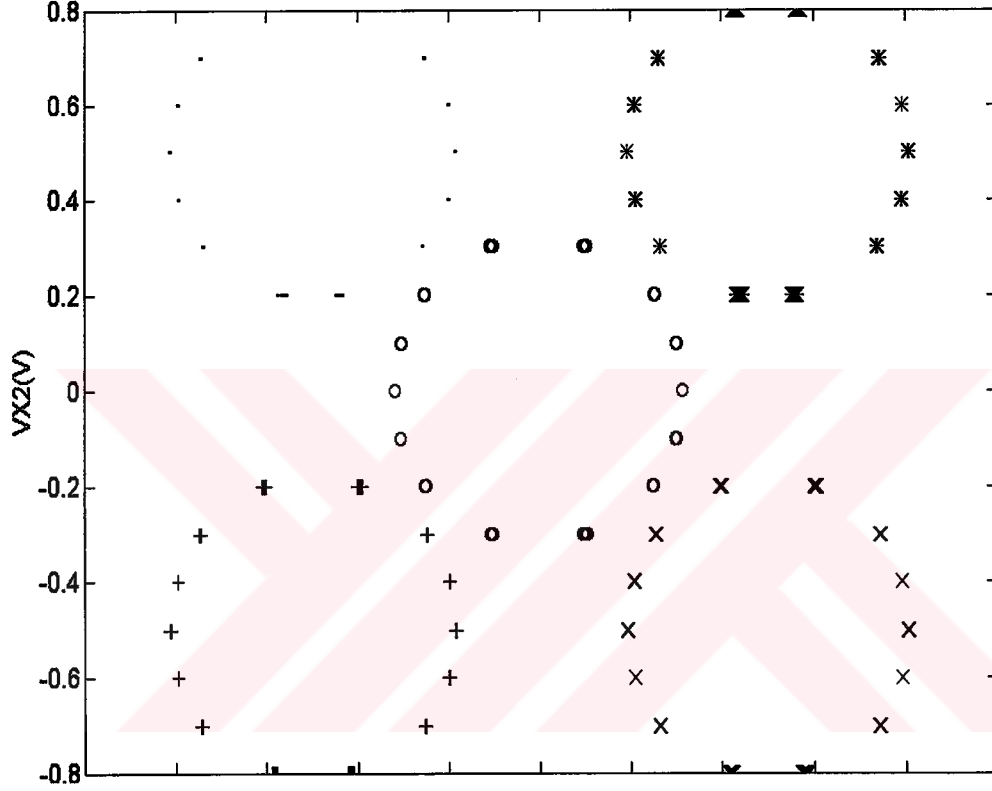
I) Taban Kontakları: Kuyuda geçerli olduğu gibi, taban içinde basit bir şekilde silisyum yüzeyinden kontak alınarak tabana olan elektriksel bağlantı garanti edilemez. Dolayısıyla p^+ katkılı bir bölge p -tipi tabanda oluşturulurup kontak alınır.



Şekil 7.1. Şekil 6.1’de verilen Öklid mesafesini hesaplama devresine ait layout.



Şekil 7.1’de, şekil 6.2 ve şekil 6.5’in birlikte kullanılmasıyla oluşturulan Öklid mesafesi hesaplama devresine ait layout verilmiştir. Layoutu oluşturulan devreye ait SPICE dosyası EK 6’ da verilmiştir. Bu dosyanın T-Spice simülasyon sonucu ise şekil 7.2.’de görülmektedir. Şekil 7.2 ile şekil 6.19 karşılaştırılırsa postsimülasyonla elde edilen sonucun, devrenin layoutunu çizmeden önce elde edilen sonuçla aynı olduğu görülür.



Şekil 7.2. Layout sonrası elde edilen SPICE dosyasına ait simülasyon sonucu.

8. SONUÇLAR ve ÖNERİLER

Bu çalışmada, bazı yapay sinir ağlarında ihtiyaç duyulan Öklid mesafesini ölçen devrenin VLSI olarak gerçekleştirilmesi yapılmıştır.

Grafiklerle sunulan simülasyon sonuçlarından, devrenin verilen çalışma aralığında (-1V÷1V) istenilen fonksiyonu gerçekleştirdiği gösterilmiştir. Devre -5V,5V simetrik besleme gerilimi ile çalıştırıldığından, devrenin çalışma aralığının artırılmasına ihtiyaç duyulabilir. Bu durumda geçişiletkenliği devresinde yer alan akım aynalarının kanal genişliği ve kanal boyu ayarlanarak bu bloğa ilişkin çıkış akımını düşürme yoluna gidilebilir.

DC analizden elde edilen grafiklere bakıldığında, otomatik kutuplamalı vektörel toplama devresiyle yapılan tasarımda, devreye ait dengesizlik bileşeni görülmemektedir. Bununla beraber, mutlak değerce aynı olan VX2 giriş gerilimleri altında elde edilen grafiklere bakıldığında bir hata gözükmemektedir. Bu hatanın değeri ise verilen çalışma aralığında %2'den daha düşük olarak ölçülmüştür. Bu hataya sebep olan temel bileşen ise kanal boyu modülasyonudur. Devre, gövde etkisinden kaynaklanabilecek distorsiyonu en aza indirmek için PMOS transistörlerin kuyularda gerçekleştirilebileceği biçimde tasarlanmıştır. Ayrıca kanal boyu modülasyonunun etkisini azaltmak için de, transistörler için kanal boyu yüksek seçilmiştir.

MTL yapısıyla gerçekleştirilen tasarımda ise kanal boyu modülasyonundan kaynaklanan lineersizlik, verilen çalışma aralığının çok daha üstünde %1 seviyesinin altında ölçülmüştür. Aynı zamanda transistörlerin kuyuda gerçekleştirilme şartı olmadığından band genişliği çok daha yüksektir.

KAYNAKLAR

- [1] Allen P.E. ve Holberg D.R., (1987) CMOS analog circuit design. New York: Holt, Rinehart and Winston, 1987
- [2] Anderson J., Platt J. C. ve Kirk D. B., " An analogue VLSI chip for radial basis functions," Synaptics, Inc. San Jose.
- [3] Bult K. ve Wallinga H., (1987) " A class of analog CMOS circuits based on the square-law characteristic of an MOS transistor in saturation," IEEE J. Solid-State Circuits, vol.22, no. 3, pp. 357-364 June 1987.
- [4] Chen C.-Y., Huang C.-Y. ve Liu B.-D., (1997) "Current-mode defuzzifier circuit to realize the centroid strategy," IEE Proc.-Circuits Devices Syst., Vol. 144, No. 5, October 1997
- [5] Chen L. ve Kwok H.L., (1996) " Design and fabrication of a GaAs weight-summation circuit (WSC) for use in neural networks," Int.J:Elektronics, vol. 81, No. 2, pp.177-186, 1996
- [6] Chiu W., Liu S.-I., Tsao H.-W. ve Chen J.-J., (1996) "CMOS differential difference current conveyors and their applications," IEE Proc.-Circuits Devices Syst., Vol. 143, No. 2, April 1996
- [7] Choi J., Sheu B. J. ve Josephine C.-F.-Chang, (1994) " A Gaussian synapse circuit for analog VLSI neural networks," IEEE Trans. VLSI Syst, vol. 2, No. 1, March 1994
- [8] Churcher S., Murray A.F. ve Reekie H.M., (1993) "Programmable analogue VLSI for radial basis function networks," Electr.Lett., vol.29, no. 18, September 1993.
- [9] Filanovsky I.M. ve Baltes H.P., (1992) " Simple CMOS analogue square-rooting and squaring circuits," IEEE Trans. Circuits Syst., vol.39, no. 4, pp. 312-315 April 1992
- [10] Huang S.C. ve Ismail M., (1993) "Linear tunable COMFET transconductors," Electron. Lett., vol. 29, pp. 459-461, March 1993.
- [11] Ismail M. ve Fizz T., (1994) Analog VLSI and signal processing
- [12] Kahng D. ve Atalla M.M., (1960) "Silicon-silicon dioxide field induced surface devices," presented at the IRE Solid-State Device Res.Conf., Carnegie Inst. Technol.,Pittsburgh, PA, 1960.
- [13] Khachab N.I. ve Ismail M., (1991) "A nonlinear CMOS analog cell for VLSI signal and information processing," IEEE J. Solid-State Circuits, vol.26, no. 11, pp. 1689-1699 November 1991.

[14] Kohonen, T., (1988) 'Self-organization and associative memory' (Springer-Verlag, Berlin 1988), pp. 119-157.

[15] Landolt O., Vittoz E. ve Heim P., (1992) "CMOS selfbiased euclidean distance computing circuit with high dynamic range," *Electr.Lett.*, vol.28, no. 4, February 1992.

[16] Lin S.-Y., Huang R.-J. ve Chiueh T.-D., (1998) " A tunable Gaussian/square function computation circuit for analog neural networks," *IEEE Trans. Circuits Syst.*, vol.45, no. 3, pp. 441-446 March 1998

[17] Liu S.-I. ve Chang C.-C., (1996) " A CMOS Square-law vector summation circuit," *IEEE Trans. Circuits Syst.*, vol.43, no. 7, pp. 520-524 July 1996

[18] Liu S.-I.,(1995) "Square-rooting and vector summation circuits using current conveyors," *IEE Proc.-Circuits Devices Syst.*, Vol. 142, No. 4, August 1995

[19] Madrenas J., M Verleysen., Thissen P. ve Voz J.L., (1996) " A CMOS analog circuit for Gaussian function," *IEEE Trans. Circuits Syst.*, vol.43, no. 1, pp. 70-74 January 1996

[20] M.J.D: Powell, (1989) "Implicaions of recursive distributed representatons." In D. Touretzky, editor. *Advances in Neural Information Processing Systems*, 1, pp. 527-536. Morgan Kaufmann, 1989.

[21] Moody J. ve Darken C.J., (1988) "Learning with localized receptive fields," In *Proceedings of the 1988 Connectionist Models Summer School*, pp. 133-143. 1988.

[22] Moody J. ve C.J.Darken, (1989) "Fast learning in networks of locally-tuned processing units," *Neural Computation*, 1:281-293, 1989.

[23] Pammu S. ve Quigley S.F., (1995) " Novel analogue CMOS defuzzification circuit," *IEE Proc.-Circuits Devices Syst.*, Vol. 142, No. 3, June 1995

[24] Poggio T. ve Girosi F., (1990) "Networks for approximation and learning," *Proc. IEEE*, vol. 78, no.9, pp. 1481-1497, Sept. 1990.

[25] Seevink E. ve Wassenaar R.F., (1987) " A versatile CMOS Linear tranconductor/square-law function circuit," *IEEE J. Solid-State Circuits*, vol.22, no. 3, pp. 366-377 June 1987.

[26] Theogarajan L. ve Akers L.A., (1997) " A scalable low voltage analog-Gaussian radial basis circuit," *IEEE Trans. Circuits Syst.*, vol.44, no. 11, pp. 977-979 November 1997

[27] Vilademirescu A. ve Liu S., (1980) *The simulation of MOS integrated circuits using PSPICE2*, Electronics Research Laboratory, University of California Berkeley, 1980.

[28] Wallinga H. ve Bult K., (1989) “ Design and analysis of CMOS analog signal processing circuits by means of a graphical MOST model”, IEEE J.Solid-State Circuits, Vol. SC-24, pp. 672-680, 1989.

[29] Wiegerink J. Remco, (1993) Analysis and synthesis of MOS translinear circuits, Kluwer Academic Publishers.

[30] Wiegerink R. J., Seevinck E., (1991) “ Generalized translinear circuit principle”, IEEE J. Solid-State Circuits, vol. SC-26, pp. 1098-1102, 1991.

[31] Yildırım T. ve Marsland J.S., (1997) “A unified framework for connectionist models,” July, 1997



EKLER

- Ek 1 SPICE model parametreleri
- Ek 2 Geçişiletkenliđi devresine ait SPICE dosyası
- Ek 3 Otomatik kutuplamalı vektörel toplama devresine ait SPICE dosyası
- Ek 4 Otomatik kutuplamalı vektörel toplama devresi kullanılarak gerçekleştirilen Öklit mesafesi hesaplama devresine ait SPICE dosyası
- Ek 5 TÜBİTAK-YİTAL 3um Poli Geçitli CMOS Prosesi Tasarım Kuralları
- Ek 6 Layoutu Tasarlanan Devreye Ait SPICE Dosyası (Şekil 7.1)
- Ek 7 MTL yapısı ile gerçekleştirilen vektörel toplama devresine ait SPICE dosyası
- Ek 8 MTL yapısı kullanılarak gerçekleştirilen Öklit mesafesi hesaplama devresine ait SPICE dosyası



Ek 1 SPICE Model Parametreleri

| İsim | Model Parametresi | Birim |
|--------|---|------------------------|
| LEVEL | Model tipi (1,2 veya 3) | |
| L | Kanal Uzunluğu | μm |
| W | Kanal Genişliği | μm |
| LD | Lateral difüzyon uzunluğu | μm |
| WD | Lateral difüzyon genişliği | μm |
| VTO | Eşik gerilimi | Volt |
| KP | Geçiş iletkenliği | Amp/Volt ² |
| GAMMA | Taban eşik parametresi | Volt ^{1/2} |
| PHI | Yüzey potansiyeli | Volt |
| LAMBDA | Kanal uzunluğu modülasyonu (Level 1,2) | Volt ⁻¹ |
| RD | Savak ohmik direnci | Ohm |
| RS | Kaynak ohmik direnci | Ohm |
| RG | Geçit ohmik direnci | Ohm |
| RB | Taban ohmik direnci | Ohm |
| RDS | Savak-Kaynak şönt direnci | Ohm |
| RSH | Savak-Kaynak difüzyon tabakası direnci | Ohm/kare |
| IS | Taban pn doyma akımı | Amp |
| JS | Taban pn doyma akımı alanı | Amp.metre ² |
| PB | Taban pn potansiyeli | Volt |
| CBD | Taban-Savak sıfır kutuplama pn kapasitesi | Farad |
| CBS | Taban-Kaynak sıfır kutuplama pn kap. | Farad |
| MJ | Taban pn dip derecelendirme sabiti | |
| MJSW | Taban pn yan duvar derecelendirme sabiti | |
| FC | Taban pn ileri kutuplama kapasite sabiti | |
| CGSO | Geçit - Kaynak örtüşme kapasitesi (Birim uzunluk için) | Farad/metre |

| İsim | Model Parametresi | Birim |
|-------|--|--------------------------|
| CGDO | Geçit - Savak örtüşme kapasitesi (Birim uzunluk için) | Farad/metre |
| CGBO | Geçit - Taban örtüşme kapasitesi (Birim uzunluk için) | Farad/metre |
| NSUB | Taban katkı yoğunluğu | 1/cm ³ |
| NFS | Sıkışmış yüzey yoğunluğu | 1/cm ² |
| NSS | Yüzey yoğunluğu | 1/cm ² |
| TOX | Oksit kalınlığı | metre |
| XJ | Metalurjik jonksiyon derinliği | metre |
| UO | Yüzey mobilitesi | cm ² /Volt sn |
| UCRIT | Mobilite azalma kritik alanı (LEVEL=2) | Volt/cm |
| UEXP | Mobilite azalma exponenti (LEVEL=2) | |
| CJ | Birim alan başına olan (sıfır öngerilim) eşik kapasitesi | F/m ² |
| CJSW | Birim uzunluk başına yan duvar (sıfır öngerilim) kapasitesi | F/m |
| VMAX | Maksimum kayma hızı | metre/sn |
| NEFF | Kanal şarj sabiti (LEVEL=2) | |
| DELTA | Eşikte genişlik etkisi | |
| THETA | Mobilite modülasyonu (LEVEL= 3) | Volt ⁻¹ |
| ETA | Statik geribesleme (LEVEL=3) | |
| KAPPA | Doyma alan faktörü (LEVEL=3) | |
| KF | Titreme gürültüsü sabiti | |
| AF | Titreme gürültüsü eksponenti | |

TÜBİTAK YİTAL 3um prosesi SPICE parametreleri

| Parametre | NMOS | PMOS | Birim |
|-----------|------|-------|-------|
| LEVEL | 3 | 3 | - |
| VTO | 0.55 | -0.91 | V |

| | | | |
|-------|----------|----------|--------------------|
| KP | 5.5E-5 | 1.5E-5 | A/V ² |
| GAMMA | 0.27 | 0.8 | V ^{1/2} |
| THETA | 0.065 | 0.14 | V ⁻¹ |
| XL | -2.00E-7 | -2.00E-7 | m |
| VMAX | 1.80E+5 | 0 | m/s |
| KAPPA | 0.3 | 0.15 | V ⁻¹ |
| ETA | 0.25 | 0.05 | - |
| JSW | 6.00E-12 | 3.00E-12 | A/m |
| DELTA | 0 | 0 | - |
| TOX | 4.28E-8 | 4.25E-8 | m |
| LD | 5.00E-7 | 4.20E-7 | m |
| XJ | 3.00E-7 | 5.00E-7 | m |
| CJ | 8.40E-5 | 3.07E-4 | F/m ² |
| MJ | 0.46 | 0.5 | - |
| CJSW | 2.71E-10 | 1.79E-10 | F/m |
| MJSW | 0.2 | 0.13 | - |
| RSH | 30 | 125 | Ohm/kare |
| NFS | 1.50E11 | 1.50E11 | 1/cm ² |
| JS | 1.00E-6 | 1.10E-6 | Amp/m ² |
| NSUB | 1E15 | 1E15 | 1/cm ³ |

Ek 2 Geçişiletkenliği Devresine Ait SPICE Dosyası

***** GEÇİŞİLETKENLİĞİ DEVRESİ (ŞEKİL 6.1.) *****

VSS 28 0 DC -5V

VDD 6 0 DC 5V

VKK 5 0 DC 0V

V1 1 0 DC 0V

V2 2 0 DC 0V

M1 9 1 3 3 PMOS L=9U W=3U

M2 6 3 7 28 NMOS L=3U W=45U

M3 3 3 6 6 PMOS L=9U W=3U

M4 10 2 4 4 PMOS L=9U W=3U

M5 6 4 8 28 NMOS L=3U W=45U

M6 4 4 6 6 PMOS L=9U W=3U

M7 10 5 7 7 PMOS L=9U W=3U

M8 9 5 8 8 PMOS L=9U W=3U

M9 9 9 13 28 NMOS L=9U W=30U

M10 11 9 14 28 NMOS L=9U W=30U

M15 13 13 28 28 NMOS L=9U W=30U

M16 14 13 28 28 NMOS L=9U W=30U

M11 11 11 15 6 PMOS L=9U W=30U

M12 12 11 16 6 PMOS L=9U W=30U

M17 15 15 6 6 PMOS L=9U W=30U

M18 16 15 6 6 PMOS L=9U W=30U

M13 10 10 17 28 NMOS L=9U W=30U

M14 12 10 18 28 NMOS L=9U W=30U

M19 17 17 28 28 NMOS L=9U W=30U

M20 18 17 28 28 NMOS L=9U W=30U

VDM 12 0 0V

***** MODEL PARAMETRELERİ *****

.MODEL NMOS NMOS LEVEL=3 VTO=0.55 TOX=4.25E-08
+GAMMA=0.27 THETA=0.065 NFS=1.50E+11 DELTA=0 KP=5.50E-05
+XJ=3.00E-07 LD=5.00E-07 XL=-2.00E-07 RSH=30 VMAX=1.80E+05
+KAPPA=0.3 ETA=0.25 JS=1.00E-06 JSW=6.00E-12 CJ=8.40E-05
+CJSW=2.71E-10 MJ=0.46 MJSW=0.2 NSUB=1E+15

.MODEL PMOS PMOS LEVEL=3 VTO=-0.91 TOX=4.25E-08
+GAMMA=0.8 THETA=0.14 NFS=1.50E+11 DELTA=0 KP=1.50E-05
+XJ=5.00E-07 LD=4.22E-07 XL=-2.00E-07 RSH=125 VMAX=0
+KAPPA=0.15 ETA=0.05 JS=1.10E-06 JSW=3.00E-12 CJ=3.07E-04
+CJSW=1.79E-10 MJ=0.5 MJSW=0.13 NSUB=1E+15

.DC V1 -4 4 0.01 V2 -4 4 1
.print dc i2(VDM)
.END

Ek 3 Otomatik Kutuplamalı Vektörel Toplama Devresine Ait SPICE Dosyası

***** ÖKLİD MESAFESİNİ HESAPLAMA DEVRESİ *****

VCC 7 0 DC 5V

VSS 8 0 DC -5V

I1 7 4 DC 0

I2 7 5 DC 0

| | | | |
|-----|-------------|------|------------|
| M1 | 2 2 3 3 | PMOS | L=18U W=4U |
| M4 | 2 2 3 3 | PMOS | L=18U W=4U |
| M2 | 3 3 7 7 | PMOS | L=18U W=4U |
| M3 | 3 3 7 7 | PMOS | L=18U W=4U |
| M5 | 1 2 4 4 | PMOS | L=18U W=4U |
| M6 | 4 4 7 7 | PMOS | L=18U W=4U |
| M7 | 1 4 7 7 | PMOS | L=18U W=4U |
| M8 | 1 2 5 5 | PMOS | L=18U W=4U |
| M9 | 5 5 7 7 | PMOS | L=18U W=4U |
| M10 | 1 5 7 7 | PMOS | L=18U W=4U |
| M11 | 2 1 3 2 8 | NMOS | L=6U W=4U |
| M12 | 1 1 3 3 8 | NMOS | L=6U W=4U |
| M13 | 1 1 3 3 8 | NMOS | L=6U W=4U |
| M14 | 1 1 3 3 8 | NMOS | L=6U W=4U |
| M15 | 6 1 3 4 8 | NMOS | L=6U W=4U |
| M16 | 6 1 3 4 8 | NMOS | L=6U W=4U |
| M32 | 3 2 3 3 8 8 | NMOS | L=6U W=4U |
| M33 | 3 3 3 3 8 8 | NMOS | L=6U W=4U |
| M34 | 3 3 3 3 8 8 | NMOS | L=6U W=4U |
| M35 | 3 3 3 3 8 8 | NMOS | L=6U W=4U |
| M39 | 3 4 3 3 8 8 | NMOS | L=6U W=4U |
| M42 | 3 4 3 3 8 8 | NMOS | L=6U W=4U |

VDM 7 6 DC 0V

***** MODEL PARAMETRELERİ *****

```
.MODEL NMOS NMOS LEVEL=3 VTO=0.55 TOX=4.25E-08
+GAMMA=0.27 THETA=0.065 NFS=1.50E+11 DELTA=0 KP=5.50E-05
+XJ=3.00E-07 LD=5.00E-07 XL=-2.00E-07 RSH=30 VMAX=1.80E+05
+KAPPA=0.3 ETA=0.25 JS=1.00E-06 JSW=6.00E-12 CJ=8.40E-05
+CJSW=2.71E-10 MJ=0.46 MJSW=0.2 NSUB=1E+15
```

```
.MODEL PMOS PMOS LEVEL=3 VTO=-0.91 TOX=4.25E-08
+GAMMA=0.8 THETA=0.14 NFS=1.50E+11 DELTA=0 KP=1.50E-05
+XJ=5.00E-07 LD=4.22E-07 XL=-2.00E-07 RSH=125 VMAX=0
+KAPPA=0.15 ETA=0.05 JS=1.10E-06 JSW=3.00E-12 CJ=3.07E-04
+CJSW=1.79E-10 MJ=0.5 MJSW=0.13 NSUB=1E+15
```

```
*****
```

```
.dc I1 -5U 5U 0.05U I2 -5U 5U 1.25U
```

```
.PRINT DC i2(VDM)
```

```
.END
```

**Ek 4 Otomatik Kutuplamalı Vektörel Toplama Devresi Kullanılarak
Gerçeklenen Öklit Mesafesi Hesaplama Devresine Ait SPICE Dosyası**

***** Blok Devreye Ait SPICE Dosyası *****

.SUBCKT TRANS 1 2 6 28 5 12

M1 9 1 3 3 PMOS L=12U W=3U

M2 6 3 7 28 NMOS L=3U W=45U

M3 3 3 6 6 PMOS L=12U W=3U

M4 10 2 4 4 PMOS L=12U W=3U

M5 6 4 8 28 NMOS L=3U W=45U

M6 4 4 6 6 PMOS L=12U W=3U

M7 10 5 7 7 PMOS L=12U W=3U

M8 9 5 8 8 PMOS L=12U W=3U

M9 9 9 13 28 NMOS L=9U W=3U

M10 11 9 14 28 NMOS L=9U W=3U

M15 13 13 28 28 NMOS L=9U W=3U

M16 14 13 28 28 NMOS L=9U W=3U

M11 11 11 15 6 PMOS L=9U W=3U

M12 12 11 16 6 PMOS L=9U W=3U

M17 15 15 6 6 PMOS L=9U W=3U

M18 16 15 6 6 PMOS L=9U W=3U

M13 10 10 17 28 NMOS L=9U W=3U

M14 12 10 18 28 NMOS L=9U W=3U

M19 17 17 28 28 NMOS L=9U W=3U

M20 18 17 28 28 NMOS L=9U W=3U

.ENDS TRANS

VCC 7 0 DC 0V

VSS 8 0 DC -5V

X1 9 10 17 18 11 4 TRANS

X2 30 31 17 18 11 5 TRANS

VV 17 0 DC 5

VF 18 0 DC -5

VX1 9 0 DC 0

VY1 10 0 DC 0

VX2 30 0 DC 0

VY2 31 0 DC 0

VKK 11 0 DC 0V

M1 2 2 3 3 PMOS L=18U W=4U

M4 2 2 3 3 PMOS L=18U W=4U

M2 3 3 7 7 PMOS L=18U W=4U

M3 3 3 7 7 PMOS L=18U W=4U

M5 1 2 4 4 PMOS L=18U W=4U

M6 4 4 7 7 PMOS L=18U W=4U

M7 1 4 7 7 PMOS L=18U W=4U

M8 1 2 5 5 PMOS L=18U W=4U

M9 5 5 7 7 PMOS L=18U W=4U

M10 1 5 7 7 PMOS L=18U W=4U

M11 2 1 32 8 NMOS L=6U W=4U

M12 1 1 33 8 NMOS L=6U W=4U

M13 1 1 33 8 NMOS L=6U W=4U

M14 1 1 33 8 NMOS L=6U W=4U

M15 6 1 34 8 NMOS L=6U W=4U

M16 6 1 34 8 NMOS L=6U W=4U

M32 32 33 8 8 NMOS L=6U W=4U

M33 33 33 8 8 NMOS L=6U W=4U

M34 33 33 8 8 NMOS L=6U W=4U

M35 33 33 8 8 NMOS L=6U W=4U

M39 34 33 8 8 NMOS L=6U W=4U

M42 34 33 8 8 NMOS L=6U W=4U

VDM 7 6 DC 0V

***** MODEL PARAMETRELERİ *****

.MODEL NMOS NMOS LEVEL=3 VTO=0.55 TOX=4.25E-08

+GAMMA=0.27 THETA=0.065 NFS=1.50E+11 DELTA=0 KP=5.50E-05

+XJ=3.00E-07 LD=5.00E-07 XL=-2.00E-07 RSH=30 VMAX=1.80E+05

+KAPPA=0.3 ETA=0.25 JS=1.00E-06 JSW=6.00E-12 CJ=8.40E-05

+CJSW=2.71E-10 MJ=0.46 MJSW=0.2 NSUB=1E+15

.MODEL PMOS PMOS LEVEL=3 VTO=-0.91 TOX=4.25E-08

+GAMMA=0.8 THETA=0.14 NFS=1.50E+11 DELTA=0 KP=1.50E-05

+XJ=5.00E-07 LD=4.22E-07 XL=-2.00E-07 RSH=125 VMAX=0

+KAPPA=0.15 ETA=0.05 JS=1.10E-06 JSW=3.00E-12 CJ=3.07E-04

+CJSW=1.79E-10 MJ=0.5 MJSW=0.13 NSUB=1E+15

.DC VX1 -1V 1V 0.05V VY1 -1V 1V 0.25V

.PRINT DC i2(VDM)

.END

Ek 5 TUBİTAK-YİTAL 3um Poli Geçitli CMOS Prosesi Tasarım Kuralları

| N-Kuyu | Mikron |
|---|--------|
| Minimum N-Kuyu Genişliği | 6 |
| Minimum N-Kuyu - N-Kuyu Açıklığı | 14 |
| Minimum N-Kuyu - Scribe Center Açıklığı | 90 |

| Aktif | Mikron |
|---|--------|
| Minimum Aktif Genişliği | 3 |
| Minimum n^+ Aktif p^+ Aktif Açıklığı | 4 |
| Minimum Aktif - Aktif Açıklığı | 4 |
| Minimum N-Kuyu p^+ Aktif Örtüşmesi | 2 |
| Minimum N-Kuyu p^+ Aktif (N-Kuyu Dışı) Açıklığı | 6 |
| Minimum N-Kuyu n^+ Aktif (N-Kuyu Dışı) Açıklığı | 10 |
| Minimum Aktif - Scribe Center Açıklığı | 90 |
| Minimum N-Kuyu n^+ Aktif Örtüşmesi | 0 |

| Geçit Polisilyumu | Mikron |
|---------------------------------------|--------|
| Minimum Poli Genişliği | 3 |
| Minimum Poli - Poli Açıklığı | 3 |
| Minimum Geçit Uzunluğu | 3 |
| Minimum Poli - Geçit Uzantısı | 3 |
| Minimum Poli - Difüzyon Açıklığı | 2 |
| Minimum Poli - Scribe Center Açıklığı | 90 |
| Minimum Kaynak Savak Genişliği | 3 |

| P^+ Difüzyon Katkısı | Mikron |
|---|--------|
| Minimum p^+ Select - p^+ Select Aktif Bölge Örtüşmesi | 2 |

| | |
|---|---|
| Minimum p ⁺ Select - n ⁺ Select Aktif Bölge Aralığı | 2 |
| Minimum n ⁺ Select - p ⁺ Select Aktif Açıklığı | 2 |
| Minimum p ⁺ Select Penceresi Açıklığı | 2 |
| Minimum p ⁺ Select Penceresi - N Kanal Açıklığı | 4 |
| P Kanal Çevresinde Minimum p ⁺ Select Difüzyon Genişliği | 4 |
| Minimum p ⁺ Select Genişliği | 3 |

| Kontakt Pencereleeri | Mikron |
|--|---------------|
| Minimum Kontakt Penceresi Genişliği | 3 |
| Maksimum Metal - Aktif Kontak Genişliği | 3 |
| Maksimum Metal - Aktif Kontak Uzunluğu | 10 |
| Kontakt - Kontakt Açıklığı | 3 |
| Minimum Metal-Aktif Kontak - Difüzyon Örtüşmesi | 2 |
| Minimum Difüzyon Kontak - Adjacent Geçit Açıklığı | 3 |
| Minimum Metal-Poli Kontak Genişlik veya Uzunluğu | 3 |
| Maksimum Metal-Poli Kontak Genişliği | 3 |
| Maksimum Metal-Poli Kontak Uzunluğu | 10 |
| Kontakt Etrafında Minimum Poli Genişliği | 2 |
| Kontakt Etrafında Minimum Metal Genişliği | 2 |
| Difüzyon Kontak Çevresinde Minimum Metal Genişliği | 2 |
| Poli Kontak Etrafında Minimum Metal Genişliği | 2 |
| Minimum Metal-Poli Kontak - Aktif Uzaklığı | 3 |
| Minimum Butting Kontakt Örtüşmesi (İki Yönde) | 5 |

| Metalizasyon | Mikron |
|--------------------------------|---------------|
| Minimum Metal Genişliği | 4 |
| Minimum Metal - Metal Açıklığı | 3 |
| Minimum Metal - Poli Açıklığı | 2 |

| | |
|---|-----|
| Minimum Metal - Poli Örtüşmesi | 2 |
| Minimum Aktif Metali - Scribe Center Açıklığı | 90 |
| Minimum Bond Pad Metal Boyutu | 130 |
| Minimum Test Metali Boyutu | 80 |
| Minimum Pad Açıklığı | 70 |
| Minimum Pad Metali - Bağlantısız Metal Alanı | 40 |
| Minimum Pad Metali - Aktif Açıklığı | 40 |
| Minimum Pad Metali - Poli Açıklığı | 40 |
| Bond Metali Boyunca Minimum Fillet Genişliği | 50 |
| Minimum Fillet Uzunluğu | 20 |
| Minimum Bond Pad Metali - Taban Açıklığı | 40 |
| Minimum Bond Pad Metali - Scribe Center Uzaklığı | 90 |
| Minimum Test Pad Metali - Scribe Center Uzaklığı | 75 |
| Maksimum Bond Pad Metali - Scribe Center Uzaklığı | 200 |

Ek 6 Layoutu Tasarlanan Devreye Ait SPICE Dosyası

* Circuit Extracted by Tanner Research's L-Edit V6.02 / Extract V3.00 ;
* TDB File C:\GRADS\TURAN\LAYOUT\OK7, Cell Cell0, Extract Definition File
C:\Grads\Turan\layout\Yital.ext ;
* WARNING: Node 1462 has zero capacitance.
* WARNING: Node 1444 has zero capacitance.
C3 SS 0 5762FF
* WARNING: Node 1151 has zero capacitance.
* WARNING: Node 1126 has zero capacitance.
* WARNING: Node 1058 has zero capacitance.
C7 1004 0 14.6FF
C8 1003 0 17.4FF
C9 984 0 8.05FF
* WARNING: Node 968 has zero capacitance.
* WARNING: Node 965 has zero capacitance.
* WARNING: Node 954 has zero capacitance.
* WARNING: Node 945 has zero capacitance.
C14 0 0 2518.28FF
C15 921 0 7.075FF
C16 914 0 3.65FF
* WARNING: Node 904 has zero capacitance.
C18 899 0 3.95FF
C19 883 0 3.65FF
* WARNING: Node 873 has zero capacitance.
* WARNING: Node 864 has zero capacitance.
C22 853 0 11.525FF
C23 852 0 11.825FF
C24 851 0 7.425FF
C25 842 0 28.25FF
C26 832 0 24.45FF

C27 X1 0 2004.1FF

C28 Y1 0 2004.75FF

C29 714 0 17.25FF

C30 698 0 9.75FF

* WARNING: Node 689 has zero capacitance.

* WARNING: Node 688 has zero capacitance.

* WARNING: Node 684 has zero capacitance.

* WARNING: Node 672 has zero capacitance.

* WARNING: Node 667 has zero capacitance.

C36 665 0 35.8FF

* WARNING: Node 664 has zero capacitance.

C38 650 0 15.575FF

C39 644 0 7.075FF

C40 641 0 24.35FF

C41 638 0 3.65FF

* WARNING: Node 629 has zero capacitance.

C43 628 0 3.95FF

C44 616 0 8.05FF

C45 611 0 3.65FF

* WARNING: Node 601 has zero capacitance.

* WARNING: Node 588 has zero capacitance.

* WARNING: Node 571 has zero capacitance.

* WARNING: Node 569 has zero capacitance.

C50 565 0 7.425FF

C51 564 0 11.825FF

C52 559 0 28.25FF

C53 557 0 11.525FF

* WARNING: Node 473 has zero capacitance.

C55 OUT 0 2005.53FF

C56 DD 0 8597.48FF

* WARNING: Node 397 has zero capacitance.

C58 Y2 0 2004.75FF

C59 X2 0 2004.1FF

* WARNING: Node 148 has zero capacitance.

* WARNING: Node 22 has zero capacitance.

* WARNING: Node 10 has zero capacitance.

M63 899 984 984 904 PMOS L=9U W=3U

* M63 Drain Gate Source Bulk (172 91 181 94) A = 27, W = 3

M64 1126 984 1003 904 PMOS L=9U W=3U

* M64 Drain Gate Source Bulk (172 103 181 106) A = 27, W = 3

M65 DD 899 899 904 PMOS L=9U W=3U

* M65 Drain Gate Source Bulk (152 91 161 94) A = 27, W = 3

M66 DD 899 1126 904 PMOS L=9U W=3U

* M66 Drain Gate Source Bulk (152 103 161 106) A = 27, W = 3

M67 DD 853 853 DD PMOS L=12U W=3U

* M67 Drain Gate Source Bulk (81 96 84 108) A = 36, W = 3

M68 DD 853 921 SS NMOS L=3U W=45U

* M68 Drain Gate Source Bulk (105 94 122 109) A = 135, W = 45

M69 852 852 DD DD PMOS L=12U W=3U

* M69 Drain Gate Source Bulk (56 96 59 108) A = 36, W = 3

M70 DD 852 851 SS NMOS L=3U W=45U

* M70 Drain Gate Source Bulk (10 94 27 109) A = 135, W = 45

M71 1003 650 665 1003 PMOS L=18U W=4U

* M71 Drain Gate Source Bulk (213 37 217 55) A = 72, W = 4

M72 1004 650 650 1004 PMOS L=18U W=4U

* M72 Drain Gate Source Bulk (265 37 269 55) A = 72, W = 4

M73 1004 650 650 1004 PMOS L=18U W=4U

* M73 Drain Gate Source Bulk (246 37 250 55) A = 72, W = 4

M74 1004 1004 0 0 PMOS L=18U W=4U

* M74 Drain Gate Source Bulk (266 87 270 105) A = 72, W = 4

M75 1004 1004 0 0 PMOS L=18U W=4U

* M75 Drain Gate Source Bulk (247 87 251 105) A = 72, W = 4

M76 665 1003 0 0 PMOS L=18U W=4U

* M76 Drain Gate Source Bulk (233 87 237 105) A = 72, W = 4

M77 1003 1003 0 0 PMOS L=18U W=4U

* M77 Drain Gate Source Bulk (214 87 218 105) A = 72, W = 4

M78 650 665 945 SS NMOS L=6U W=4U

* M78 Drain Gate Source Bulk (185 6 189 12) A = 24, W = 4

M79 698 665 665 SS NMOS L=6U W=4U

* M79 Drain Gate Source Bulk (272 0 276 6) A = 24, W = 4

M80 698 665 665 SS NMOS L=6U W=4U

* M80 Drain Gate Source Bulk (264 0 268 6) A = 24, W = 4

M81 698 665 665 SS NMOS L=6U W=4U

* M81 Drain Gate Source Bulk (242 0 246 6) A = 24, W = 4

M82 SS 698 945 SS NMOS L=6U W=4U

* M82 Drain Gate Source Bulk (185 -3 189 3) A = 24, W = 4

M83 SS 914 954 SS NMOS L=9U W=3U

* M83 Drain Gate Source Bulk (195 34 198 43) A = 27, W = 3

M84 914 914 SS SS NMOS L=9U W=3U

* M84 Drain Gate Source Bulk (183 34 186 43) A = 27, W = 3

M85 1003 832 954 SS NMOS L=9U W=3U

* M85 Drain Gate Source Bulk (195 54 198 63) A = 27, W = 3

M86 832 832 914 SS NMOS L=9U W=3U

* M86 Drain Gate Source Bulk (183 54 186 63) A = 27, W = 3

M87 921 0 842 921 PMOS L=12U W=3U

* M87 Drain Gate Source Bulk (109 51 112 63) A = 36, W = 3

M88 883 883 SS SS NMOS L=9U W=3U

* M88 Drain Gate Source Bulk (145 34 148 43) A = 27, W = 3

M89 SS 883 864 SS NMOS L=9U W=3U

* M89 Drain Gate Source Bulk (157 34 160 43) A = 27, W = 3

M90 842 842 883 SS NMOS L=9U W=3U

* M90 Drain Gate Source Bulk (145 54 148 63) A = 27, W = 3

M91 984 842 864 SS NMOS L=9U W=3U

- * M91 Drain Gate Source Bulk (157 54 160 63) A = 27, W = 3
M92 851 0 832 851 PMOS L=12U W=3U
- * M92 Drain Gate Source Bulk (18 51 21 63) A = 36, W = 3
M93 852 X1 842 852 PMOS L=12U W=3U
- * M93 Drain Gate Source Bulk (56 51 59 63) A = 36, W = 3
M94 853 Y1 832 853 PMOS L=12U W=3U
- * M94 Drain Gate Source Bulk (77 51 80 63) A = 36, W = 3
M95 665 650 714 714 PMOS L=18U W=4U
- * M95 Drain Gate Source Bulk (213 -38 217 -20) A = 72, W = 4
M96 665 714 0 0 PMOS L=18U W=4U
- * M96 Drain Gate Source Bulk (233 -88 237 -70) A = 72, W = 4
M97 714 714 0 0 PMOS L=18U W=4U
- * M97 Drain Gate Source Bulk (214 -88 218 -70) A = 72, W = 4
M98 OUT 665 664 SS NMOS L=6U W=4U
- * M98 Drain Gate Source Bulk (261 -46 265 -40) A = 24, W = 4
M99 OUT 665 667 SS NMOS L=6U W=4U
- * M99 Drain Gate Source Bulk (253 -46 257 -40) A = 24, W = 4
M100 SS 698 698 SS NMOS L=6U W=4U
- * M100 Drain Gate Source Bulk (272 -19 276 -13) A = 24, W = 4
M101 SS 698 698 SS NMOS L=6U W=4U
- * M101 Drain Gate Source Bulk (264 -19 268 -13) A = 24, W = 4
M102 SS 698 664 SS NMOS L=6U W=4U
- * M102 Drain Gate Source Bulk (261 -37 265 -31) A = 24, W = 4
M103 SS 698 667 SS NMOS L=6U W=4U
- * M103 Drain Gate Source Bulk (253 -37 257 -31) A = 24, W = 4
M104 SS 698 698 SS NMOS L=6U W=4U
- * M104 Drain Gate Source Bulk (242 -19 246 -13) A = 24, W = 4
M105 SS 638 672 SS NMOS L=9U W=3U
- * M105 Drain Gate Source Bulk (195 -30 198 -21) A = 27, W = 3
M106 SS 638 638 SS NMOS L=9U W=3U
- * M106 Drain Gate Source Bulk (183 -30 186 -21) A = 27, W = 3

M107 714 641 672 SS NMOS L=9U W=3U

* M107 Drain Gate Source Bulk (195 -50 198 -41) A = 27, W = 3

M108 638 641 641 SS NMOS L=9U W=3U

* M108 Drain Gate Source Bulk (183 -50 186 -41) A = 27, W = 3

M109 569 616 714 571 PMOS L=9U W=3U

* M109 Drain Gate Source Bulk (172 -93 181 -90) A = 27, W = 3

M110 628 616 616 571 PMOS L=9U W=3U

* M110 Drain Gate Source Bulk (172 -81 181 -78) A = 27, W = 3

M111 DD 628 569 571 PMOS L=9U W=3U

* M111 Drain Gate Source Bulk (152 -93 161 -90) A = 27, W = 3

M112 DD 628 628 571 PMOS L=9U W=3U

* M112 Drain Gate Source Bulk (152 -81 161 -78) A = 27, W = 3

M113 559 0 644 644 PMOS L=12U W=3U

* M113 Drain Gate Source Bulk (109 -50 112 -38) A = 36, W = 3

M114 557 557 DD DD PMOS L=12U W=3U

* M114 Drain Gate Source Bulk (81 -95 84 -83) A = 36, W = 3

M115 SS 611 611 SS NMOS L=9U W=3U

* M115 Drain Gate Source Bulk (145 -30 148 -21) A = 27, W = 3

M116 SS 611 588 SS NMOS L=9U W=3U

* M116 Drain Gate Source Bulk (157 -30 160 -21) A = 27, W = 3

M117 611 559 559 SS NMOS L=9U W=3U

* M117 Drain Gate Source Bulk (145 -50 148 -41) A = 27, W = 3

M118 616 559 588 SS NMOS L=9U W=3U

* M118 Drain Gate Source Bulk (157 -50 160 -41) A = 27, W = 3

M119 644 557 DD SS NMOS L=3U W=45U

* M119 Drain Gate Source Bulk (105 -96 122 -81) A = 135, W = 45

M120 641 0 565 565 PMOS L=12U W=3U

* M120 Drain Gate Source Bulk (18 -50 21 -38) A = 36, W = 3

M121 559 X2 564 564 PMOS L=12U W=3U

* M121 Drain Gate Source Bulk (56 -50 59 -38) A = 36, W = 3

M122 564 564 DD DD PMOS L=12U W=3U

* M122 Drain Gate Source Bulk (56 -95 59 -83) A = 36, W = 3

M123 641 Y2 557 557 PMOS L=12U W=3U

* M123 Drain Gate Source Bulk (77 -50 80 -38) A = 36, W = 3

M124 565 564 DD SS NMOS L=3U W=45U

* M124 Drain Gate Source Bulk (10 -96 27 -81) A = 135, W = 45

* Total Nodes: 62 ;

* Total Elements: 124 ;

* Extract Elapsed Time: 41 seconds ;

VDD DD 0 DC 5V

VSS SS 0 DC -5V

VDM 0 OUT DC 0

VX1 X1 0 DC 0

VY1 Y1 0 DC -0.5

VX2 X2 0 DC 0

VY2 Y2 0 DC 0.5

***** MODEL PARAMETERS *****

.MODEL NMOS NMOS LEVEL=3 VTO=0.55 TOX=4.25E-08

+GAMMA=0.27 THETA=0.065 NFS=1.50E+11 DELTA=0 KP=5.50E-05

+XJ=3.00E-07 LD=5.00E-07 XL=-2.00E-07 RSH=30 VMAX=1.80E+05

+KAPPA=0.3 ETA=0.25 JS=1.00E-06 JSW=6.00E-12 CJ=8.40E-05

+CJSW=2.71E-10 MJ=0.46 MJSW=0.2 NSUB=1E+15

.MODEL PMOS PMOS LEVEL=3 VTO=-0.91 TOX=4.25E-08

+GAMMA=0.8 THETA=0.14 NFS=1.50E+11 DELTA=0 KP=1.50E-05

+XJ=5.00E-07 LD=4.22E-07 XL=-2.00E-07 RSH=125 VMAX=0

+KAPPA=0.15 ETA=0.05 JS=1.10E-06 JSW=3.00E-12 CJ=3.07E-04

+CJSW=1.79E-10 MJ=0.5 MJSW=0.13 NSUB=1E+15

.DC VX1 -1 1 0.002 VX2 -1 1 0.1

.print dc "LAYOUT4" V(X1) V(X2) i(VDM)

.END

Ek 7 MTL Yapısı ile Gerçeklenen Vektörel Toplama Devresine Ait SPICE Dosyası

M1 8 8 1 ss NMOS L=6U W=12U

M2 4 8 9 ss NMOS L=6U W=12U

M3 7 7 9 ss NMOS L=6U W=12U

M4 4 7 1 ss NMOS L=6U W=12U

M5 1 1 ss ss NMOS L=6U W=12U

M6 9 1 ss ss NMOS L=6U W=12U

M21 4 5 2 ss NMOS L=6U W=12U

M22 5 5 10 ss NMOS L=6U W=12U

M23 4 6 10 ss NMOS L=6U W=12U

M24 6 6 2 ss NMOS L=6U W=12U

M25 2 2 ss ss NMOS L=6U W=12U

M26 10 2 ss ss NMOS L=6U W=12U

***** KASKOD AKIM AYNASI*****

MC1 4 4 15 dd PMOS L=3U W=30U

MC2 3 4 16 dd PMOS L=3U W=20U

MC3 5 4 14 dd PMOS L=3U W=5U

MC4 6 4 13 dd PMOS L=3U W=5U

MC5 7 4 12 dd PMOS L=3U W=5U

MC6 8 4 11 dd PMOS L=3U W=5U

MC7 15 15 dd dd PMOS L=3U W=30U

MC8 16 15 dd dd PMOS L=3U W=20U

MC9 14 15 dd dd PMOS L=3U W=5U

MC10 13 15 dd dd PMOS L=3U W=5U

MC11 12 15 dd dd PMOS L=3U W=5U

MC12 11 15 dd dd PMOS L=3U W=5U

***** precatation *****

```

imin1 dd 11 dc 5nA
imin2 dd 12 dc 5nA
imin3 dd 13 dc 5nA
imin4 dd 14 dc 5nA
imin5 dd 15 dc 30nA

```

```
*****
```

```
***** ANA CIRCUIT *****
```

```

VDD dd 0 DC 5V
VSS ss 0 DC 0V
VDM 3 0 DC 0V
iX 1 0 DC 0
iY 2 0 DC 0
*RL 3 0 1K

```

```
*****
```

```
***** MODEL PARAMETERS *****
```

```

.MODEL NMOS NMOS LEVEL=3 VTO=0.55 TOX=4.25E-08
+GAMMA=0.27 THETA=0.065 NFS=1.50E+11 DELTA=0 KP=5.50E-05
+XJ=3.00E-07 LD=5.00E-07 XL=-2.00E-07 RSH=30 VMAX=1.80E+05
+KAPPA=0.3 ETA=0.25 JS=1.00E-06 JSW=6.00E-12 CJ=8.40E-05
+CJSW=2.71E-10 MJ=0.46 MJSW=0.2 NSUB=1E+15

```

```

.MODEL PMOS PMOS LEVEL=3 VTO=-0.91 TOX=4.25E-08
+GAMMA=0.8 THETA=0.14 NFS=1.50E+11 DELTA=0 KP=1.50E-05
+XJ=5.00E-07 LD=4.22E-07 XL=-2.00E-07 RSH=125 VMAX=0
+KAPPA=0.15 ETA=0.05 JS=1.10E-06 JSW=3.00E-12 CJ=3.07E-04
+CJSW=1.79E-10 MJ=0.5 MJSW=0.13 NSUB=1E+15

```

```
*****
```

```

.DC iX -35U 35U 0.1U iY -35U 35U 10U
.print dc i(VDM)
.options numnd=300
.END

```

Handwritten notes and signatures at the bottom right of the page.

Ek 8 MTL Yapısı Kullanılarak Gerçeklenen Öklid Mesafesi Hesaplama Devresine Ait SPICE Dosyası

```
.subckt vecsum 1 2 3 dd ss
***** Ix Iy Iout
*****

M1 8 8 1 ss NMOS L=6U W=9U
M2 4 8 9 ss NMOS L=6U W=9U
M3 7 7 9 ss NMOS L=6U W=9U
M4 4 7 1 ss NMOS L=6U W=9U
M5 1 1 ss ss NMOS L=6U W=9U
M6 9 1 ss ss NMOS L=6U W=9U
M21 4 5 2 ss NMOS L=6U W=9U
M22 5 5 10 ss NMOS L=6U W=9U
M23 4 6 10 ss NMOS L=6U W=9U
M24 6 6 2 ss NMOS L=6U W=9U
M25 2 2 ss ss NMOS L=6U W=9U
M26 10 2 ss ss NMOS L=6U W=9U
*****

***** KASKOD AKIM AYNASI*****

MC1 4 4 15 dd PMOS L=6U W=30U
MC2 3 4 16 dd PMOS L=6U W=20U
MC3 5 4 14 dd PMOS L=6U W=5U
MC4 6 4 13 dd PMOS L=6U W=5U
MC5 7 4 12 dd PMOS L=6U W=5U
MC6 8 4 11 dd PMOS L=6U W=5U
MC7 15 15 dd dd PMOS L=6U W=30U
MC8 16 15 dd dd PMOS L=6U W=20U
MC9 14 15 dd dd PMOS L=6U W=5U
MC10 13 15 dd dd PMOS L=6U W=5U
MC11 12 15 dd dd PMOS L=6U W=5U
MC12 11 15 dd dd PMOS L=6U W=5U
```

***** precatation *****

imin1 dd 11 dc 5nA

imin2 dd 12 dc 5nA

imin3 dd 13 dc 5nA

imin4 dd 14 dc 5nA

imin5 dd 15 dc 30nA

.ENDS vecsm

.SUBCKT trans 1 2 6 28 5 12

***** v1 v2 dd ss gnd Iout

M1 9 1 3 3 PMOS L=12U W=3U

M2 6 3 7 28 NMOS L=3U W=45U

M3 3 3 6 6 PMOS L=12U W=3U

M4 10 2 4 4 PMOS L=12U W=3U

M5 6 4 8 28 NMOS L=3U W=45U

M6 4 4 6 6 PMOS L=12U W=3U

M7 10 5 7 7 PMOS L=12U W=3U

M8 9 5 8 8 PMOS L=12U W=3U

M9 9 9 13 28 NMOS L=6U W=3U

M10 11 9 14 28 NMOS L=6U W=3U

M15 13 13 28 28 NMOS L=6U W=3U

M16 14 13 28 28 NMOS L=6U W=3U

M11 11 11 15 6 PMOS L=6U W=3U

M12 12 11 16 6 PMOS L=6U W=3U

M17 15 15 6 6 PMOS L=6U W=3U

M18 16 15 6 6 PMOS L=6U W=3U

M13 10 10 17 28 NMOS L=6U W=3U

M14 12 10 18 28 NMOS L=6U W=3U

M19 17 17 28 28 NMOS L=6U W=3U

M20 18 17 28 28 NMOS L=6U W=3U

.ENDS trans

***** MAIN CIRCUIT *****

X1 1 2 dd ss 0 5D trans

X2 3 4 dd ss 0 6D trans

X3 5 6 7 dd ss1 vecsum

VDD dd 0 DC 5V

VSS ss 0 DC -5V

VSS1 ss1 0 dc 0V

VDM 7 0 DC 0V

VX1 1 0 DC 0V

VY1 2 0 DC -3.5V

VX2 3 0 DC 0V

VY2 4 0 DC 3.5V

VDM1 5D 5 DC 0V

VDM2 6D 6 DC 0V

***** MODEL PARAMETERS *****

.MODEL NMOS NMOS LEVEL=3 VTO=0.55 TOX=4.25E-08

+GAMMA=0.27 THETA=0.065 NFS=1.50E+11 DELTA=0 KP=5.50E-05

+XJ=3.00E-07 LD=5.00E-07 XL=-2.00E-07 RSH=30 VMAX=1.80E+05

+KAPPA=0.3 ETA=0.25 JS=1.00E-06 JSW=6.00E-12 CJ=8.40E-05

+CJSW=2.71E-10 MJ=0.46 MJSW=0.2 NSUB=1E+15

.MODEL PMOS PMOS LEVEL=3 VTO=-0.91 TOX=4.25E-08

+GAMMA=0.8 THETA=0.14 NFS=1.50E+11 DELTA=0 KP=1.50E-05

+XJ=5.00E-07 LD=4.22E-07 XL=-2.00E-07 RSH=125 VMAX=0

+KAPPA=0.15 ETA=0.05 JS=1.10E-06 JSW=3.00E-12 CJ=3.07E-04

+CJSW=1.79E-10 MJ=0.5 MJSW=0.13 NSUB=1E+15

```
.DC VX1 -5 -1 0.05 VX2 1.5 4 0.125  
.print dc i(VDM)  
.PRINT DC "vec9" V(1) V(3) i(VDM)  
.options numnd=300  
.END
```



ÖZGEÇMİŞ**Adı Soyadı:** Turan SOLMAZ**Doğum Tarihi:** 14.08.1973**Doğum Yeri:** Bakırköy**Eğitim:** Lise, Eyüp Lisesi, 1991
Üniversite, Y.T.Ü. Elektronik ve Haberleşme Müh. Bölümü,
1995
Yüksek Lisans İngilizce Hazırlık, Y.T.Ü. Yabancı Diller
Bölümü, 1996**İş Deneyimi:** Y.T.Ü. Elektronik ve Haberleşme Müh. Bölümü, Elektronik
Anabilim Dalı, Arş.Gör, 1996 - ...