

YILDIZ TEKNİK ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

128647

**ANALOG DİJİTAL DÖNÜŞTÜRÜCÜLER VE
1.5 μ m CMOS VLSI TEKNOLOJİSİ İLE 6 BİTLİK
BİR DÖNÜŞTÜRÜCÜNÜN TASARIMI**

Müh. S. Nergis Tural

TC. YÜKSEKÖĞRETİM KURULU
DOKÜMANTASYON MERKEZİ

F.B.E Elektronik ve Haberleşme Mühendisliği Anabilim Dalı Elektronik Programında
Hazırlanan

YÜKSEK LİSANS TEZİ

Tez Danışmanı

: Prof. Dr. Atilla ATAMAN

Prof. Dr. Gökhan DÜNDÜK

Prof. Dr. Oruç Bilgiç

İSTANBUL, 2002

Ataman
Gökhan Dündük
Oruç Bilgiç

128647

İÇİNDEKİLER

Sayfa

KISALTIMA LİSTESİ	iv
ŞEKİL LİSTESİ	v
ÇİZELGE LİSTESİ	vi
ÖNSÖZ	vii
ÖZET	viii
ABSTRACT	ix
1. GİRİŞ	1
2. TEMEL KAVRAMLAR VE PROBLEMLER	4
2.1 Yüksek Hızlı Dönüştürücülerde Karşılaşılan Tasarım Problemleri	4
2.1.1 Zamanlama hataları	4
2.1.2 Bozulmalar	5
2.2 Dönüştürücü Kodlama Şemaları	6
2.2.1 Termometre kodu	6
2.2.2 Gray kodu	6
2.2.3 Döngüsel kod	7
3. TAM PARALEL (FULL FLASH) DÖNÜŞTÜRÜCÜLER	8
3.1 MOS Karşılaştırıcı Yapısı	9
3.2 Paylaşımlı (Interleaved) karşılaştırıcılı tam paralel dönüştürücüler	11
3.3 Farksal Oto-Sıfır Karşılaştırıcı	11
4. İKİ ADIMLI PARALEL DÖNÜŞTÜRÜCÜLER	13
4.1 MOS İki Adımlı Dönüştürücüler	14
4.2 Örnekle-Tut Karşılaştırıcılı İki Adımlı ADC	15
4.3 Paylaşımlı Karşılaştırıcılı İki Adımlı ADC	15
4.4 Çok Adımlı (Multi-Step) Analog Dijital Dönüştürücüler	16
5. KATLAMALI (FOLDING) ANALOG DİJİTAL DÖNÜŞTÜRÜCÜLER	18
5.1 Katlamalı ve İnterpolasyonu ADC	18
5.2 Katlama Yapısına Genel Bakış	19
5.3 Katlayıcı	21
5.4 Karşılaştırıcı	21
5.5 Kaba ADC ve Kodlayıcı	26
5.6 Kodlayıcı	27
5.6.1 Kodlayıcı bloğu	27
5.6.2 Klasik hata düzeltme	27
5.6.3 Hata tespiti	28

5.6.4	Hata düzeltme	29
6.	YÜKSEK LİSANS TEZİ KAPSAMINDA TÜBİTAK YİTAL 1.5 μ ÇİFT POLİ ÇİFT METAL TEKNOLOJİSİ İLE GERÇEKLEŞTİRİLEN 6 BİT ADC.....	33
6.1	Tübitak Yital 1.5 μ Çift Poli Çift Metal Teknolojisi Tasarım Kuralları ve Proses Parametreleri.....	33
6.2	Karşılaştırıcılar	36
6.2.1	Yüksek kazançlı karşılaştırıcılar.....	40
6.2.2	İki katlı karşılaştırıcıların yayılma gecikmesi.....	42
6.2.3	Pozitif geribeslemeli karşılaştırıcılar	44
6.3	Yüksek Lisans Tezi Kapsamında Gerçeklenen Yüksek Performanslı Karşılaştırıcı Yapısı.....	45
6.4	Direnç Karakterizasyonu	50
6.5	Kodlayıcı Bloğu.....	54
6.6	Tasarım Kurallarına Uygunluğun Test Edilmesi.....	57
	SONUÇLAR.....	60
	KAYNAKLAR.....	61
	EKLER	63
	Ek 1 Karşılaştırıcıya ilişkin TSPICE simülasyon dosyası.....	64
	Ek 2 Karşılaştırıcıya ilişkin en kötü durum TSPICE simülasyon dosyası	67
	ÖZGEÇMİŞ.....	70

KISALTIMA LİSTESİ

ADC	Analog Digital Converter
BGM	Binary Gray Mixed Code
BJT	Bipolar Jonksiyonlu Transistör
CE	Circuit Extraction
CMOS	Complementary Metal Oxide Silisium
DAC	Digital Analog Converter
DNL	Differential Nonlinearity
DRC	Design Rule Check
ECL	Emetor Coupled Logic
FS	Full Scale
GS/s,GSPS	Giga sample per second
IAZ	Interleaved Auto-Zeroing
IEEE	Institute of Electrical and Electronics Engineers
INL	Integral Nonlinearity
J.	Journal
LSB	Least Significant Bit
MS/s	Mega sample per second
MSB	Most Significant Bit
S/H	Sample / Hold Circuit
SFDR	Spurius Free Dynamic Range
SINAD	Signal - to - Noise and Distortion Ratio
SNR	Signal - to - Noise Ratio
Vol.	Volume
XOR	Exclusive- OR

ŞEKİL LİSTESİ

Şekil 3.1 Tam paralel ADC yapısı.....	8
Şekil 3.2 Temel MOS karşılaştırıcı	9
Şekil 3.3 İki katlı CMOS karşılaştırıcı	10
Şekil 3.4 Paylaşımlı karşılaştırıcılı ADC.....	11
Şekil 3.5 Farksal oto sıfır karşılaştırıcı.....	12
Şekil 4.1 İki adımlı ADC yapısı	13
Şekil 4.2 MOS iki adımlı ADC yapısı.....	14
Şekil 4.3 Paylaşımlı karşılaştırıcılı iki adımlı ADC yapısı.....	16
Şekil 4.4 Çok adımlı ADC yapısı	17
Şekil 5.1 Temel katlamalı ADC mimarisi	18
Şekil 5.2 (a) 3 bit paralel (b) 3 bit katlamalı paralel ADC	19
Şekil 5.3 (a) basit katlayıcı (b) pratik katlayıcı (c) farksal çıkışlar	20
Şekil 5.4 Karşılaştırıcılar tarafından üretilen döngüsel kod	20
Şekil 5.5 6 bit katlamalı dönüştürücü blok diyagramı.....	21
Şekil 5.6 Katlayıcı bloğu	22
Şekil 5.7 (a) Beşinci kuvvetlendiricinin kullanılmayan katkısı (b) bu bilginin kuvvetlendirici sayısını azaltmak için kullanımı.....	22
Şekil 5.8 İnterpolasyon	23
Şekil 5.9 Akım modlu katlayıcı ile interpolasyon	23
Şekil 5.10 Akım bölme fonksiyonu içeren katlayıcı	24
Şekil 5.11 Tüm devrenin blok şeması	24
Şekil 5.12 Karşılaştırıcı çalışma modları (a) izleme (b) tutma.....	25
Şekil 5.13 İzleme ve tutma modlarında karşılaştırıcı çıkış gerilimleri.....	26
Şekil 5.14 Kaba kuantalayıcı: (a) iç yapısı (b) dalga şekilleri.....	26
Şekil 5.15 Klasik kodlayıcı.....	28
Şekil 5.16 Hata tespiti.....	29
Şekil 5.17 Kodlama diyagramı (Tsukamoto vd., 1998)	30
Şekil 5.18 Kodlayıcı blok diyagramı (Tsukamoto vd., 1998).....	32
Şekil 6.1 Temel paralel ADC yapısı.....	33
Şekil 6.2 Genel karşılaştırıcı sembolü	36
Şekil 6.3 (a) İdeal evirmeyen karşılaştırıcı (b) İdeal eviren karşılaştırıcı	37
Şekil 6.4 (a) Sonlu kazançlı evirmeyen karşılaştırıcı (b) Sonlu kazançlı eviren karşılaştırıcı ..	38
Şekil 6.5 Ofset geriliminin gerilim transfer fonksiyonuna etkisi	39
Şekil 6.6 Evirmeyen karşılaştırıcının zaman domen cevabı.....	40
Şekil 6.7 CMOS iki katlı karşılaştırıcı.....	41
Şekil 6.8 İki katlı karşılaştırıcının her katına ait yayılma gecikmeleri.....	42
Şekil 6.9 CMOS tetiklemeli flip flop	44
Şekil 6.10 CMOS karşılaştırıcı olarak kullanılan kuvvetlendirici (sense amplifier) yapısı	45
Şekil 6.11 CMOS karşılaştırıcı (Yukawa, 1985).....	46
Şekil 6.12 Karşılaştırıcı serimi	48
Şekil 6.13 Karşılaştırıcı simülasyonu	48
Şekil 6.14 Karşılaştırıcı en kötü durum simülasyonu.....	50
Şekil 6.15 (a) İletkenlik (b) tabaka direnci (c) ve (d) tabaka direncinin grafiksel hesabı	52
Şekil 6.16 1k Ω luk direnç serimi.....	52
Şekil 6.17 Gerilim bölücü direnç dizisiyle birlikte 63 adet karşılaştırıcının serimi.....	53
Şekil 6.18 Kodlayıcı	54
Şekil 6.19 4x4 bit bir ROM dizisi örneği	55
Şekil 6.20 6 Bit paralel ADC serimi.....	56
Şekil 6.21 6 bit ADC ye ilişkin postsimülasyon sonuçları.....	58
Şekil 6.22 6 bit ADC ye ilişkin en kötü durum analizi	59

ÇİZELGE LİSTESİ

Çizelge 2.1 Termometre kodu	6
Çizelge 2.2 Gray kodu	7
Çizelge 2.3 Döngüsel kod.....	7
Çizelge 5.1 Bazı hata paternleri ve en iyi tahmin değerleri.....	30
Çizelge 6.1 1.5 μ tasarım kuralları	34
Çizelge 6.2 1.5 μ m proses parametreleri	36
Çizelge 6.3 Karşılaştırmaya ilişkin W / L oranları.....	49



ÖNSÖZ

Yüksek lisans tez çalışmam süresince her türlü yardım ve desteğini esirgemeyen danışman hocam Prof. Dr. Atilla ATAMAN 'a ve sayın Doç. Dr. Günhan DÜNDAR'a teşekkürü bir borç bilirim.



ÖZET

Analog dijital dönüştürücüler, günümüzde yaygın olarak kullanılan yazılım, radyo ve işaret işleme uygulamalarının kritik bir elemanıdır. $\sim 2\text{MS/s}$ ile ~ 4 milyar örnek/saniye (GS/s) arasındaki hızlarda örnekleme frekansının her iki kat artışında çözünürlük 1 bit azalmaktadır. Birkaç GS/s hızında çalışan ADC ler için, karşılaştırıcı belirsizliklerinden dolayı devre teknolojisinin hızı da sınırlayıcı bir faktördür. Bu sınırların üstesinden gelebilmek için birçok farklı ADC yapısı ve entegre devre teknolojisi önerilmiş ve uygulanmıştır.

Analog sayısal dönüştürücüler, en hızlı çalışan paralel analog sayısal dönüştürücülerden en yüksek doğruluklu ancak en yavaş olan integral alan dönüştürücülere kadar uzanan çok farklı tekniklerle gerçekleştirilebilirler.

Yüksek hızlı analog dijital dönüştürücü tasarımı için bilinen en yaygın yapı paralel (flaş) dönüştürücü yapısıdır. Paralel yapı N bit çözünürlük için $2^N - 1$ karşılaştırıcı gerektirmektedir. Genellikle bir veya iki ek karşılaştırıcı taşma durumlarını tespit için kullanılır Tüm karşılaştırıcılar analog işareti aynı anda örneklerler. Yapı bu nedenle doğası gereği hızlıdır.

Paralel yapının, yüksek çözünürlüklere gidildikçe bazı önemli dezavantajları vardır. Öncelikle karşılaştırıcı sayısı N ile üstel olarak artmakta, ayrıca iki komşu referans gerilimi arasındaki fark da üstel olarak azalmaktadır. Güç kaybı fazladır ve yüksek çözünürlükte karşılaştırıcı kanallarındaki elemanların eş özellikte elde edilmesi güçtür. Buna ek olarak yüksek giriş kapasitesi analog giriş işaretinin band genişliğini sınırlamaktadır. Bu problemlerin üstesinden gelebilmek için paralel yapının, görece daha az karşılaştırıcı kullanan, diğer yandan hızdan fazla ödün vermeyen varyasyonları mevcuttur. Bu varyasyonlar zaman bölüşümlü ve katlamalı ADC yapılarıdır.

Bu çalışmada, yukarıda adı geçen üç farklı ADC yapısı ayrıntılı olarak incelenmiş, ayrıca Tübitak Yital $1.5\mu\text{m}$ çift poli çift metal teknolojisi kullanılarak 6 bitlik bir paralel dönüştürücü tasarlanmıştır.

ABSTRACT

Analog-to-Digital converters are ubiquitous, critical components of software, radio and other signal processing systems. At sampling rates ranging from ~ 2 MS/s to ~ 4 giga samples Per second (GS/s), resolution falls off by ~ 1 bit for every doubling of sampling rate. This behaviour may be attributed to uncertainty in the sampling instant due to aperture jitter. For ADC's operating at multi – GS/s rates, the speed of the device technology is also a limiting factor due to comparator ambiguity. Many ADC architectures and integrated circuit technologies have been proposed and implemented to push back these limits.

The ADC's range from flash, a parallel technique, which is the fastest, through integrating which is probably the most accurate but which also is the slowest.

The flash architecture uses $2^N - 1$ comparators, where N is stated resolution. Flash converters often include one or two additional comparators to measure overflow conditions. All comparators sample the analog input voltage simultaneously. This ADC is thus inherently fast.

The parallelism of the flash architecture has drawbacks for high resolution applications. The number of comparators grows exponentially with N. In addition the separation of adjacent reference voltages grows smaller exponentially. Consequently this architecture requires very large IC's. It has high power dissipation, it is difficult to match components in the parallel comparator channels. Finally, increasingly large input capacitance reduces analog input bandwidth. In order to overcome these problems, variations on the flash architecture have been developed which use relatively few comparators yet retain good speed. Examples capable of GS/s rates are the folded-flash and pipelined architectures.

This study provides insight into all the three types of analog to digital converters mentioned above. Moreover, a 6-bit parallel analog to digital converter is designed using Tubitak Yital 1.5μ double poly double metal process parameters.

1. GİRİŞ

Özellikle son yirmi yıl boyunca dijital entegre devre üretim teknolojisindeki hızlı ilerlemeler daha karmaşık dijital işaret işleme sistemlerinin geliştirilmesine olanak sağlamıştır. Söz konusu sistemler ses, medikal görüntüleme, sonar, radar, elektronik savunma sistemleri, enstrümantasyon, tüketici elektroniği ve haberleşme (uydu ve anten) işaretleri gibi çok farklı sürekli zamanlı işaretler üzerinde işlem yapmaktadır. Tüm bu sistemlerin doğru bir şekilde çalışmasını sağlayan anahtar gelişme ise giriş sürekli zamanlı işaretini ikili kodlanmış sayısal (ayrık zamanlı) işarete çevirmekte kullanılan analog dijital dönüştürücülerde (Analog digital converters – ADC, A/D) elde edilen ilerlemedir. Genel olarak, bu çok sayıda farklı özellikte analog işaretin sayısal seviyelere kuantalanabilmesi için yapı, çözünürlük ve örnekleme oranı bakımından farklı veri dönüştürücüleri geliştirilmiştir.

Analog sayısal dönüştürücüler, en hızlı çalışan paralel analog sayısal dönüştürücülerden en yüksek doğruluklu ancak en yavaş olan integral alan dönüştürücülere kadar uzanan çok farklı tekniklerle gerçekleştirilebilirler (Walden, 1999).

Yüksek hızlı analog dijital dönüştürücü tasarımı için bilinen en yaygın yapı paralel (flaş) dönüştürücü yapısıdır (Spalding ve Dalton, 1996; Yukawa, 1985). Bu yapıda bir karşılaştırıcı dizisi giriş işaretini bir dizi referans gerilimi ile karşılaştırır. Tüm karşılaştırıcılar analog işareti aynı anda örneklerler. Yapı bu nedenle doğası gereği hızlıdır. Karşılaştırıcı çıkışları giriş işaretini sayısal termometre kodunda temsil eder. Bu kod daha sonra kolayca Gray koduna veya ikili koda dönüştürülebilir. Flaş yapı yüksek hıza sahiptir ve bir entegre devre üzerinde basit karşılaştırıcı bloklarını ve bir ROM kod çözücü yapısını bir araya getirmek suretiyle kolayca uygulanabilir. Rapor edilen en hızlı flaş ADC 3 bit, 8 GS/s Nyquist flaş dönüştürücüdür (Baringer vd., 1996). Bu ADC 14GS/s lik maksimum örnekleme frekansına sahiptir. Paralel yapı N bit çözünürlük için $2^N - 1$ karşılaştırıcı gerektirmektedir. Genellikle bir veya iki ek karşılaştırıcı taşma durumlarını tespit için kullanılır. Buna ek olarak çözünürlük arttıkça (adım aralığı 2^N ile orantılı olarak küçüldüğünden) komşu referans gerilimleri arasındaki fark üstel olarak azalmakta, ayrıca yüksek giriş kapasitesi analog giriş işaretinin band genişliğini sınırlamaktadır Yüksek çözünürlüklere gidildikçe düşük güç tüketimi, yüksek band genişliği, küçük çip alanı gibi kriterleri yerine getirmek gitgide güçleşmektedir. Bölüm III de paralel analog dijital dönüştürücüler ayrıntılı olarak incelenmiştir.

Paralel yapının tüm bu sorunlarının üstesinden gelebilmek için, görece daha az karşılaştırıcı kullanan, aynı zamanda hızdan fazla ödün vermeyen çeşitli varyasyonlar geliştirilmiştir. GS/s

örnekleme hızlarına çıkabilen varyasyonlar katlamalı (folding) flaş ve zaman bölüşümlü yapılardır.

Tam paralel yapının bir versiyonu da çok-adımlı (multi-step) ADC lerdir (Abo ve Gray, 1999; Cho ve Gray, 1995; Cline ve Gray, 1996; Ingino ve Wooley, 1998; Ming ve Lewis, 2001; Moon ve Song, 1997; Nakamura vd., 1995; Opris vd., 1995; Wu vd., 1995). Yüksek hızlı dönüştürücülerde iki-adımlı yaklaşım, uygulamasının kolaylığı sebebiyle en çok tercih edilen yapıdır. İki-adımlı yaklaşımda biri kaba (coarse) diğeri hassas (fine) olmak üzere art arda iki adet kuantalama adımı yer alır. Bu art arda gerçekleşen kuantalama adımları nedeniyle hız tam paralel yapıya oranla düşüktür. Örnekle-tut işlemi sayesinde örneklenen işaret sabit bir seviyede tutulur. Tutma süresi sırasında karşılaştırma işlemi yapılır. Kaba kuantalama adımı gerçekleştirildikten sonra, sayısal işaret bir dijital analog (D/A) dönüştürücü kullanarak analog eşdeğerine dönüştürülür. Elde edilen bu analog işaret örnekle-tut devresinde saklanmakta olan analog giriş işaretinden çıkarılır. Kalan işaret daha sonra hassas kuantalayıcıya uygulanır ve bu adım sonunda her iki kuantalayıcının çıkışında elde edilen sayısal kod – genellikle bir hata düzeltme işleminden geçtikten sonra – çıkış dijital işaretini oluşturur. Böylece devre karmaşıklığı, güç kaybı, çip boyutu gibi kriterler açısından dengeli bir tasarım elde edilir. Ancak tüm devrenin dinamik performansı örnekle-tut devresinin dinamik performansına ve kalitesine bağlıdır. Bölüm IV zaman bölüşümlü ADC yapılarına ayrılmıştır.

Bölüm V de katlamalı ADC yapıları incelenmiştir (Flynn ve Sheahan, 1998; Nagaraj vd., 1999; Nauta ve Venes, 1998; Tsukamoto vd., 1998; Venes ve Plassche, 1996). Örnekle-tut devresinden kaynaklanan problemlerden kurtulmak için, hem paralel yapının dijital örnekleme hem iki-adımlı yaklaşımın küçük çip alanı avantajına sahip hem de örnekle-tut devresi içermeyen tasarım alternatifleri üzerinde durulmuştur. Bu çalışmalar sonucu katlamalı (folding) yapı elde edilmiştir. Katlamalı yapı yüksek analog band genişliği sağlar, ayrıca paralel yapıda karşılaşılan yüksek çözünürlüklerde güç kaybının artması ve büyük çip alanı gerektirmesi gibi dezavantajları yoktur

Katlama tekniği kullanarak, her karşılaştırıcının giriş işaretinin çok sayıda kuantalama seviyeleri yoluyla sıfır geçişlerini kontrol ettiği; böylece toplam karşılaştırıcı sayısını azaltan bir ADC tasarlanabilir. Karşılaştırıcı sayısı, giriş işaretinin “katlandığı” katlama katı sayısı kadar azaltılır. Ancak, her referans gerilimi seviyesi, katlama işaretini oluşturan bir katlama katına gereksinim duyar. Bu katlama işareti, katlama katlarının çıkış işaretlerinin bir kombinasyonudur. Birkaç katlama katının çıkış işaretini birleştirerek, tekrarlamalı bir

katlanmış işaret karar verecek olan karşılaştırmacı girişlerine uygulanır. Birleştirilecek işaret sayısını belirleyen katlama faktörü, toplam karşılaştırmacı sayısını da azaltmaktadır. Ancak karşılaştırmacı sayısındaki bu azalma, dönüştürücünün istenen çözünürlüğünü elde etmek için gereken katlama katı sayısı ile dengelenmiş olur. Katlama katı sayısı katlama katlarının çıkışlarının interpolasyonu sayesinde başka katlama katlarına gerek duymadan ekstra katlama işaretleri elde ederek daha da azaltılabilir. Katlamalı yapı yoğun, düşük güçlü, küçük alan sebebiyle çip içerisinde düşük saat ve giriş işareti gecikmesine sahip bir sistem gerçekleştirilmesine olanak sağlar. Bu nedenle geleneksel flaş ADC yapısından daha iyi bir band genişliği elde edilebilir. Ancak katlama işlemi çip içindeki işaret frekanslarını katlama faktörü kadar artırır.

Çözünürlük için hızdan ödün veren bir başka yapı ise delta sigma ($\Delta\Sigma$) dönüştürücülerdir. Bu dönüştürücüler giriş işaretini Nyquist örnekleme frekansından kat kat yüksek bir hızda örneklerler. Entegrasyon ve geribesleme, spektrumun alt kısımlarındaki delta sigma saat frekansına karşı düşen kuantalama gürültüsünü bastırır. Bu teknik daha az sayıda analog bileşen içerir. Delta-sigma modülatörler band geçiren karakteristiğe sahip bir şekilde tasarlanabilir. Bu tip modülatörler örneklenecek işaret orta frekans bandında dar bir alana yayılmış ise yararlıdır.

Bölüm VI da ise yüksek lisans tezi kapsamında Tübitak Yital 1.5μ çift poli çift metal teknolojisi ile tasarlanan 6 bit analog dijital dönüştürücü devresine yer verilmiştir. Tasarlanan devrenin serimi ve simülasyonu bu bölümde yer almaktadır.

2. TEMEL KAVRAMLAR VE PROBLEMLER

2.1 Yüksek Hızlı Dönüştürücülerde Karşılaşılan Tasarım Problemleri

Yüksek hızlı A/D dönüştürücülerin dinamik performansını sınırlayan iki temel problem vardır. Bunlar zamanlama belirsizlikleri (timing inaccuracies) ve bozulmalardır (distortion).

2.1.1 Zamanlama hataları

Birçok analog sayısal dönüştürücüde dört temel zamanlama hatası kaynağı vardır:

- Örnekleme saati kayması (jitter)
- Örnekleme saatinin sınırlı yükselme ve düşme süreleri
- Çipin değişik bölgelerinde saat ve giriş işareti kaymaları
- İşaret-bağımlı gecikmeler

Örnekleme saatinin kayması hem ADC içinden hem de dışından kaynaklanabilir. Dışarıdan gelen saat işareti çok düşük (kısa dönem) kaymaya sahip olmalıdır. İç devre açısından, örnekleme saatinin küçük yükselme veya düşme seviyelerine sahip olması saat kuvvetlendirici devrelerinden gelebilecek beyaz gürültü nedeniyle oluşacak kaymaları engeller. Dahası, diğer devrelerden gelen girişimin (crosstalk) de minimize edilmesi gerekir. Saat ve giriş işaretinin kayması ise çipin değişik bölgelerinde aynı işaretin birbirinden faz farklı olarak bulunmasını ifade eder. Örneğin, ilk karşılaştırıcı katının saat işareti, ortadaki karşılaştırıcı katı ile arasında küçük de olsa bir faz farkı olacak şekilde kayarsa, bu zaman farkı yanlış kuantalamaya ve dolayısıyla nonlinear bozulmaya sebep olur. Örnek olarak, bir işaret 12ps de bağlantı hattı boyunca ışık hızında 3.6mm yol alır. Çip içerisinde iletim hızı oksit tabakaların yüksek dielektrik katsayısı ve epitaksiyel tabakanın veya tabanın sonlu iletkenliği nedeniyle daha düşüktür, pratik olarak ışık hızının yarısı ile üçte biri arasında kabul edilebilir. Bu durumda 1ps yaklaşık olarak çipte elemanlar arasında 100µm ile 200µm uzaklığa eşdeğerdir. Bu nedenle örnekleme saati hattı ve giriş işareti hattının serimi çok dikkatli gerçekleştirilmelidir. Saat veya işaret hatları farklı proses devreleri içeriyorsa bu elemanların gecikmeleri, istenen zaman doğruluğunun belli kesirleri seviyesinde kalmalıdır. Ayrıca toplam çip alanının küçük olması, zamanlama hatalarının minimum olması anlamına da gelmektedir.

Son olarak, birçok devre, işaret bağımlı gecikmeler içermektedir. Örneğin her genlik-

sınırlayıcı devresi ardından gelen band genişliği sınırlayıcı devresi giriş işaret eğimine bağlı bir gecikme içerir. Bu devreler yüksek hızlı ADC lerin giriş ve karşılaştırıcı katlarında sıkça rastlanan devrelerdir. İşaret bağımlı gecikmeler kuantalanmış işaretin üçüncü dereceden bozulması olarak kendini gösterir.

2.1.2 Bozulmalar

Kuantalanmış işarete meydana gelen bozulmalar dört temel sebepten kaynaklanır:

- Karşılaştırıcıların boşluk (aperture) süresi
- Giriş yükseltecinin lineer kısmındaki bozulmalar
- Karşılaştırıcı ofsetlerindeki ve referans gerilimlerindeki değişimler
- Analog işaret ve saat işaretinde meydana gelen gecikmeler

Büyük bir karşılaştırıcı boşluk süresi karşılaştırıcının topolojisinden veya örnekleme saatinin büyük yükselme ve düşme süresinden kaynaklanabilir. Bu durum yüksek frekans örnekleme hatalarına neden olur. Bu olgu kendini üçüncü dereceden bir bozulma olarak gösterir. Karşılaştırıcı katlarının küçük işaret band genişliğinin kuvvetlendirilmesi bu hatayı azaltır.

Giriş kuvvetlendiricisindeki nonlineer bozulmalar giriş işarete harmonikler ve başka işaretler eklenmesine neden olur.

Birçok yüksek hızlı analog dijital dönüştürücü çok sayıda referans gerilimi gerektirir. Bu referans gerilimleri genellikle bir referans kaynağı ve gerilim bölücü dirençler kullanarak elde edilir. Bu referans gerilimlerinde meydana gelen hatalar giriş kuvvetlendiricisinin nonlineer distorsiyonuna eklenir. Sadece gerilim bölücünün doğruluğuna bağlı bir nonlineerlik elde edebilmek için karşılaştırıcı ofset gerilimleri referans gerilim adımına oranla küçük olmalıdır. Bir diğer problem referans gerilimleri üzerine karşılaştırıcı katlarından gelen geri tepme (kickback) etkisidir (clock feedthrough). Giriş işaretinin örneklenmesi sırasında referans gerilimi nominal değerinden geçici olarak sapar. Bu da ek kuantalama hatalarına neden olur.

Bu zamanlama ve bozulma hataları tüm ADC ler için ortak performans sınırlayıcı etkenlerdir. Bu etkileri minimize eden yapı katlamalı ADC lerdir.

2.2 Dönüştürücü Kodlama Şemaları

Analog dijital dönüştürücülerde sonuç dijital kodu üretilmeden önce farklı kodlama şemaları kullanılır.

2.2.1 Termometre kodu

Tam paralel yapılar da termometre kodu denen bir kodlama yaygın olarak kullanılır. Giriş işaretinin her bir referans gerilimini geçişinde karşılaştırıcının çıkış koduna bir adet lojik 1 eklenir (Çizelge 2.1). İkili kodun her bir bitlik artışında termometre kodundaki 1 sayısı bir artmaktadır. Termometre kodu basit bir kapı elemanı ve bir ROM yardımıyla ikili koda kolayca dönüştürülebilir.

Çizelge 2.1 Termometre kodu

İKİLİ KOD	TERMOMETRE KODU
0000	00000000
0001	00000001
0010	00000011
0011	00000111
0100	00001111
0101	00011111
0110	00111111
0111	01111111
1000	11111111

2.2.2 Gray kodu

Karşılaştırıcı katında farklı bir analog kodlama sistemi uygulanmış olan dönüştürücülerde, Gray kodu termometre kodundan daha etkili sonuç verir (Çizelge 2.2). Gray kodunun karakteristiği bir koddan diğerine yalnızca bir bitin lojik seviyesinin değişmesidir.

Çizelge 2.2 Gray kodu

GİRİŞ SEVİYESİ	İKİLİ KOD	GRAY KODU
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1100
9	1001	1101
10	1010	1111
11	1011	1110
12	1100	1010
13	1101	1011
14	1110	1001
15	1111	1000

2.2.3 Döngüsel kod

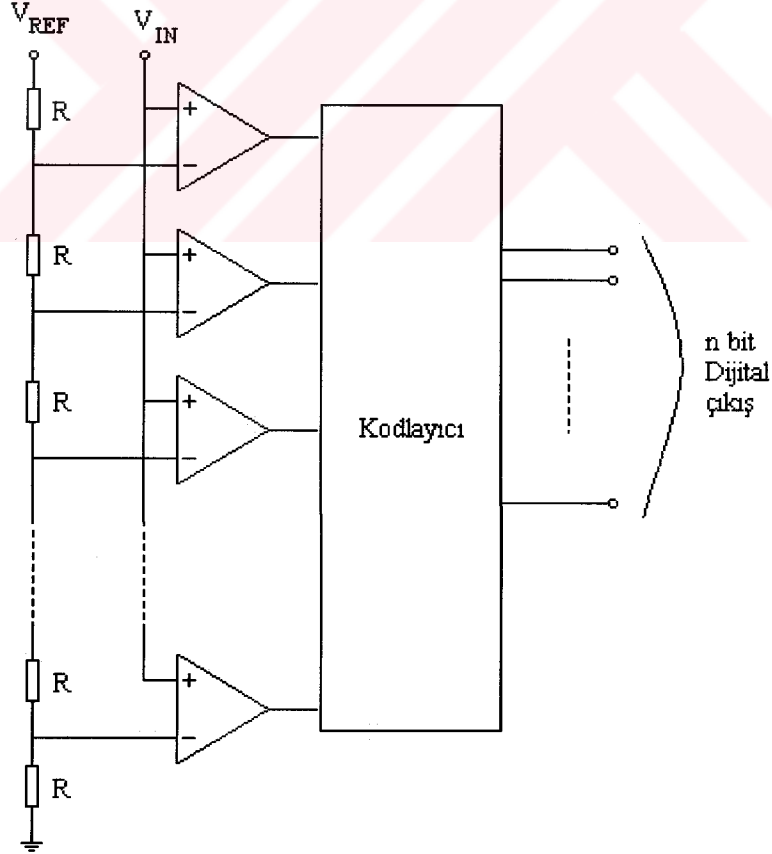
Çizelge 2.3 de döngüsel kod yapısı görülmektedir. Döngüsel kodun özelliği her adımda koddaki 1 sayısının bir artmasıdır. Tüm kod 1 lerden oluştuğunda bu sefer kod 1000 değerine gelene kadar koddaki 1 sayısı bir azaltılır. 1000 değerinden sonra 0000 başlangıç değeri gelir.

Çizelge 2.3 Döngüsel kod

İKİLİ KOD	DÖNGÜSEL KOD
000	0000
001	0001
010	0011
011	0111
100	1111
101	1110
110	1100
111	1000

3. TAM PARALEL (FULL FLASH) DÖNÜŞTÜRÜCÜLER

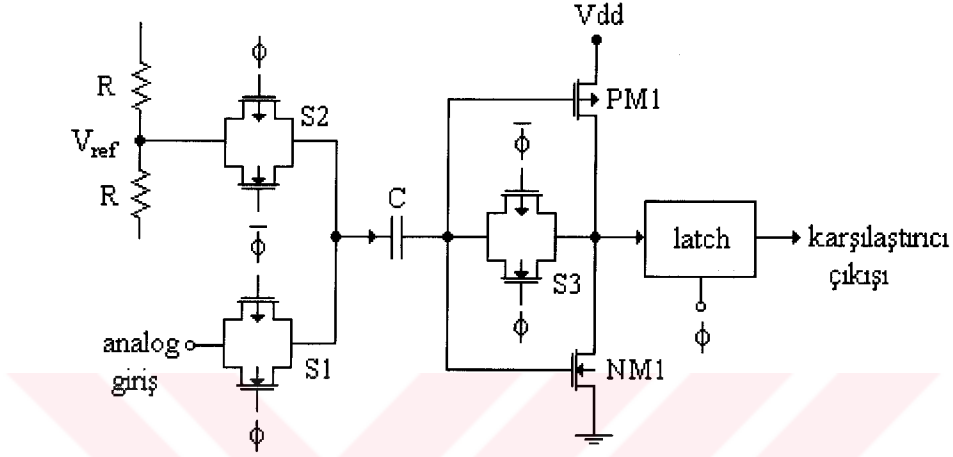
N bitlik bir paralel analog dijital dönüştürücüde $2^N - 1$ referans gerilimi ve karşılaştırıcı katı analog işareti termometre koduna benzer bir koda dönüştürmek için kullanılır (Şekil 3.1). Bu kod daha sonra bir ROM yapısı kullanarak çıkış sayısal işaretine dönüştürülür. 8-bit paralel dönüştürücüler orta ölçekte güç tüketimi ve kapladığı alan bakımından gerçeklenmeye müsait bir çözünürlüğe sahip iken, bu çözünürlük 10 bite çıkarıldığında gereken alan ve güç tüketimi kabaca dört katına çıkmaktadır. Uygulamada, entegre devrelerin dayanabileceği maksimum bir güç sınırı bulunduğundan, devrenin toplam güç kaybı azaltılmalıdır. Toplam güç kaybını azaltmak için karşılaştırıcıların güç kaybını azaltmak gerekir. Sistemin band genişliği sistemin besleme akımına bağlıdır, bu da güç kaybına neden olur. Çip boyutunun büyümesi sebebiyle saat ve giriş işaretinin tüm çip üzerine dağıtımının gecikmelerden dolayı $\pm 1/2$ LSB den az hataya neden olacak şekilde sağlanması gitgide güçleşmektedir. Sistemin giriş kapasitesi karşılaştırıcı sayısı ile lineer artmaktadır. Ayrıca karşılaştırıcı sayısının artması saat sürme devrelerinde yoğun trafiğe sebep olur. Saat işaretine küçük yükselme ve düşme süreleri elde etmek oldukça zordur ve genellikle harici saat sürücüleri gerektirmektedir.



Şekil 3.1 Tam paralel ADC yapısı

3.1 MOS Karşılaştırıcı Yapısı

MOS teknolojisinde Şekil 3.2 de görülen temel karşılaştırıcı yapısı kullanılabilir. Devre bir CMOS evirici (NM1 ve PM1), veri depolamak için bir kondansatör (C) ve üç adet transmisyon kapılarıyla oluşturulmuş anahtardan (S_1 , S_2 , S_3) oluşur. S_1 , S_2 ve S_3 anahtarları saat işareti ϕ ve $\bar{\phi}$ tarafından kontrol edilmektedir. Bir CMOS transmisyon kapısı, bir nMOS ve bir pMOS transistörün paralel bağlanmasıyla oluşturulur.



Şekil 3.2 Temel MOS karşılaştırıcı

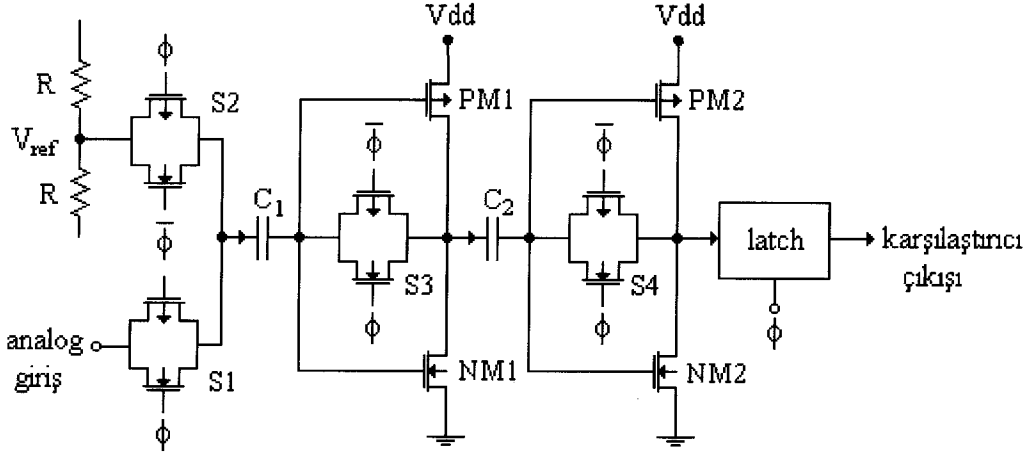
S_1 ve S_3 anahtarlarının kapanmasıyla karşılaştırma adımı başlar. S_3 anahtarı CMOS eviricinin drain ve gate uçlarını kısa devre eder. Bunun sonucunda eviricinin gate ucunda transkondüktansına bağlı bir düşük empedans değeri elde edilir. Bu da C kondansatörünün topraklanması anlamına gelir.

S_1 anahtarı yoluyla giriş işareti kondansatörün diğer ucuna uygulanır. Böylece giriş işareti örneklenir ve S_1 ve S_3 anahtarları açıldığında C üzerinde saklanır. S_3 ün açılmasıyla CMOS evirici aktif olur. S_2 anahtarının kapanmasıyla direnç bölücü üzerinden elde edilen referans gerilimi kondansatöre uygulanır. Giriş gerilimi ile referans gerilimi arasında bir fark olduğunda, bu fark yüksek kazançlı eviricinin girişine uygulanır. Bu evirici farkı kuvvetlendirir ve bu kuvvetlendirilmiş fark işareti latch e uygulanır. Giriş işareti ve eviricinin ofset gerilimi toplamı C kondansatörü üzerinde örneklendiğinden ve bu toplam işaret referans gerilimi ile karşılaştırıldığından, sonuç çıkış işaretine ofsetin etkisi yoktur. Tek hata kaynağı anahtarların ideal olmamasıdır. Bu anahtarlar tutma kapasitesi gibi çalışan C kondansatörü üzerine bir yük eklerler ve bu yük saat frekansına bağlı ofset gerilimine sebep olur.

Bir diğer problem de katın görece düşük kazancı ve anahtar kanal yükleri ile anahtar besleme

işaretlerinin (feedthrough) de C kondansatörünü yüklemesidir. Bu problemi kısmen çözmek için zıt fazlı çalışan CMOS transmisyon kapıları kullanılmıştır. Anahtarların çalışmasını kontrol eden saat işaretlerinin birbirine zıt fazda seçilmesi kapasitif besleme etkilerini azaltır.

İki katın art arda bağlanmasıyla kaskat bir yapı oluşturulabilir.



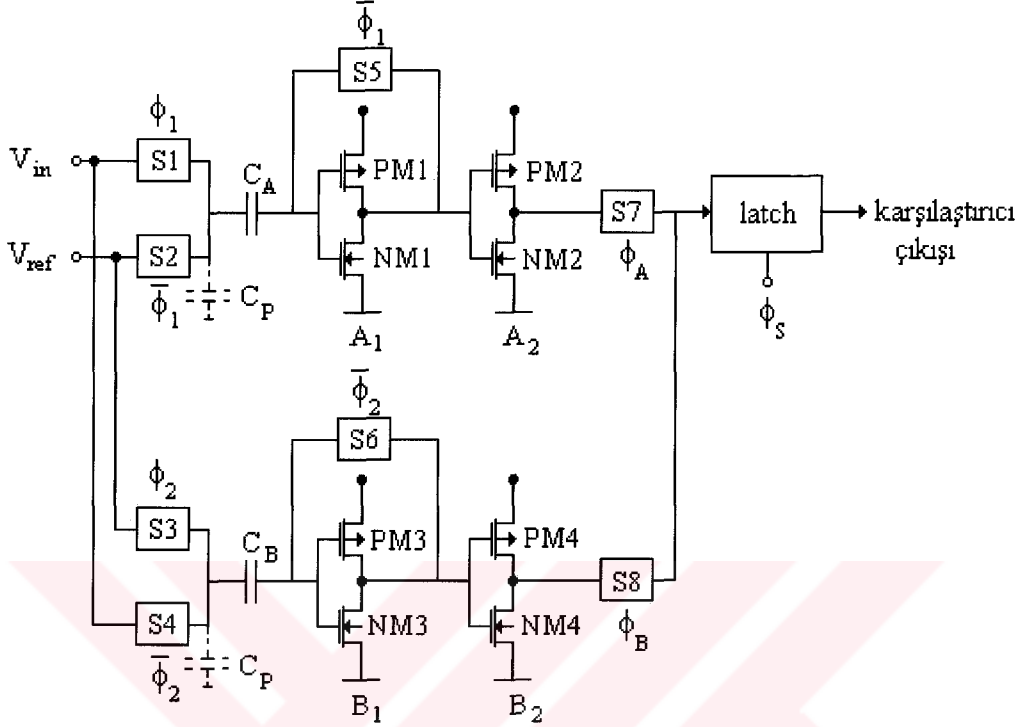
Şekil 3.3 İki katlı CMOS karşılaştırıcı

Bu devrede S_1 , S_3 ve S_4 anahtarları kapatılarak giriş işareti C_1 e örneklenirken, ek ofset ve hata işaretleri C_2 üzerine örneklenir. S_1 ve S_3 anahtarları aynı anda açıldığında S_3 anahtarına ait kanal yüklerinin ve kanal beslemesinin bir kısmı, S_4 kapalı kaldığı sürece C_2 ye örneklenir. Böylece S_3 anahtarının ideal olmamasından kaynaklanan hatalar dengelenmiş olur. Daha sonra S_4 açılır, S_2 kapanır ve karşılaştırma işlemi gerçekleştirilir. Bu karşılaştırıcının çıkışı da bir latch e bağlanmıştır. Latch katı karşılaştırıcı çıkış seviyesini bilinen lojik 1 ve lojik 0 seviyelerine yükseltir.

Bu sistemin avantajı her karşılaştırıcı içinde bir küçük örnekle-tut fonksiyonu gerçekleştirilmesidir. Bu özellik tam paralel yapılarda karşılaştırıcı katlarının basitleştirilmesinde etkin biçimde kullanılabilir. Sistemin maksimum örnekleme frekansı karşılaştırıcının hızı tarafından belirlenir.

3.2 Paylaşımlı (Interleaved) karşılaştırıcılı tam paralel dönüştürücüler

Giriş karşılaştırıcı katının çoğullanmasıyla örnekleme hızı iki katına çıkarılabilir (Şekil 3.4).



Şekil 3.4 Paylaşımlı karşılaştırıcılı ADC

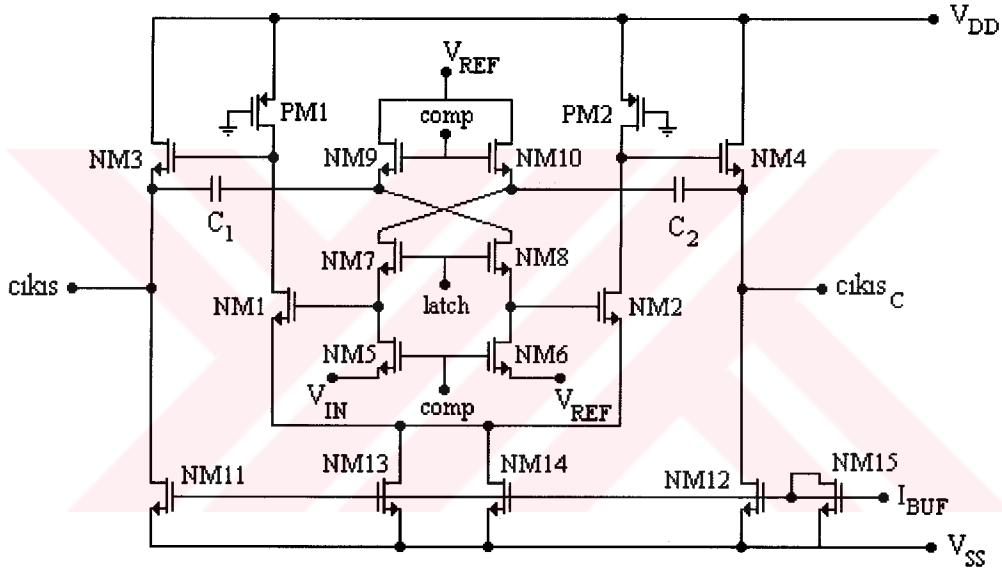
Devre Şekil 3.2'deki iki karşılaştırıcının paralel bağlanmasıyla elde edilmiştir. İki ekstra evirici katı kazancı artırmak için eklenmiştir. Karşılaştırıcıların çıkışları S7 – S8 çoğullayıcısı yoluyla çıkış latch'ine bağlanmıştır. A₁ ve A₂ ile gösterilen giriş karşılaştırıcı katı (S₁ ve S₅ i kapatarak) örnekleme modundayken B₁ ve B₂ ile gösterilen karşılaştırıcı kısmı karar verme fazındadır. S₄ ve S₈ kapanır ve karar bilgisi çıkış latch'ine ulaşır. Bir sonraki saat fazında A₁ ve B₁ fonksiyonları yer değiştirir ve A₂ den gelen karar bilgisi S₇ yoluyla çıkış latch'ine ulaşır. Dual giriş sistemini kullanarak karşılaştırıcı performansında kayba yol açmadan örnekleme frekansı iki katına çıkarılabilir.

3.3 Farksal Oto-Sıfır Karşılaştırıcı

MOS karşılaştırıcıların besleme hattı gürültüsüne duyarlılığını azaltmak için farksal bir oto-sıfır (auto-zero) karşılaştırıcı devresi tasarlanmıştır. Devre giriş farksal çifti (NM1, NM2), pMOS yükler (PM1, PM2), kuvvetlendirme ve karşılaştırma fazları arasında anahtarlamayı sağlayan NM5 ve NM6 anahtarları ve C₁ ve C₂ kondansatörleri üzerindeki parazitik yüklenmeleri

azaltmak üzere NM3 ve NM4 kuvvetlendiricilerinden oluşur.

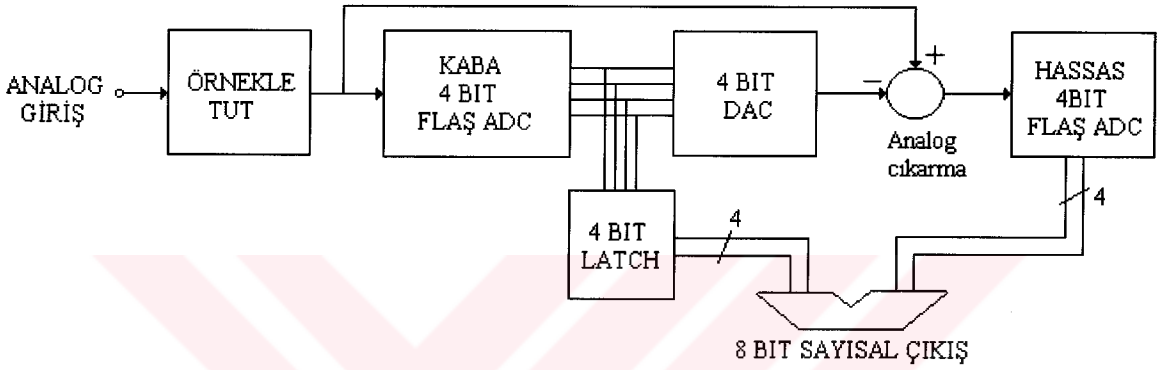
Devrenin kuvvetlendirme ve karşılaştırma fazlarını ayrı ayrı inceleyelim. Kuvvetlendirme fazında giriş ve ofset gerilimi kuvvetlendirilir ve sistem çıkışı C_1 ve C_2 üzerinde saklanır. Karşılaştırma fazı süresince giriş açık devre edilir. C_1 ve C_2 kondansatörlerinin alt uçları NM1 ve NM2 kuvvetlendirici girişlerine çapraz bağlanmış olur. Bu şekilde çok hassas bir karşılaştırıcı gibi çalışan bir flip flop katı elde edilir. Kondansatörlerin çapraz bağlanması sebebiyle ofset gerilimi kondansatörlerde saklanan aynı değerdeki ofset ile dengelenir. Sonuç olarak ek bir saat periyoduna ihtiyaç duymadan ofset ve giriş işareti birbirinden ayrılmış olur. Ancak pratik uygulamada anahtarların besleme etkisi nedeniyle ideal ofset dengelemesinden sapmalar görülür.



Şekil 3.5 Farksal oto sıfır karşılaştırıcı

4. İKİ ADIMLI PARALEL DÖNÜŞTÜRÜCÜLER

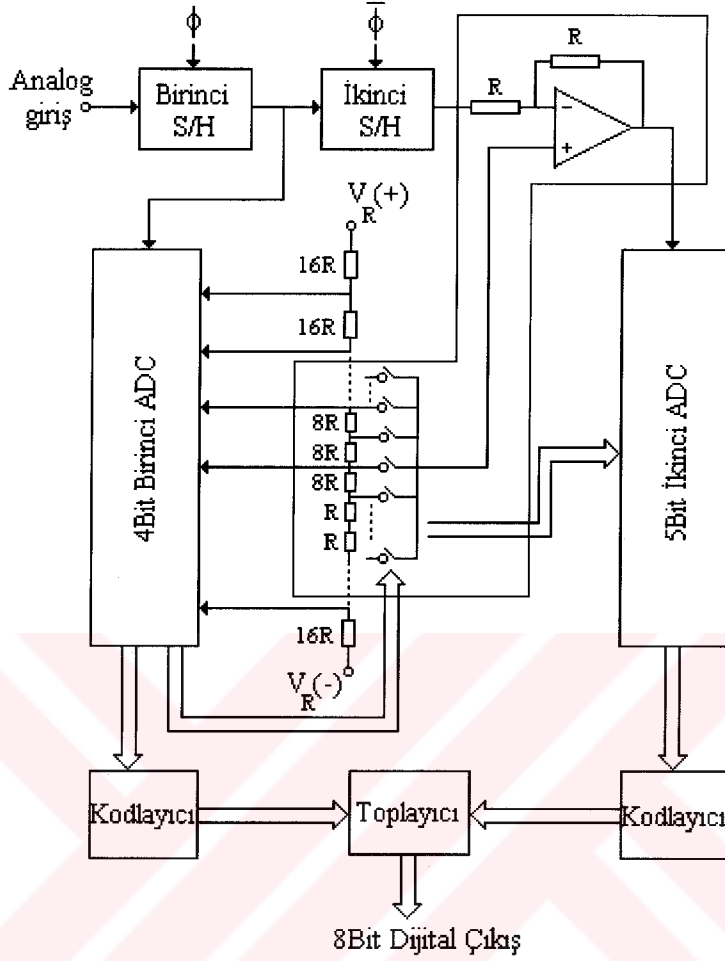
Tam paralel yapıda karşılaşılan sorunların üstesinden gelebilmek için iki adımlı yapı geliştirilmiştir. Bu iki adımlı yapı karşılaştırmacı çözünürlüğünü artırmak için bir kaba diğeri hassas olmak üzere iki adet kuantalama adımı kullanır. 8 bitlik bir sistemi göz önüne alalım Bu sistem 4 bitlik bir kaba kuantalama yapar. Bu adımdan sonra elde edilen 4 bitlik dijital veri bir D/A dönüştürücü yoluyla tekrar analog gerilime dönüştürülür. Bu analog gerilim giriş işaretinden çıkarılır ve fark işareti hassas kuantalayıcıya uygulanarak sonuç dijital kod elde edilir.



Şekil 4.1 İki adımlı ADC yapısı

Bu sistemde 8 bitlik çözünürlük için 40 karşılaştırmacı gerekmektedir. Ancak bu uygulamadaki (4 bitlik) D/A dönüştürücü 8 bit hassasiyete ve lineerliğe sahip olmalıdır. Ayrıca kaba kuantalama/tekrar oluşturma adımıdaki gecikmeyi dengelemek için girişte bir örnekle-tut devresine gereksinim vardır. Sistemin dinamik performansı örnekle-tut devresinin performansına bağlıdır. Zaman bölüşümlü (pipelined) yapılarda ikinci bir örnekle-tut devresi analog fark işaretini saklamak için kullanılır. Bu arada yeni bir giriş işaretinin kaba kuantalanması yapılır. Bu yapıda çok büyük alanlar gerektirmeden ve çok güç kaybına yol açmadan yüksek çözünürlüklere gidilebilir. Yapının uygulanabilirliği yüksek performanslı örnekle-tut devresinin varlığına bağlıdır.

4.1 MOS İki Adımlı Dönüştürücüler



Şekil 4.2 MOS iki adımlı ADC yapısı

Şekil 4.2 de bir zaman bölüşümlü dönüştürücünün MOS uygulaması görülmektedir. Sistem ilk önce 4 bit kaba kuantalama, sonra 5 bir hassas kuantalama yapmaktadır. İlk örnekleme devresi analog giriş işaretini örnekler. Bu işaret ilk 4 bit paralel dönüştürücü yoluyla dijital işarete çevrilir. İlk dönüştürücünün çıkışı kaydedilir ve D/A dönüştürücü kısmı seçilir. D/A dönüştürücü iki farklı işleve sahip bir direnç dizisi içerir. Bu direnç dizisi öncelikle 4 bit kaba ADC için referans gerilimlerini üretir. Kaba kuantalama adımı gerçekleştirildikten sonra paralel dönüştürücünün karşılaştırıcı çıkışlarında oluşan termometre kodu, analog işaretin tekrar oluşturulmasında kolay kontrol imkanı sağlar. Direnç dizisinin ikinci fonksiyonu budur. Analog çıkartıcı devresi evirmeyen girişine uygulanan işaretler için 2 kat kazanç sahibidir. D/A gerilimi bu girişe bağlıdır. Kaba kuantalama adımından sonra giriş işareti ikinci örnekleme devresine uygulanır. Daha sonra D/A dönüştürücü çıkışı giriş işaretinden çıkarılır ve fark 5

bit hassas analog dijital dönüştürücüye uygulanır. Burada hassas kuantalama adımı gerçekleşir ve sonuç veri latch lerde saklanır. 5 bir hassas kuantalama, taşma ve ofset hatalarını düzeltmek için kullanılmıştır. Son olarak kaba ve hassas kuantalayıcı çıkışları toplanarak 8 bit dijital çıkış elde edilir.

4.2 Örnekle-Tut Karşılaştırmalı İki Adımlı ADC

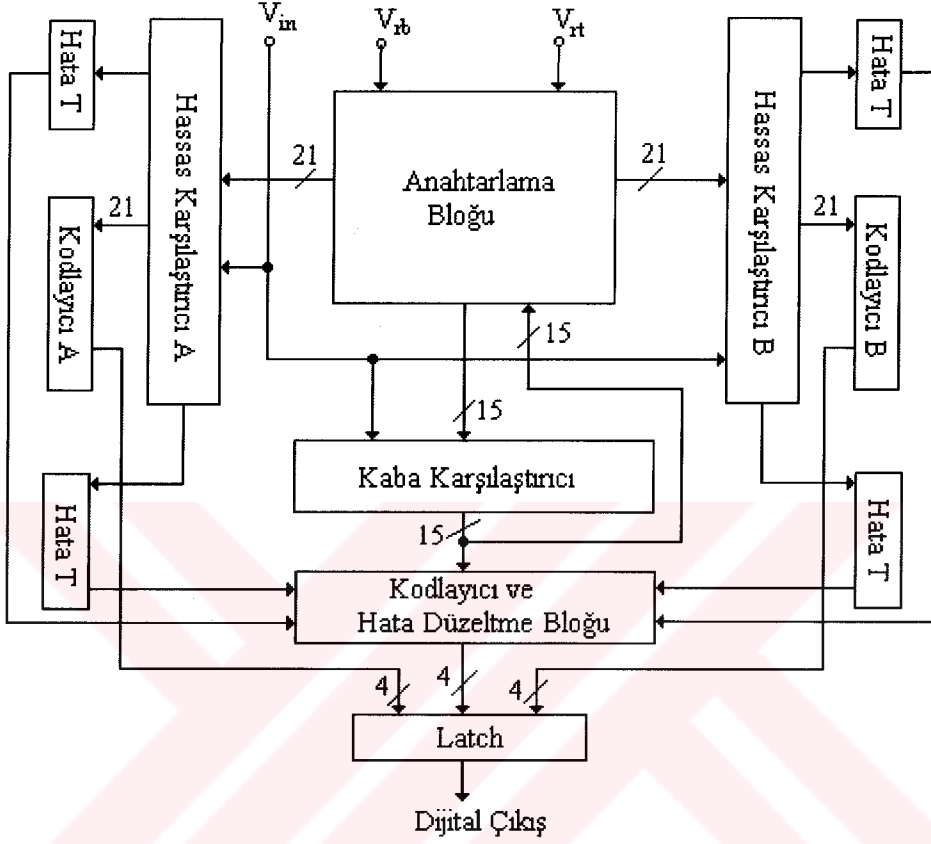
Temel MOS karşılaştırmacının giriş işaretini hassas biçimde örnekleme özelliği etkin bir şekilde kullanılabilir. Girişte, sırasıyla kaba ve hassas kuantalamayı seçecek şekilde ek bir anahtar gereklidir. Bu sistemde dönüşüm üç saat periyoduna ihtiyaç duyar. İlk periyot (AZ – auto zero) boyunca giriş işareti örneklenir ve giriş kondansatörlerinde saklanır. İkinci periyotta (8 bitlik bir sistemde 16 kaba kuantalama adımı yer alır) kaba kuantalama (CC) gerçekleşir. Kaba kuantalama adımında girişin hangi iki kuantalama adımı arasında işaret değiştirdiğine karar verir. Bu işaret değişimi, işaret değişiminin olduğu iki kaba kuantalama adımı arasında hassas kuantalama gerçekleşmesi gerektiğini gösterir. Üçüncü periyotta (FC) bir önceki adımda belirlenen kaba kuantalama adımları arasındaki hassas kuantalama seviyeleri aynı karşılaştırmalara uygulanır ve hassas kuantalama gerçekleşir. 15 adet karşılaştırmacı kullanarak 8 bitlik dönüştürücü gerçekleştirilebilir. Ancak böyle bir dönüştürücü kaba kuantalama adımı sırasında meydana gelen hatalar için herhangi bir hata düzeltme mekanizmasına sahip değildir. Daha fazla karşılaştırmacı kullanıldığında, hassas kuantalama adımı sırasında bir ölçekleme (overranging) uygulanarak çıkış kodunda bir düzeltme sağlanabilir. Bu sistemin dezavantajı üç saat darbesine ihtiyaç duymasıdır.

4.3 Paylaşımlı Karşılaştırmalı İki Adımlı ADC

Karşılaştırmacıları maksimum hızda çalışan bir ADC nin hızını artırmak için, kaba ve hassas kuantalayıcı çözünürlükleri artırılmalıdır. Hız ve eleman sayısı arasında ilginç bir optimum nokta bir 4 bit kaba kuantalayıcı ve iki adet paylaşımlı hassas kuantalayıcı kullanarak elde edilebilir (Şekil 4.3).

Devrenin çalışma prensibi şu şekildedir: Giriş işaretinin örneklenmesi sırasında kaba kuantalayıcı ve hassas kuantalayıcı (A) girişe bağlıdır. Giriş işareti örneklendikten sonra kaba kuantalama gerçekleştirilir. Daha sonra kaba kuantalayıcıdan gelen bilgi hassas kuantalayıcı referans gerilimi seviyelerini oluşturmak için kullanılır. Örnekleme ve kaba kuantalama adımı süresine eşit bir periyotta hassas kuantalama gerçekleştirilir. Paylaşım işlemi tam bu sırada giriş işaretinin ikinci örneğinin kaba kuantalayıcı ve hassas kuantalayıcı (B) ye

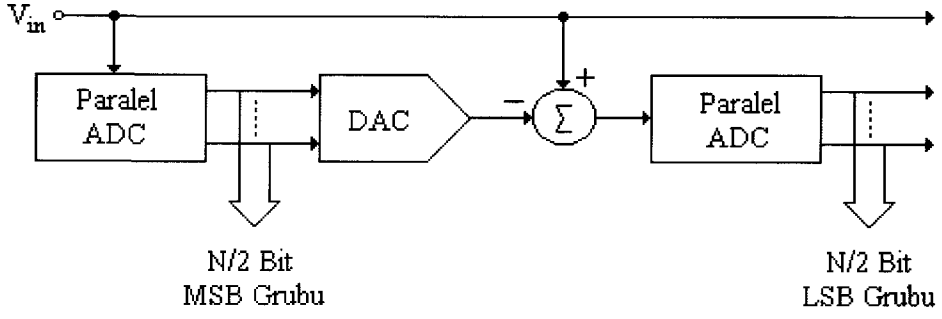
uygulanmasıyla gerçekleştirilir. Birinci örneğin hassas kuantalanması tamamlandığında, ikinci hassas kuantalayıcı ikinci örneği alır, bu sırada kaba ve hassas kuantalayıcı (A) girişin üçüncü örneğini işlemeye başlar. İşlem bu şekilde devam eder ve böylece iki kata yakın bir hız artışı elde edilebilir.



Şekil 4.3 Paylaşımlı karşılaştırıcılı iki adımlı ADC yapısı

4.4 Çok Adımlı (Multi-Step) Analog Dijital Dönüştürücüler

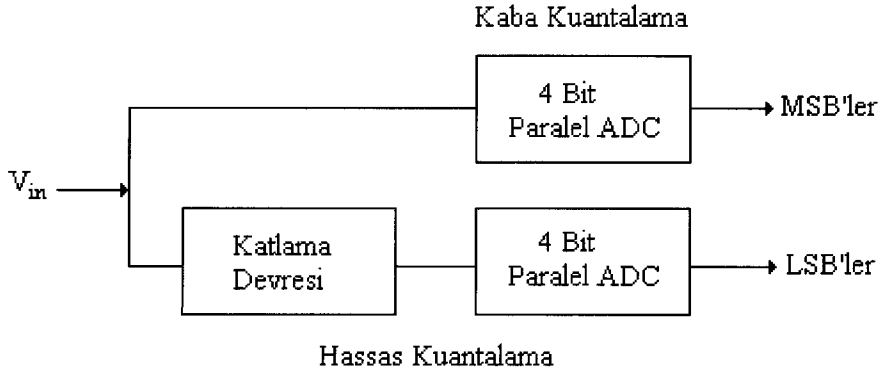
Şekil 4.4 de çok adımlı analog dijital dönüştürücü genel yapısı görülmektedir.



Şekil 4.4 Çok adımlı ADC yapısı

Bu sistem kaskat bağlı paralel analog dijital ve dijital analog dönüştürücüler ile analog çıkarıcıdan oluşur. Kullanılan paralel A/D ve D/A dönüştürücülerin minimum çözünürlüğü 1 bit olabilir. Bu minimum çözünürlüğü kullanarak N bitlik bir dönüştürücü tasarlamak için N adım gereklidir. Daha yüksek çözünürlüklü dönüştürücü üniteleri kullanarak daha az adımda istenen çözünürlüğe ulaşılabilir. Sistem yüksek hız ve düşük çip alanına sahiptir ancak sistemin karmaşıklığı ile yüksek hızlı ve yüksek doğruluklu çıkarıcı tasarımının zorluğu bu sistemin dezavantajlarıdır.

5. KATLAMALI (FOLDING) ANALOG DİJİTAL DÖNÜŞTÜRÜCÜLER



Şekil 5.1 Temel katlamalı ADC mimarisi

Katlamalı analog dijital dönüştürücü yapısında tam paralel yapının dijital örnekleme ve iki adımlı yapının az eleman kullanma avantajları birleştirilmiştir. Bu sistemde örnekle-tut devresine gerek yoktur. Bu mimaride giriş işareti hassas kuantalayıcıya uygulanacak tekrarlı bir işarete çeviren bir analog ön işleme (preprocessing) adımından geçirilir. Sistemde kaba kuantalayıcı tarafından MSB belirlenir, ayrıca işaretin kaç defa katlanacağına da kaba kuantalayıcı karar verir. Diğer bitler hassas kuantalayıcı tarafından belirlenir. Hassas kuantalayıcı girişine analog ön işleme bloğundan gelen “katlanmış” işareti sonuç sayısal koduna dönüştürür. Bu şekilde 30 karşılaştırıcı ile 8 bit çözünürlük elde edilebilir. (4 bit kaba ve 4 bit hassas kuantalama için). Düşük eleman sayısı çip alanının küçük olmasını sağlarken karşılaştırıcı ve katlama katlarının band genişliğini artırmak için daha yüksek güç bu katlarda harcanabilir. Sistemin dezavantajı ise katlanan giriş işaretinin büyük tekrarlıma oranına sahip olması durumunda katlanan işaretin uçlarının yuvarlatılmasına sebep olmasıdır. Bu yuvarlatma hatası dönüşüm işleminde genlik kuantalaması kullanıldığında giriş spektrumunun yüksek frekans ucunda veri kaybına yol açar. Sisteme örnekle-tut yükseltici eklenerek bu yuvarlatma problemi engellenir. Böylece tek hız sınırlaması sistemin kararlı hale geçmesi için gereken süre (settling time) haline gelir.

5.1 Katlamalı ve İnterpolasyonu ADC

Hızlı ve düşük yoğunluklu dönüştürücüler, hard disk sürücü okuma kanallarında, yerel ağ şebeke arayüzlerinde ve haberleşme devrelerinde uygulama alanı bulmaktadır. Bu uygulamalar için 400MS/s ye kadar örnekleme hızları istenmektedir ve alan ve güç tüketimini belli sınırlar içerisinde tutmak gerekir. Bipolar sistemler genellikle analog tasarımı

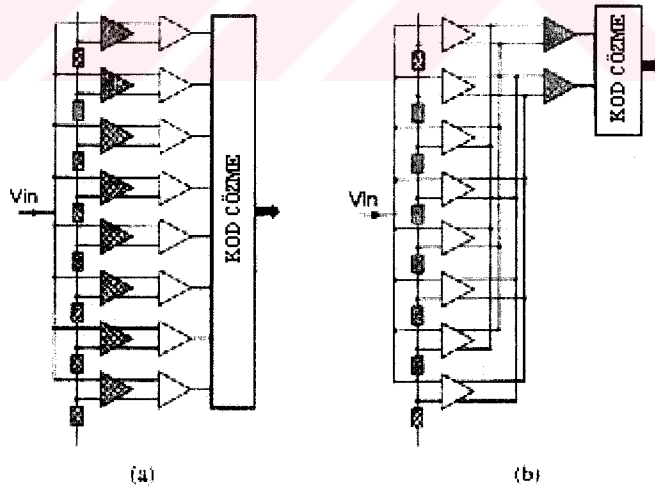
kolaylaştırır ancak maliyet ve entegrasyon bakımından tercih edilen teknoloji CMOS'dur.

Hızlı düşük yoğunluklu dönüştürücüler için genellikle paralel yapının varyasyonları tercih edilir. Paralel yapının ana dezavantajı karşılaştırıcı sayısının çözünürlükle üstel olarak artması bunun da alan ve güç kaybına yol açmasıdır.

6-12 bit çözünürlüklü bipolar katlamalı ve interpolasyonlu dönüştürücüler literatürde bulunmaktadır. Manyetik kayıt okuma kanallarında kullanılan 100mW, 100MHz 6 bitlik bir dönüştürücü mevcuttur. MOS transistörlerin görece kötü uyumsuzlukları (mismatching) ve sistemin düşük transkonduktansı nedeniyle MOS teknoloji bu topoloji için uygun değildir. Buna rağmen 8-10 bit çözünürlüklü ve 100 MHz e kadar örnekleme hızına sahip CMOS katlamalı dönüştürücüler tasarlanmıştır.

5.2 Katlama Yapısına Genel Bakış

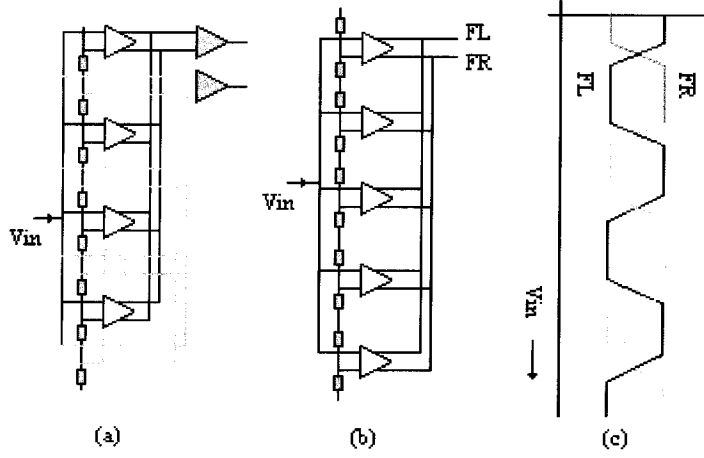
Katlama yapısı 3 bit çözünürlüklü bir paralel analog dijital dönüştürücü üzerinden incelenecektir. Şekil 5.2 deki 3 bitlik paralel ADC giriş işaretini 7 (bazen 8) referans gerilimi ile karşılaştırarak giriş işaretine karşı düşen termometre kodunu oluşturur. Sonraki kodlayıcı bloğu termometre kodunu ikili koda dönüştürür. Şekil 5.2 deki ilk kat kuvvetlendirici ikinci kat ise latch tipi karşılaştırıcıdır.



Şekil 5.2 (a) 3 bit paralel (b) 3 bit katlamalı paralel ADC

Paralel dönüştürücülerde her kod kombinasyonu için ayrı bir karşılaştırıcı bulunur. Sisteme hız kazandıran özellik de bu paralel yapıdır. Ancak, herhangi bir t anında, az sayıda karşılaştırıcı – ki onlar giriş işareti civarında referans gerilimine sahip olan karşılaştırıcılardır

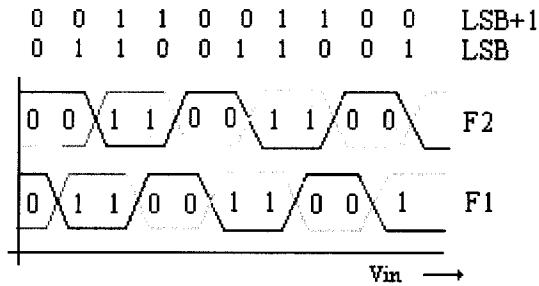
– faydalı bilgi üretir. Bu artık bilgi sistemi daha sıkıştırmak ve eleman sayısını azaltmak için kullanılabilir. Şekil 5.2.b de 3 bit katlamalı ADC yapısı görülmektedir. Bu yapı sadece iki karşılaştırıcıya sahiptir. Burada dörder adet kuvvetlendirici çıkışı birleştirilerek karşılaştırıcı girişlerine uygulanmıştır.



Şekil 5.3 (a) basit katlayıcı (b) pratik katlayıcı (c) farksal çıkışlar

Bu kuvvetlendiricilerin birleştirilmesi işlemi yapan devre katlayıcı (folder) olarak bilinir. Pratikte bir katlayıcı tek sayıda kuvvetlendiriciden oluşur. Şekil 5.3.a da katlamalı dönüştürücü yapısı her katlayıcı 5 adet kuvvetlendirici içerecek şekilde yeniden çizilmiştir. Katlayıcılardan bir tanesi göz önüne alınmış ve farksal çıkışları FL ve FH belirtilmiştir. Giriş gerilimi her bir referans gerilimine ulaştığında farksal çıkışın polaritesi değişmektedir. Böylelikle giriş işareti her bir referans gerilimine ulaştığında “katlanmış” olur.

Katlama tekniği karşılaştırıcı sayısını azaltır ancak bazı veri kayıplarına yol açar. Örnekteki 3 bit karşılaştırıcı için, kullanılan iki adet karşılaştırıcı çıkışı kodlanarak 2 LSB elde edilmiştir. MSB için ise bir kaba dönüştürücüye ihtiyaç vardır.

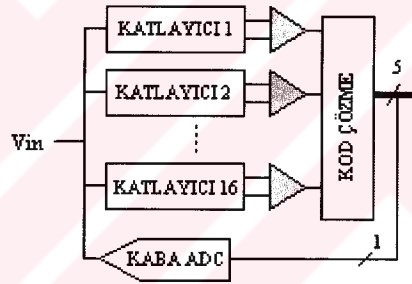


Şekil 5.4 Karşılaştırıcılar tarafından üretilen döngüsel kod

Şekil 5.4 de iki katlayıcı çıkışının giriş gerilimiyle değişimi görülmektedir. Her bir katlama işaretinin polaritesi, giriş seviyesinin her bir referans gerilimi değerine ulaşmasıyla değişmektedir. İki katlayıcı için referans gerilimleri birbirinden farklı olduğu için katlama işaretleri birbirine benzer ancak biri diğerinin ötelenmiştir. Şekilde ayrıca karşılaştırıcı çıkışları ve karşı düşen kodlanmış sayısal çıkış seviyeleri görülmektedir. Bu karşılaştırıcı çıkış kodu döngüsel (cyclic) termometre kodu olarak da anılır.

5.3 Katlayıcı

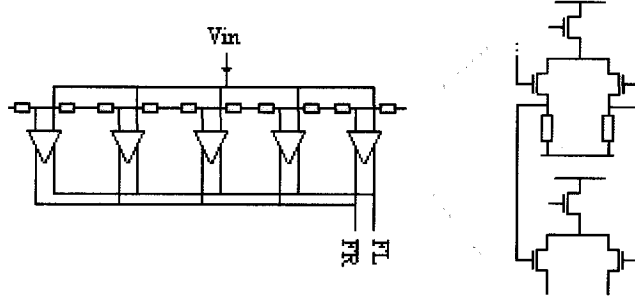
Paralel yapıyla karşılaştırılacak olursa, katlamalı yapı için gereken karşılaştırıcı sayısı katlayıcı sayısı oranında azaltılır. Örnekte, 4 e katlayarak karşılaştırıcı sayısı ikiye indirilmiştir. Pratikte katlama sayısı, azaltılan karşılaştırıcı sayısı ile katlama işareti frekansının arasında bir seçimdir. Giriş işareti F_{in} frekanslı maksimum genlikli (FS- full scale) sinüzoidal ise ve N adet katlayıcı kullanılıyorsa katlanan işaretin frekansı $(\pi/2).N.F_{in}$ e yaklaşır.



Şekil 5.5 6 bit katlamalı dönüştürücü blok diyagramı

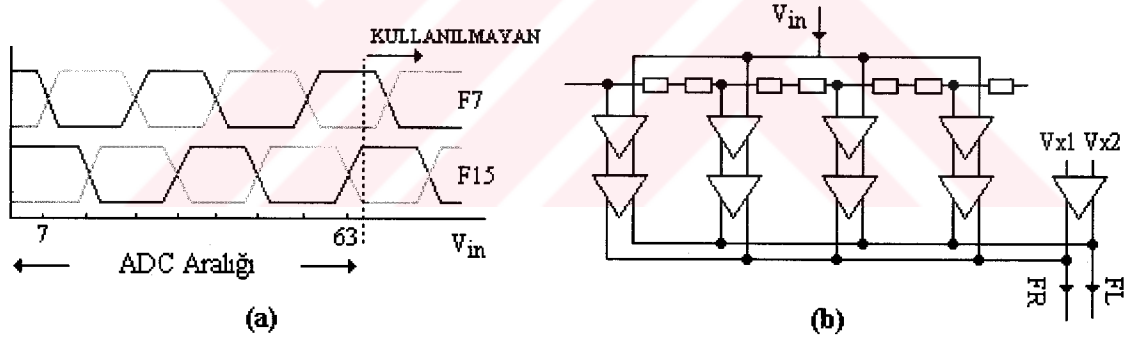
6 bitlik bir uygulama için 4 e katlama seçilebilir. Bu durumda 16 karşılaştırıcı gereklidir. Şekil 5.5 deki devrede 16 katlayıcı, 16 ötelemeli katlama işaretini üretir ve 16 karşılaştırıcıyı sürer. Karşılaştırıcı çıkışlarında üretilen döngüsel termometre kodu 5 LSB yi üretecek şekilde kodlanır (döngüsel kod aynı uzunlukta termometre koduna oranla bir bit fazla bilgi içerir). Aynı bir 1 bit kaba kuantalayıcı MSB yi belirler.

Şekil 5.6 da katlayıcı bloğu görülmektedir. Uygun transkondüktansı sağlamak için, iki katlı bir yapı tasarlanmıştır. İlk kat (ön yükselteç - preamplifier) temel kuvvetlendiricidir. İkinci katın çıkışları ve katlayıcının çıkışı farksal akımlardır. Hızı artırmak için düşük empedanslı (akım modlu) yaklaşım uygulanabilir.



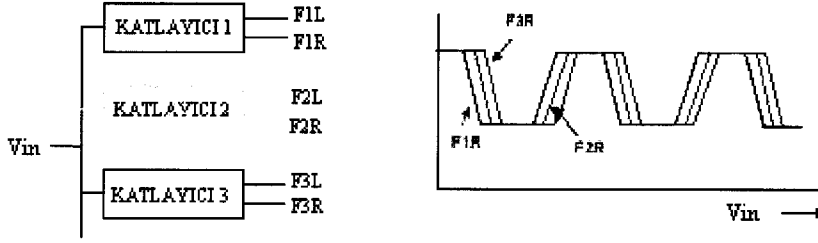
Şekil 5.6 Katlayıcı bloğu

Daha önce belirtildiği gibi her katlayıcı tek sayıda kuvvetlendiriciden oluşmalıdır. Şekil 5.7.a da 16 farksal katlanmış işaretin 2 tanesi görülmektedir. Her durumda, beşinci kuvvetlendiricinin referans gerilimleri karşılaştırıcı gerilim seviyelerinin dışında kalmaktadır, dolayısıyla beşinci kuvvetlendirici kullanılmamaktadır. Bu fazlalık ön yükseltecin güç tüketimini azaltmak için kullanılabilir. Beşinci ön yükselteç sabit gerilimlerle (V_{X1} ve V_{X2}) beslenir. Pratikte tek bir ön yükselteç her katlayıcının beşinci yükselteci tarafından kullanılacak DC gerilimleri üretir.



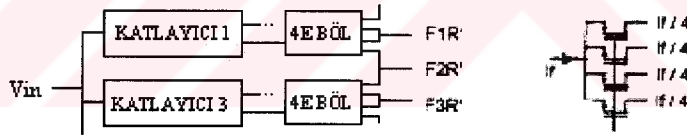
Şekil 5.7 (a) Beşinci kuvvetlendiricinin kullanılmayan katkısı (b) bu bilginin kuvvetlendirici sayısını azaltmak için kullanımı

16 katlama işareti birbirinin aynı ancak ötelenmiş olduğu için bu işaretlerin bir kısmını interpolasyon ile elde edilebilir (Şekil 5.8). Farksal katlama işaretleri F2L ve F2R, F1 ve F3 farksal katlama işaretlerinin ortalaması olarak alınabilir. Bu şekilde katlayıcıların yarısı elenebilir. Bu interpolasyon işlemi eleman sayısını azalttığı gibi, katlama işaretlerinin ofsetlerinden kaynaklanan farksal nonlineerlik (DNL) hatalarını da azaltır.



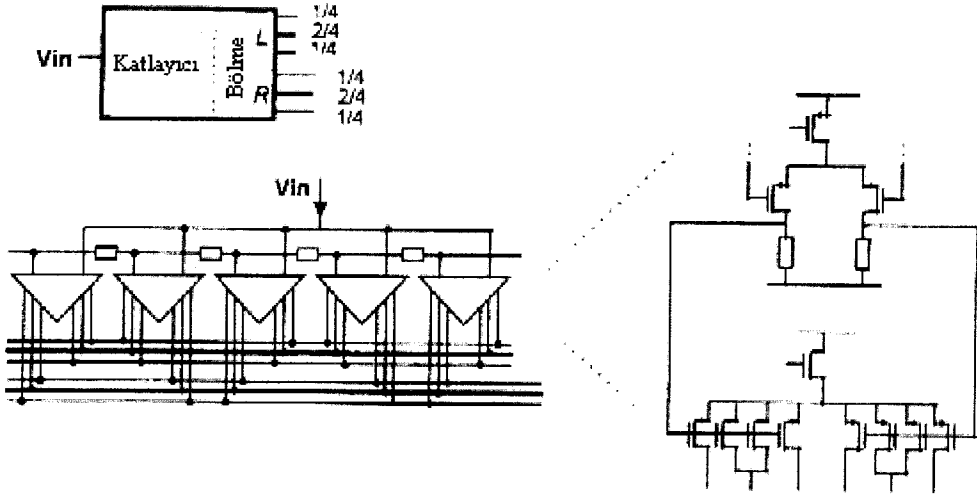
Şekil 5.8 İnterpolasyon

Katlayıcıların gerilim çıkışı ürettiği katlamalı yapılarda interpolasyon dirençlerle sağlanabilir. Bu durumda katlayıcı çıkışları akımdır ve interpolasyon akım bölücü tekniği ile gerçekleştirilir (Şekil 5.9). Katlayıcı 1 ve katlayıcı 3 ün çıkışları iki adet “dörde bölme” bloğunu sürer. Katlayıcı 1 çıkışının bir çeyreği ile 3 çıkışının bir çeyreğinin toplamı $F2R'$ yü , katlayıcı 1 çıkışının iki çeyreğinin toplamı $F1R'$ yü ve benzer şekilde , katlayıcı 3 çıkışının iki çeyreğinin toplamı $F3R'$ yü oluşturur. Uygulamada akım bölücü bir devre özdeş MOS transistör dizileri ile gerçekleştirilebilir. 4 adet paralel transistör kullanılırsa her transistörden toplam akımın dörtte biri geçer. Bu tekniğin iki problemi vardır: veri yolunda ek bir düğüm getirir ve düşük besleme gerilimlerinde kolay çalışmamaktadır.



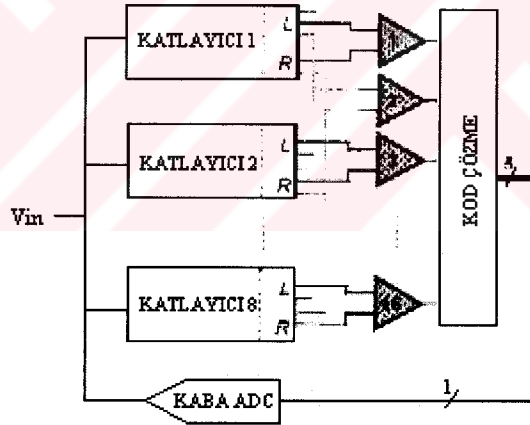
Şekil 5.9 Akım modlu katlayıcı ile interpolasyon

Bu problemleri ortadan kaldırmak için akım bölme işlemi katlayıcı içinde gerçekleştirilebilir (Şekil 5.10). İlk kat olan kuvvetlendirici kısmı aynıdır, ikinci katın farksal çifti şimdi dörderli iki gruptan oluşmaktadır ve her gruptan akımın dörtte biri geçmektedir.



Şekil 5.10 Akım bölme fonksiyonu içeren katlayıcı

Şekil 5.11 de iyileştirilmiş katlayıcının ADC içinde kullanımı görülmektedir. Yapıda sekiz adet sekiz grup akım bölücülü farksal katlama işaretini üreten katlayıcı yer almaktadır. Bu katlayıcılar, 16 akım karşılaştırıcısı için 16 adet farksal akım girişi üretirler.



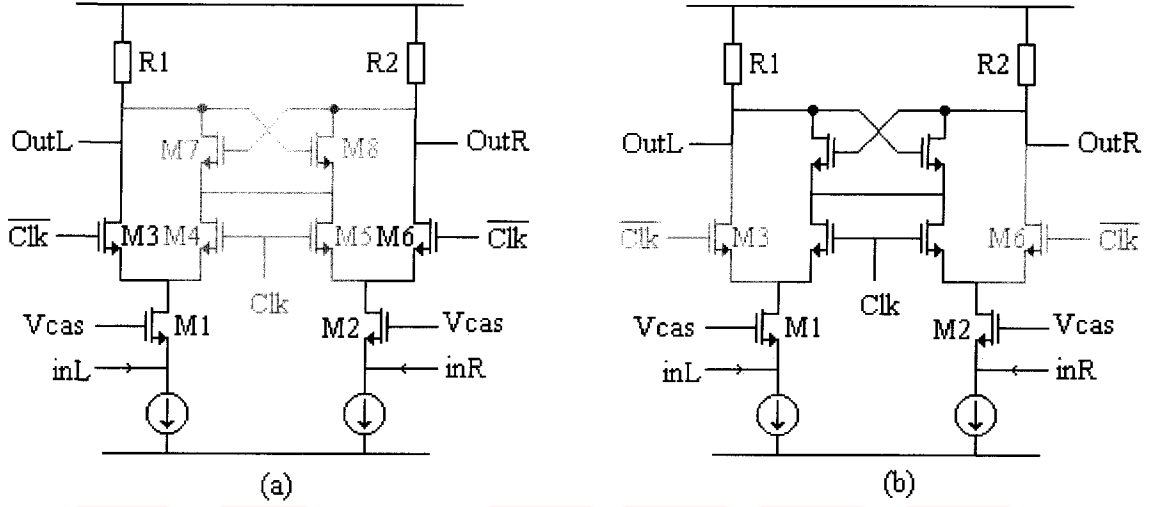
Şekil 5.11 Tüm devrenin blok şeması

5.4 Karşılaştırıcı

Önceden de belirtildiği gibi katlama işareti giriş işaretinden çok daha hızlı biçimde değişmektedir. Bu nedenle düşük boşluk süresine sahip hızlı bir karşılaştırıcı gereklidir. Ayrıca karşılaştırıcı saat beslemesi basit olmalıdır.

İstenen özellikleri sağlayabilmek için emetör kuplajlı lojik (ECL) benzeri yapı kullanılır

(Şekil 5.12). Farksal karşılaştırıcı çıkışı iki yük direnci R_1 ve R_2 yük dirençleri üzerinden alınır. M7 ve M8 çapraz bağlı latch transistörleridir. M3 - M6 anahtarları yoluyla akım, transistörlere veya yük dirençlerine yönlendirilir. Devre iki çalışma moduna sahiptir: izleme (tracking) ve tutma (latching).

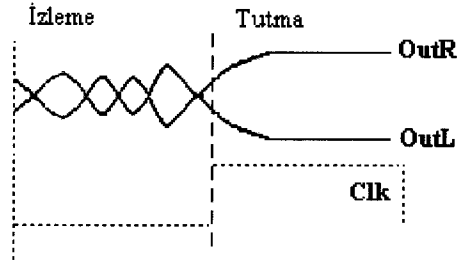


Şekil 5.12 Karşılaştırıcı çalışma modları (a) izleme (b) tutma

Saat işareti (Clk) düşük iken M3 ve M6 anahtarları kapalıdır, karşılaştırıcı izleme modundadır ve farksal çıkış gerilimi (OutL , OutR) karşılaştırıcı giriş değişimlerini izler. Clk yükseldiğinde tutma modu başlar, dirençlere bağlantı kesilir. Bunu yerine iki akım değeri toplanır ve çapraz bağlı tutma transistörlerini besler. M7 ve M8, izleme modunun son anındaki çıkış gerilimine bağlı bir karara varır.

Bu yapının önemli avantajları vardır. Öncelikle tutma devresini süren akımlar toplandığından, giriş işareti tutma modu başladıktan sonra devreye etki etmez. Ayrıca her zaman akımın akacağı bir yol bulunduğundan katlayıcı izleme ve tutma modları arasındaki geçişten çok az etkilenir. Son olarak da çıkış dalgalanması küçük olduğundan karşılaştırma hızlı gerçekleşir.

Bu avantajlarının yanı sıra devre bazı problemler içerir. Şekil 5.13 de görüldüğü gibi çıkış tam bir CMOS işareti değildir ve yarı saat periyodundan az bir süre için geçerlidir. Ayrıca çıkış düğümü ek yüklemelere karşı duyarlıdır ve kuvvetlendirilmelidir. Bu sorun basit bir akım izleyici ile çözülebilir. Daha ciddi bir problem ise ilk katın, sonraki katlardan gelen geri tepme gürültülerine karşı çok duyarlı olmasıdır ki bu da histerezis etkilerine neden olur.

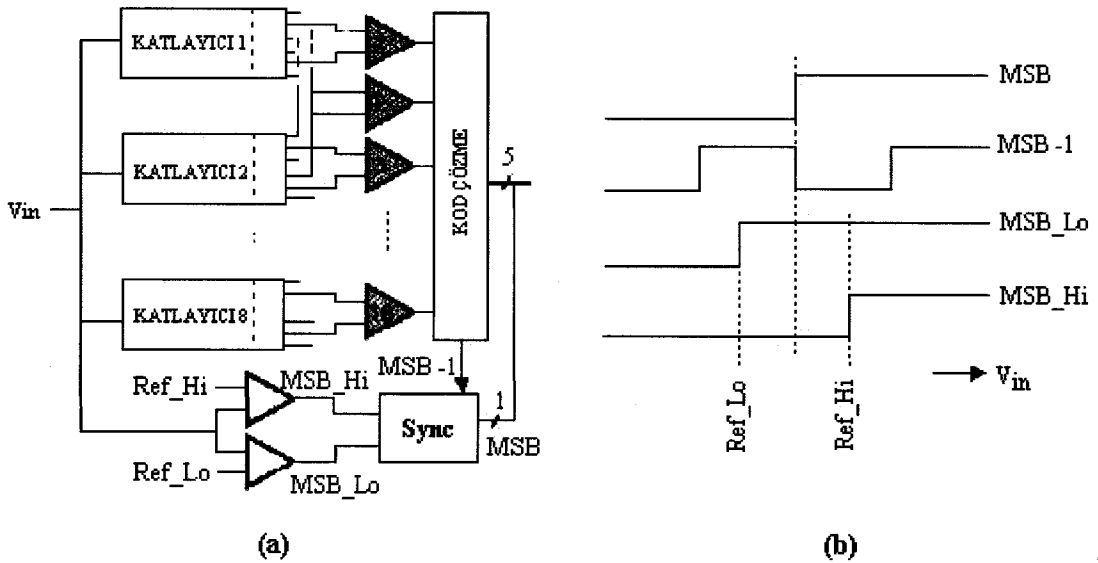


Şekil 5.13 İzleme ve tutma modlarında karşılaştırıcı çıkış gerilimleri

Bir karşılaştırıcı çıkışı lojik 1 ile lojik 0 eşik seviyeleri arasında kaldığında kararsızdır (metastable). Karşılaştırıcı kararsızlığı olasılığı kazancı ile orantılıdır. Fazladan bir tutma katı (SR latch) eklenerek toplam karşılaştırıcı kazancı artırılabilir. Üç karşılaştırıcı katı ana – bağımlı (master – slave) mantığında çalışır. İlk iki kat saatin yükselen kenarında giriş akımlarını örnekler, yarı periyot sonra SR latch in durumu çıkışa iletilir.

5.5 Kaba ADC ve Kodlayıcı

Dönüştürücünün tamamı Şekil 5.14.a da görülmektedir. Daha önce gördüğümüz gibi, katlamalı ADC de yer alan karşılaştırıcıların ürettiği döngüsel termometre kodu paralel ADC tarafından üretilen termometre kodundan daha karmaşıktır. Ancak, karşılaştırıcı sayısı azaltıldığından kodlayıcı bloğu daha küçüktür. Buna ek olarak kodlayıcı lojik yapısı koda meydana gelebilecek 1 bit hatalarını (bubble error) bastırır.



Şekil 5.14 Kaba kuantalayıcı: (a) iç yapısı (b) dalga şekilleri

Kaba ADC ile devrenin geri kalan kısmının gecikmelerinin aynı olmasına dikkat edilmelidir. Burada da aynı karşılaştırıcı yapısı kullanılmıştır. Ancak küçük zaman farkları bile büyük hatalara yol açmaktadır. Ayrıca iki blok arasında bir DC ofset olabilir. Ek bir senkronizasyon devresi kullanımı bu hataları engeller.

Genellikle ayrı çizilmesine rağmen senkronizasyon bloğu kaba ADC nin bir parçası olarak gerçekleştirilebilir. Tek bir karşılaştırıcı kullanmak yerine, 1 bit kaba ADC iki adet karşılaştırıcı içerir (Şekil 5.14). Burada MSB-1 katlama devresi tarafından üretilen 5 bitlik sayısal verinin en ağırlıklı bitidir. Uyumsuzluk yoksa, MSB nin durum değiştirmesi MSB-1 in yarı skala durum değiştirmesine denk gelmelidir. Uyumsuzlukları engellemek için MSB-1 i kullanarak MSB nin nerede durum değiştirmesi gerektiğine karar verilir. MSB-1 lojik 0 olduğunda senkronizasyon bloğu toplam dönüştürücünün MSB si olarak MSB_Lo değerini, MSB-1 lojik 1 ise MSB_Hi değerini seçer.

5.6 Kodlayıcı

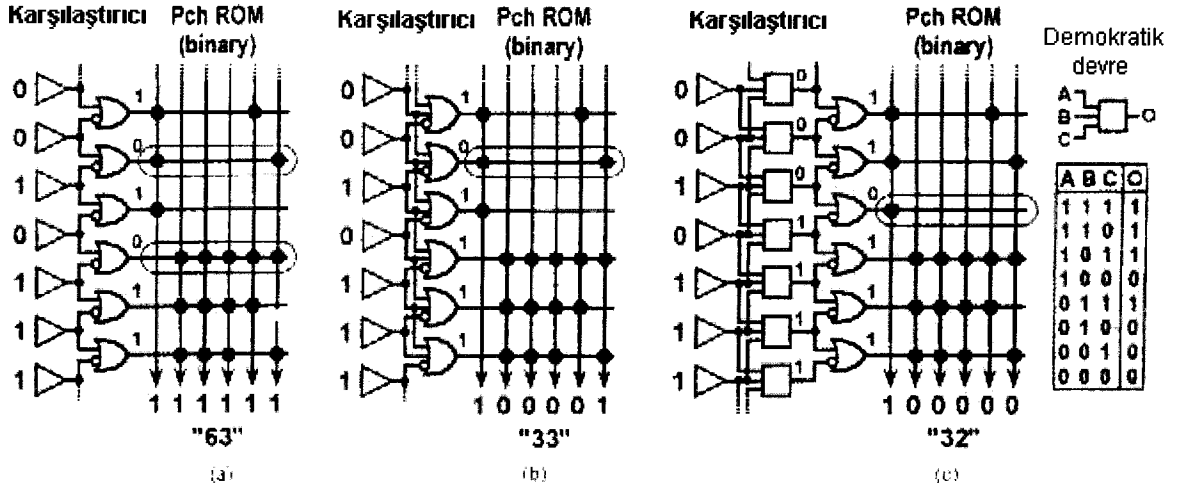
5.6.1 Kodlayıcı bloğu

Bir paralel dönüştürücünün kodlayıcı bloğu kritik bir bloktur. Yüksek frekanslı çalışma için küçük gecikmeye sahip olması ve 1 bit hatalarına karşı toleranslı olması istenmektedir. Yüksek hız sağlamak için lojik tabanlı kodlayıcı tercih edilir çünkü ROM yapısında olduğu gibi bir önyükleme adımı gerektirmez. ROM yapıları regüler kodlama mimarisi nedeniyle oldukça popülerdir. 1 bit hatalarına karşı toleransı artırmak için BGM kodlama ve alt kodlar uygulanır. Bu kodların kullanımı ile 1 bit hataları tespit edilir ve en iyi tahmin değerine düzeltilir. Ayrıca BGM kodu Gray – ikili kod dönüşümü gecikmesini azaltır.

5.6.2 Klasik hata düzeltme

Termometre kodunda bir 1 bit hatası olduğunda, klasik bir kodlayıcıda birden fazla çıkış kodu üretilir. Bu da ikili kodlayıcıda büyük hataya yol açar (Şekil 5.15.a). Örneğin, .1110100 (bu kod için en iyi tahmin .1111000 ve çıkış kodu 100000 dır) hatalı termometre kodu, iki adet 1-0 geçişine sahip olduğundan, kodlayıcının 011111 ve 100001 çıkışlarını aynı anda aktif eder ve çıkışta 111111 hatalı sayısal veri oluşur (sparkle error). Şekil 5.15.b de üç girişli kapılar kullanarak termometre kodunun 1-00 geçişlerinin tespit edildiği bir yapı görülmektedir. Bu teknik 1 bit hatalarını bastırmada kullanılan popüler bir tekniktir. Ancak örnekteki termometre kodu için çıkış kodu 100001 olmaktadır. 1 bit hatalarını en iyi tahmin

değerine çevirmek için kullanılan en etkili yöntemlerden bir demokratik devre kullanımıdır. Şekil 5.15.c deki devre örnekteki hatalı kodu en iyi tahmin olan 1111000 a çevirmektedir. Ancak demokratik devreler çok sayıda eleman içerirler.



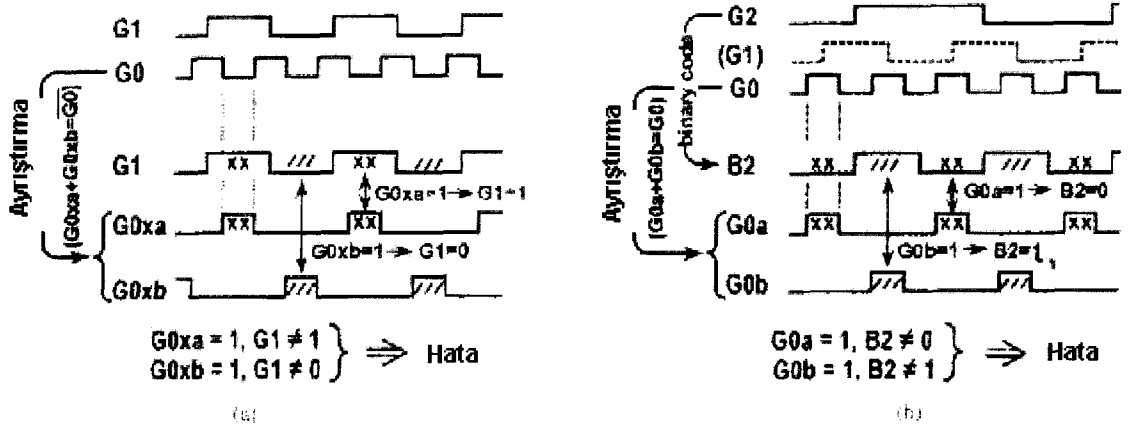
Şekil 5.15 Klasik kodlayıcı

5.6.3 Hata tespiti

Gray kodu, her ardışıl kod için yalnız bir bit değiştirdiğinden doğası gereği 1 bit hatalarına karşı toleranslıdır. Ancak Gray – ikili dönüşüm uzun zaman almaktadır. Bu süreyi azaltmak için BGM kod ve alt kodlar uygulanmıştır. Şekil 5.16.a ve 5.16.b hata tespit aşamalarını göstermektedir. Hata tespit tekniği düşük bitlerin ayrıştırılması ve yüksek bitlerle karşılaştırılmasıdır. Sıradan ikili kod veya Gray kodu için bitler arasında herhangi bir bağımlılık yoktur, 00 , 01 10 ve 11 in her kombinasyonu yer alır. Ancak G0 (Gray kodu LSB) ın G0xa ve G0xb ye ayrıştırılması kendisinden sonra gelen bitlerle aşağıdaki ilişkiyi verir:

$$G0xa = 1 \Rightarrow G1 = 1$$

$$G0xb = 1 \Rightarrow G1 = 0$$



Şekil 5.16 Hata tespiti

G0xa ve G0xb alt kodlar olarak adlandırılmıştır. 1 bit hatası olmaması durumunda bu kodlar arasında çelişki yoktur. Ancak, 1 bit hatasının yol açtığı çoklu bir kod çelişki yaratır. Eğer yukarıdaki şartlar sağlanmıyorsa kodda hata vardır demektir, bu durumda ER2 hata tespit işareti üretilir.

BGM kodu (alt kodlar ve G1 tarafından kaplanan) tüm sınır boyunca hata tespitine olanak sağlar. Şekil 5.16.b aynı zamanda G0a, G0b ve B2 arasında hata tespitini göstermektedir. B2 ikili kodunu üçüncü LSB için uygulamak ve G0 ı G0a, G0b (ana kod) şeklinde ayırtmak suretiyle:

$$G0a = 1 \Rightarrow B2 = 0$$

$$G0b = 1 \Rightarrow B2 = 1$$

Burada da eğer çelişki varsa bir hata tespit işareti ER1 üretilir. Bu şekilde BGM ve alt kodlar kullanılarak tüm sınır boyunca hata tespiti yapılabilir.

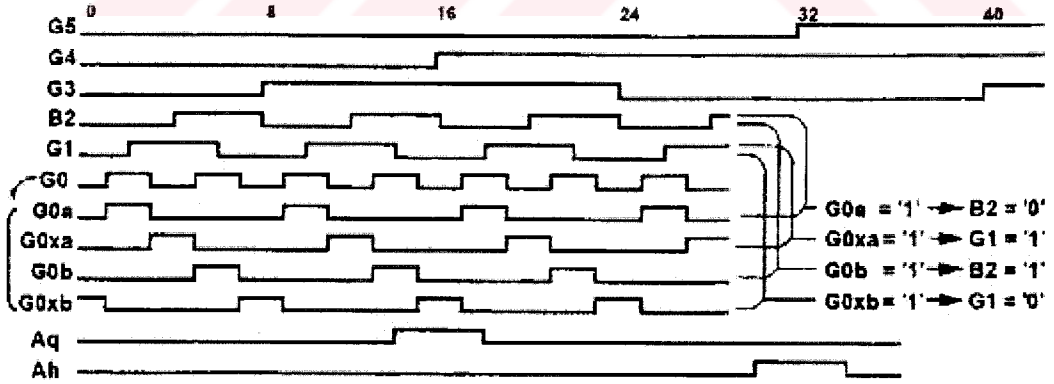
5.6.4 Hata düzeltme

En yüksek olasılıklı 1 bit hata paterni .110100 dır. Bu teknik .110100 ı en iyi tahmin değeri olan .111000 a çevirmektedir. Çizelge 5.1 de bazı hata paternleri görülmektedir. Solda hata düzeltmesiz bir BGM kodlayıcının çıkışları, sağda da bu çıkışlara karşı düşen en iyi tahmin değerleri yer almaktadır. Çizelgedeki değerler karşılaştırıldığında, hatalı kodda hataya sebep olan her bitin yer değiştirilmesiyle en iyi tahmin değerinin elde edilebileceği görülür. Şekil 5.17 de BGM ve alt kod kodlama diyagramı görülmektedir. G5, G4 ve G3 bitleri ER1 hata düzeltme işareti sonucuna göre düzeltilir. Ana kod ve B2 tarafından bir hata tespit edilmesi,

B2 geçiş noktalarından birinde hata olduğu anlamına gelir. Ancak, G5, G4 ve G3 ün her geçiş noktası B2 nin düşen kenarında gerçekleşmektedir. Bu nedenle hata düzeltmeden önce bir alan doğrulaması yapmak gerekir. Bu alanlar Ah,Aq ve G1 işaretleri ile belirlenir. Bir hata oluştuğunda ve G5, G4 veya G3 ten birini etkilediğinde bu hata tümleyenini alarak giderilir.

Çizelge 5.1 Bazı hata paternleri ve en iyi tahmin değerleri

Termometre Kodu	Hata paterni	En iyi tahmin
T7	000001	000000
T6	000010	000001
T5	000101	000011
T4	001011	000111
T3	010111	001111
T2	101111	011111
T1	011111	111111
BGM Kodu	Hata paterni	En iyi tahmin
B2	00 <u>1</u> 011	000 <u>1</u> 11
G1	<u>1</u> 01101	<u>0</u> 11110
G0	001100	1100111
G0a	001000	Çelişkiye neden olan bitleri yer değiştirerek en iyi tahmin değeri elde edilebilir
G0xa	010010	
G0b	000100	
G0xb	100001	



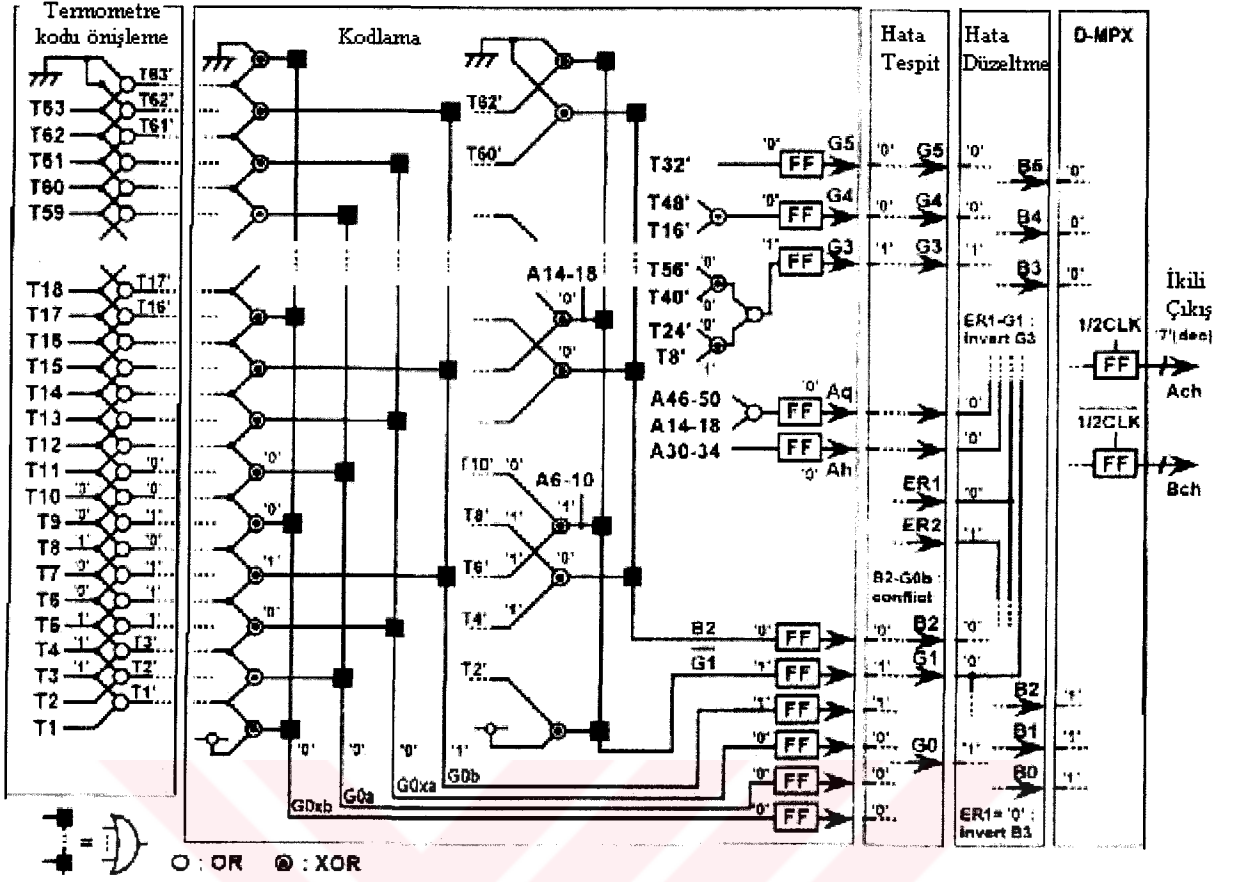
$$G0a + G0b = G0, G0xa + G0xb = \overline{G0} \quad (G5, G4, G3, G1, G0 : \text{Gray}, B2 : \text{Binary})$$

Hata Tespiti	G0a = '1' & B2 = '1' → ER1 = '0'	⊗ ER1='0' or ER2='0' : hata var	
	G0b = '1' & B2 = '0' → ER1 = '0'		
	G0xa = '1' & G1 = '0' → ER2 = '0'		
	G0xb = '1' & G1 = '1' → ER2 = '0'		
Hata Düzeltme	G5' = G5 ⊕ (ER1 + Ah)	B2' = B2 ⊕ ER1	⊗ G5 ~ G0, B2 : Düzeltme öncesi
	G4' = G4 ⊕ (ER1 + Aq)	G1' = G1 ⊕ ER2	G5' - G0', B2' : Düzeltme sonrası
	G3' = G3 ⊕ (ER1 + G1 + Ah + Aq)	G0' = G0 ⊕ (ER2 x ER1)	⊗ : XOR x : AND + : OR

Şekil 5.17 Kodlama diyagramı (Tsukamoto vd., 1998)

Termometre kodunda meydana gelen hata olasılığı V_{in} ve V_{ref} gerilimleri arasındaki potansiyel farkına ve V_{in} işaretinin frekansına bağlıdır. S/H fonksiyonuna sahip olmayan bir karşılaştırıcıda V_{ref} V_{in} e ne kadar yakınsa ve V_{in} frekansı ne kadar yüksekse hata oluşma olasılığı o kadar yüksektir. En yüksek olasılıklı hata paterni .1110100 dır, daha sonra .1101100 ve .1100100 gelir. .1110100 1 bit hatası için hatalı bitler eşit oranda hatalı olma olasılığına sahiptir, yani %50 ihtimalle doğrudur. Bu kod için en iyi tahmin değeri .1111000 dir. .1101100 veya .1100100 için iki farklı durum söz konusudur. .1100100 için, ilk görüş son 1 in yanlış olduğudur, bu durumda en iyi tahmin .1100000 dir. İkinci görüş ise her hatalı bitin (üç adet bit, ortadaki “001”bitleri) eşit olasılıkla yanlış olduğu, yani %33 olasılıkla doğru olduğudur. İki görüşü de dikkate alarak .1100100 için en iyi tahmin .1100000 , .1110000 veya .1111000 den biridir. .1101100 hatalı durumu için ise en iyi tahmin .1110000 , .1111000 veya .1111100 olur. İki adet 1 bit hatasını tek 1 bit hatasına dönüştüren bir sisteme ihtiyaç vardır.

Şekil 5.18 de kodlayıcı yapısı görülmektedir. Termometre kodu önışleme bloğu düzeltilebilir hata alanını artırmak için eklenmiştir. Bu blokta iki girişli VE kapıları kullanarak işareti ikinci en yakın komşusu ile VE işlemine tabi tutulur: $T'(n) = T(n) + T(n+2)$. Böylece .1110111 1 bit hatası .1111111 e, .1100100 hatası .1110100 ile 1101000 a dönüştürülür. Böylece tek 1 bit hataları ve hatasız işaret olduğu gibi çıkışa iletilir. Bu durumda .1100100 hatası .1111000 a, .1101100 ise .1111100 a düzeltilir ki bu değer en iyi tahminlerden biridir.

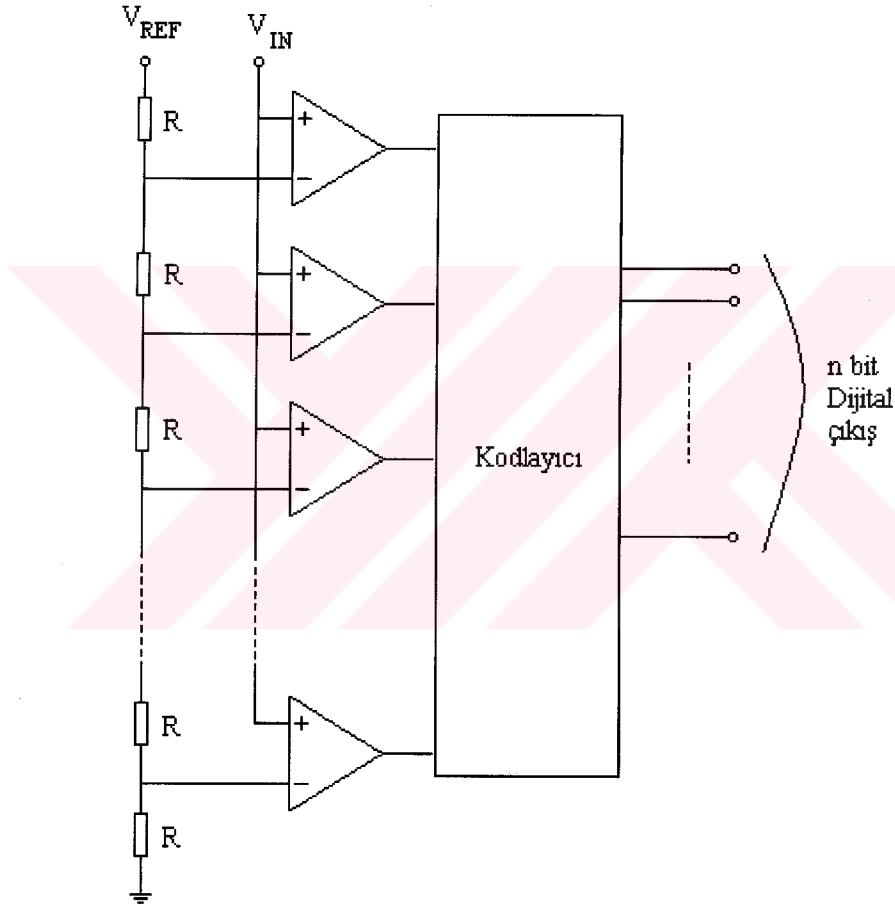


Şekil 5.18 Kodlayıcı blok diyagramı (Tsukamoto vd., 1998)

Termometre kodu önişleme, kodlama ve hata tespiti bir saat periyodunda gerçekleşir. Gray – ikili kod dönüşümü ve hata düzeltme işlemi takip eden periyotta G5-G3 ve B2-G0 bitleri üzerinde ayrı ayrı gerçekleştirilir. BGM kodu, Gray – ikili kod dönüşümünün üst ve alt bitler arasında ayrı ayrı yapılmasına olanak sağlamaktadır. Aslında, hata düzeltme işlemi . Gray – ikili kod dönüşümü sırasında gerçekleştirilmektedir. Kodda herhangi bir çelişki olsa bile G0 kodu doğrudan ikili kod eşdeğerine (B0) dönüştürülür çünkü hatalı B2 G1 ve G0 ın kullanılması halinde elde edilen B0 ile düzeltilmiş B2 G1 ve G0 ın kullanılması durumunda elde edilen B0 aynıdır. B0 ın kodlanması için gereken süre maksimum olduğundan bu kabul hızı artırır. Böylece V_{in} gerilimi iki periyotta sayısal koda dönüştürülmüş olur.

6. YÜKSEK LİSANS TEZİ KAPSAMINDA TÜBİTAK YİTAL 1.5 μ ÇİFT POLİ ÇİFT METAL TEKNOLOJİSİ İLE GERÇEKLEŞTİRİLEN 6 BİT ADC

Özellikle video uygulamaları için yüksek hızlı ve düşük güçlü Analog – Dijital (A/D) Dönüştürücülere ihtiyaç vardır. Dönüştürücünün güç kaybının minimum olması soğutma elemanlarına ihtiyacı azaltacağından çok önemlidir. Aynı zamanda maliyetin düşük tutulması da esastır. Paralel A/D dönüşüm tekniğinin CMOS prosesi ile gerçekleşmesi potansiyel olarak mevcut talepleri yerine getirebilmesi bakımından en iyi çözüm gibi gözükmektedir. Şekil 6.1 de paralel ADC yapısı tekrar çizilmiştir.



Şekil 6.1 Temel paralel ADC yapısı

6.1 Tübitak Yital 1.5 μ Çift Poli Çift Metal Teknolojisi Tasarım Kuralları ve Proses Parametreleri

Devrenin tasarım ve serimi aşamasında kullanılan tasarım kuralları Çizelge 6.1 de, proses parametreleri de Çizelge 6.2 de verilmiştir.

Çizelge 6.1 1.5 μ tasarım kuralları

1.1 N-Kuyu	Mikron
1.1.1 Minimum N-Kuyu genişliği	5
1.1.2 Minimum N-Kuyu - N-Kuyu açıklığı:	
1.1.2.1. Aynı potansiyelde	5
1.1.2.2. Farklı potansiyelde	10
1.1.3 N-kuyu açıklığı:	
1.1.3.1 N-Kuyu dışında p+ Aktif Alan (AA) ile	3
1.1.3.2 N-Kuyu dışında n+ AA ile	10
1.1.3.3 N-Kuyu içinde p+ AA ile	2
1.1.3.4 N-Kuyu içinde p+ AA ile	Yok
1.2 Aktif	Mikron
1.2.1 Minimum aktif alan genişliği:	
1.2.1.1 N+ Aktif Alan	3
1.2.1.2 P+ Aktif Alan	3
1.2.2 Açıklık	
1.2.2.1 N+ AA ile N+ AA arasında	3
1.2.2.2 P+ AA ile P+ AA arasında	3
1.2.2.3 P+ AA ile N+ AA arasında	3
3 Poli1 (geçit polisilisyumu)	Mikron
3.1 Minimum Poli1 genişliği	1.5
3.2 Poli1 Açıklığı:	
3.2.1 N+ veya P+ aktif alana	1.5
3.2.2 Poli1 e	2
3.3 Alan oksidi yönünde Poli1 in aktif alandan taşması	1.5
3.4 Aktif alanın source-drain doğrultusunda geçitten taşması	3
4 P+ difüzyon katkısı	Mikron
4.1 P+ aktif alandan alan oksidi yönünde p+ katkısı açıklığı	1.5
4.2 P+ aktif alandan alan oksidi üzerinden p+ katkısı açıklığı	1.5
4.3 AA üzerinden P+ katkı - N-kanal gate açıklığı	3
4.4 AA üzerinden P+ katkının P-kanal gate üzerinden taşması	3
4.5 Minimum P+ katkı genişliği	3
4.6 P+ katkı – N+ AA açıklığı	1.5
5 Kontak Maskesi	Mikron
5.1 Minimum kontak penceresi genişliği	1.5*1.5 μ^2
5.2 Minimum kontak açıklığı	1.5
5.3 Poli1 in kontakta minimum taşması	1.5

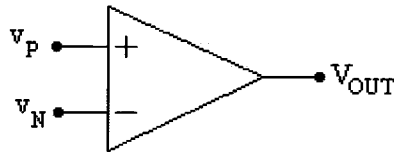
5.4 Aktif alanın kontakdan minimum taşması	2
5.5 Aktif alan kontağı – geçit açıklığı	2
5.6 Poli1 kontağı – geçit açıklığı	1.5
5.7 Kontak - P+ katkı açıklığı	1.5
5.8 P+ katkının kontakdan minimum taşması	1.5
6 Metal1 Maskesi	Mikron
6.1 Minimum Metal1 açıklığı	2
6.2 Minimum Metal1 genişliği	2.5
6.3 Metal1 in kontakdan minimum taşması	1.5
7 Metal2 Maskesi	Mikron
7.1 Minimum Metal2 açıklığı	3
7.2 Minimum Metal2 genişliği	3
8 Via Maskesi	Mikron
8.1 Minimum Via boyutu	2*2 μ^2
8.2. Minimum via açıklığı	2
8.3 via – kontak açıklığı	3
8.4 via – Poli1 açıklığı	1.5
8.5 via – AA açıklığı	1
8.6 Metal1 in via dan minimum taşması	1.5
8.7 Metal2 nin via dan minimum taşması	1.5
8.8 Poli1 in via dan minimum taşması	1.5
9 Poli2 Maskesi	Mikron
9.1. Minimum Poli2 genişliği	2
9.2 Minimum Poli2 açıklığı	2.5
9.3 Poli2 açıklığı:	
9.3.1. P+katkı ile	3
9.3.2.AA ile	1.5
9.3.3 Poli1 ile	2
9.3.4 Via ile	1.5
9.4 Poli2 nin Poli1 den minimum taşması	2
9.5 Poli1 in Poli2 den minimum taşması	2
9.6 Poli2 n,in via dan minimum taşması	1.5

Çizelge 6.2 1.5µm proses parametreleri

Parametre	NMOS	PMOS
LEVEL	3	3
TOX	230E-10	230E-10
LD	0.125E-6	0.06E-6
WD	0.6E-6	0.6E-6
UO	570	230
VTO	0.7	-0.66
THETA	0.05	0.17
RS	75	120
RD	75	120
DELTA	0.4	0.4
NSUB	1.2E16	1.2E16
XJ	0.15E-6	0.3E-6
VMAX	2.3E5	0
ETA	0.0022	0.016
KAPPA	0.5	0.06
NFS	7E11	1E12
GAMMA	0.46	0.48
PHI	0.35	0.35

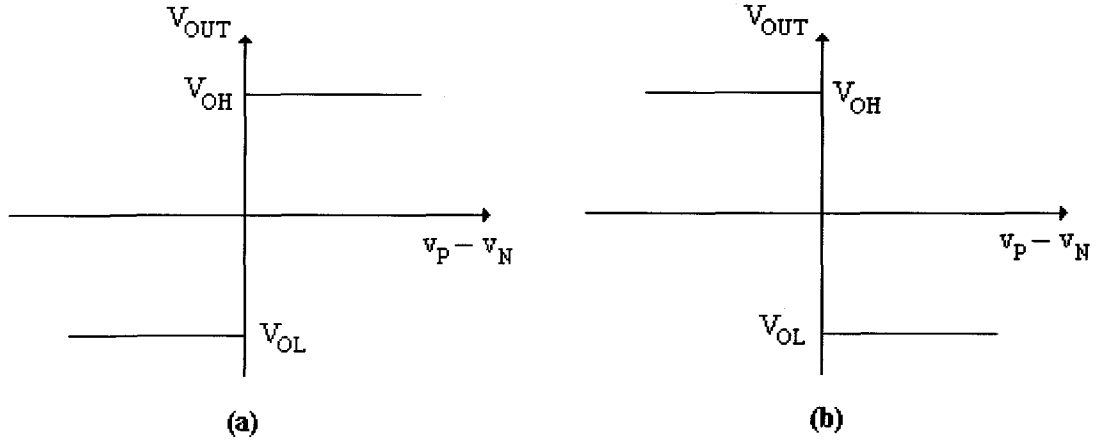
6.2 Karşılaştırıcılar

ADC tasarımının kilit noktası düşük güçlü, yüksek hızlı ve düşük ofsetli bir karşılaştırıcı gerçekenmesidir. Karşılaştırıcılar, iki analog giriş işaretini karşılaştırarak, hangi giriş işaretinin büyük olduğuna bağlı olarak dijital bir çıkış işareti üreten devrelerdir. Şekil 6.2 de genel bir karşılaştırıcı sembolü görülmektedir.



Şekil 6.2 Genel karşılaştırıcı sembolü

İdeal bir karşılaştırıcının gerilim transfer karakteristiği Şekil 6.3 de görülmektedir.



Şekil 6.3 (a) İdeal evirmeyen karşılaştırıcı (b) İdeal eviren karşılaştırıcı

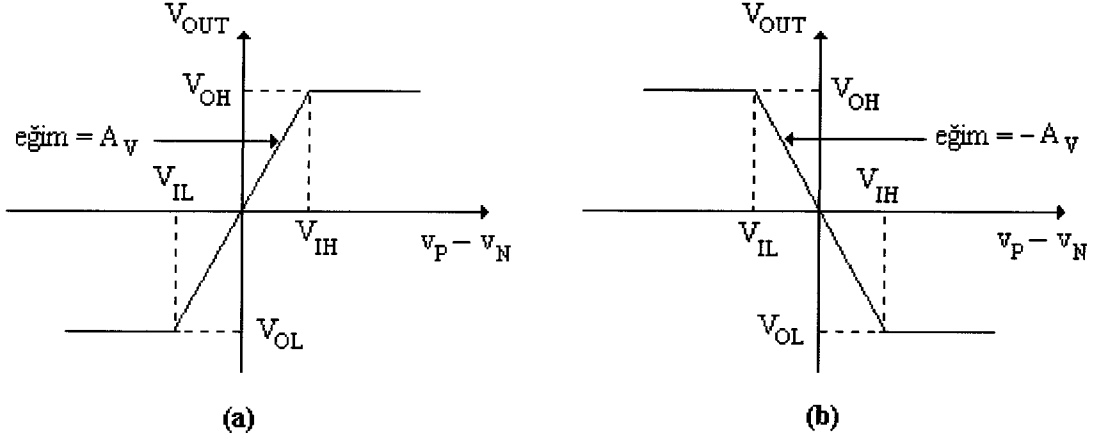
Buna göre:

$$V_{OUT} = \begin{cases} V_{OH} & v_P \geq v_N \\ V_{OL} & v_P < v_N \end{cases} \quad (6.1)$$

Burada, V_{OH} karşılaştırıcının çıkış geriliminin üst sınırı, V_{OL} ise alt sınırıdır. Bu karşılaştırıcı evirmeyen karşılaştırıcı olarak da anılır çünkü çıkış gerilimi, v_P gerilimi v_N den büyük olduğunda lojik 0 seviyesinden lojik 1 seviyesine çıkmaktadır. Eviren bir karşılaştırıcıda ise v_N gerilimi v_P geriliminden büyük olduğunda çıkış gerilimi lojik 1 seviyesine yükselmektedir.

$$V_{OUT} = \begin{cases} V_{OL} & v_P \geq v_N \\ V_{OH} & v_P < v_N \end{cases} \quad (6.2)$$

Şekil 6.3 de belirtilen karşılaştırıcı karakteristikleri ideal durumu yansıtmaktadır. Çünkü çıkış geriliminin durum değişirmesi sırasında karşılaştırıcı kazancı sonsuzdur. Şekil 6.4 de ise sonsuz kazanca sahip olmayan karşılaştırıcıların gerilim transfer karakteristiği görülmektedir.



Şekil 6.4 (a) Sonlu kazançlı evirmeyen karşılaştırıcı (b) Sonlu kazançlı eviren karşılaştırıcı

Evirmeyen karşılaştırıcı karakteristiği:

$$V_{OUT} = \begin{cases} V_{OH} & (v_P - v_N) > V_{IH} \\ A_V (v_P - v_N) & V_{IL} \leq (v_P - v_N) \leq V_{IH} \\ V_{OL} & (v_P - v_N) < V_{IL} \end{cases} \quad (6.3)$$

Burada V_{IL} ve V_{IH} gerilimleri, $(v_P - v_N)$ farkının çıkış gerilimini V_{OL} ve V_{OH} yapan değerleridir. Eviren karşılaştırıcı karakteristiği ise:

$$V_{OUT} = \begin{cases} V_{OL} & (v_P - v_N) > V_{IH} \\ -A_V (v_P - v_N) & V_{IL} \leq (v_P - v_N) \leq V_{IH} \\ V_{OH} & (v_P - v_N) < V_{IL} \end{cases} \quad (6.4)$$

Bir karşılaştırıcının performansı, onun:

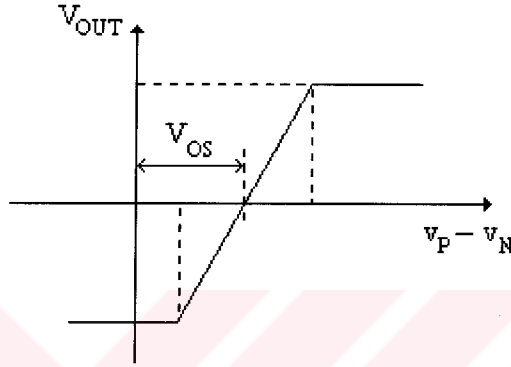
- Giriş eşliğini ölçebildiği minimum çözünürlük yeteneğine
- Giriş ofset gerilimine
- Hızına ya da yayılma gecikmesine (propagation delay)
- Ortak mod giriş aralığına (common mode input range) göre karakterize edilir.

Bir karşılaştırıcının çözünürlük yeteneği, Şekil 6.4 deki karşılaştırıcı için, $V_{IH} - V_{IL}$ olarak tanımlanır. Buradan da anlaşılacağı gibi karşılaştırıcının çözünürlüğü kazancı ile orantılıdır. V_{OH} ve V_{OL} değerlerinin gerilim kaynağı sınırlamaları tarafından belirlendiği kabulüyle, çözünürlük yeteneği ΔV :

$$\Delta V = \frac{V_{OH} - V_{OL}}{A_V} \quad (6.5)$$

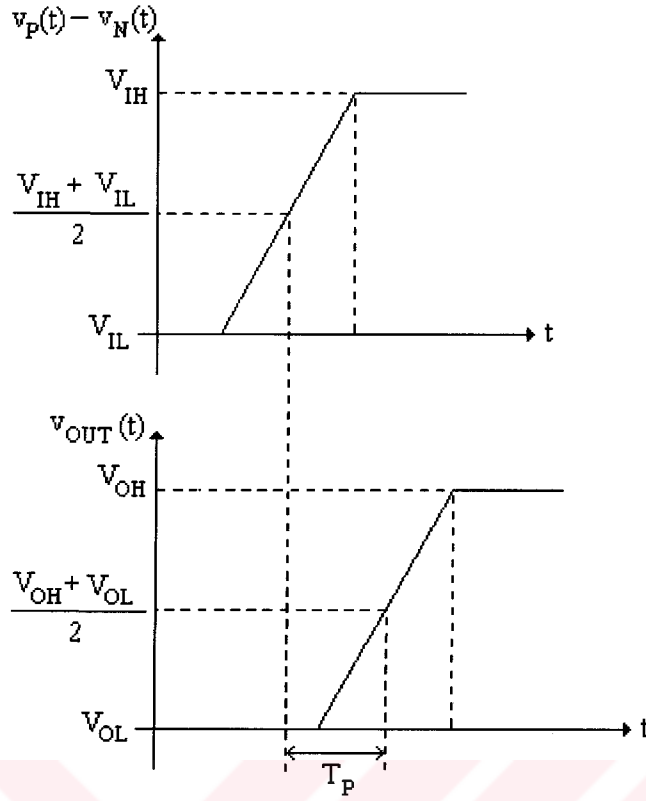
A_V kazancı arttıkça, çözünürlük yeteneği Şekil 6.3 de belirtilen ideal değerine yaklaşmaktadır.

Giriş ofset gerilimi, V_{OS} , v_P ve v_N gerilimleri birbirine eşitken çıkış geriliminin (V_{OUT}) sıfır olması için giriş uçları arasına uygulanması gereken gerilimdir. Şekil 6.5 de ofset geriliminin gerilim transfer karakteristiğine etkisi görülmektedir.



Şekil 6.5 Ofset geriliminin gerilim transfer fonksiyonuna etkisi

Karşılaştırıcının yayılma gecikmesi, giriş gerilimi eşik değerine ulaştıktan sonra çıkışın ne kadar çabuk durum değiştirdiğinin bir ölçüsüdür. Şekil 6.6 da evirmeyen bir karşılaştırıcının zaman domeni cevabı görülmektedir. Yayılma gecikmesi T_P , $(v_P - v_N)$ farkının sıfır olduğu andan – tipik olarak $0.5(V_{IH} + V_{IL})$ – çıkış geriliminin $0.5(V_{OH} + V_{OL})$ ye eşit olduğu ana kadar geçen süredir. Bu parametre, karşılaştırıcının birim sürede kaç karşılaştırma yapabileceğini belirlediğinden oldukça önemlidir. Yayılma gecikmesi genellikle gerilim transfer karakteristiğinin eğiminin, giriş genliğinin ve ortak mod giriş geriliminin bir fonksiyonudur. Yayılma gecikmesini iyileştirmek için giriş genliği artırılabilir ya da daha keskin eğimli bir karşılaştırıcı kullanılabilir.



Şekil 6.6 Evirmeyen karşılaştırıcının zaman domeni cevabı

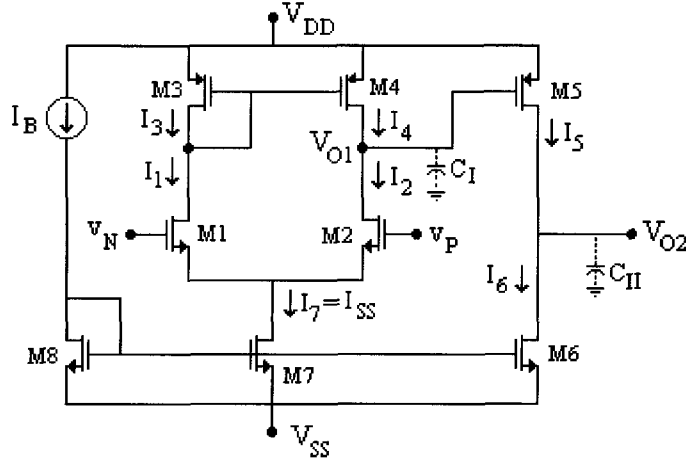
Karşılaştırıcının ortak mod giriş aralığı ise karşılaştırıcının gerilim farkını ayırt edebildiği giriş gerilim aralığıdır. Çözünürlük yeteneği ve giriş ofset gerilimi ortak mod giriş aralığının fonksiyonlarıdır.

6.2.1 Yüksek kazançlı karşılaştırıcılar

Bir karşılaştırıcı üç temel metot kullanarak gerçekleştirilebilir: yüksek kazançlı bir fark kuvvetlendiricisi ile, pozitif geribesleme ile ve yük dengeleme (charge balancing) ile. Yük dengeleme ile gerçekleştirilen karşılaştırıcılar çeşitli anahtarlar ve bir saat işareti içerirler ve zamanın belli anlarında karşılaştırıcı olarak çalışırlar. Bir karşılaştırıcı tasarımı için iyi bir seçenek fark kuvvetlendiricisi kullanmaktır. Fark kuvvetlendiricisinin en önemli özelliği eviren ve evirmeyen girişleri arasındaki gerilim farkını geniş bir ortak mod giriş aralığı boyunca kuvvetlendirebilme yeteneğidir.

Farksal kuvvetlendiricinin giriş ofset gerilimi, elemanların uyumsuzluğundan (mismatch) ileri gelmektedir. Bu tip uyumsuzluklar engellenememektedir ve üretim hatalarından kaynaklanmaktadır. Bu ofset gerilimi ortak merkezli serim (layout) geometrileri kullanılarak en aza indirgenebilir. Aynı zamanda birbirine uyumlu olması istenen elemanların seriminde

mümkün olan en az sayıda köşe ve eğime yer vermek de istenen bir özelliktir.



Şekil 6.7 CMOS iki katlı karşılaştırıcı

Birçok MOS farksal yükseltecin kazancı istenen çözünürlük özelliklerini karşılayabilecek kadar yüksek değildir. Kazancı artırmak için genellikle iki katlı yapılar kullanılır. Şekil 6.7 de temel bir CMOS iki katlı karşılaştırıcı yapısı görülmektedir. Burada M1 ve M2 transistörlerinin bulk source gerilimlerinin sıfır olduğu (yani M1 ve M2 nin bir kayan (floating) p-kuyu da yer aldığı) varsayımı yapılacaktır. Devre, tüm transistörlerin doyma bölgesinde çalışmasını sağlayacak şekilde tasarlanmalıdır. Bu şart M1 ve M2 nin eş olması, aynı zamanda M3 ve M4 ün eş olması ve $V_{SG3} = V_{SG4} = V_{SG5}$ olması ile sağlanabilir. Bu şartları kullanarak transistör boyutları belirlenir. Devreyi dengede tutmak için M1 ve M2 ile M3 ve M4 eş olmalıdır. Giriş dengeli ise, v_P ve v_N eşit olduğunda M7 transistöründen akan akım M1 ve M2 üzerine eşit olarak bölünür. Sonuç olarak aşağıdaki eşitlikler elde edilir:

$$\frac{W_1}{L_1} = \frac{W_2}{L_2} \quad (6.6)$$

$$\frac{W_3}{L_3} = \frac{W_4}{L_4} \quad (6.7)$$

$$I_1 = I_2 = 0.5I_7 = I_{SS} \quad (6.8)$$

$$\frac{W_4}{L_4} = \frac{(W_5/L_5) \left(\frac{W_7/L_7}{W_6/L_6} \right)}{2} = \frac{(W_5/L_5) \left(\frac{I_7}{I_6} \right)}{2} \quad (6.9)$$

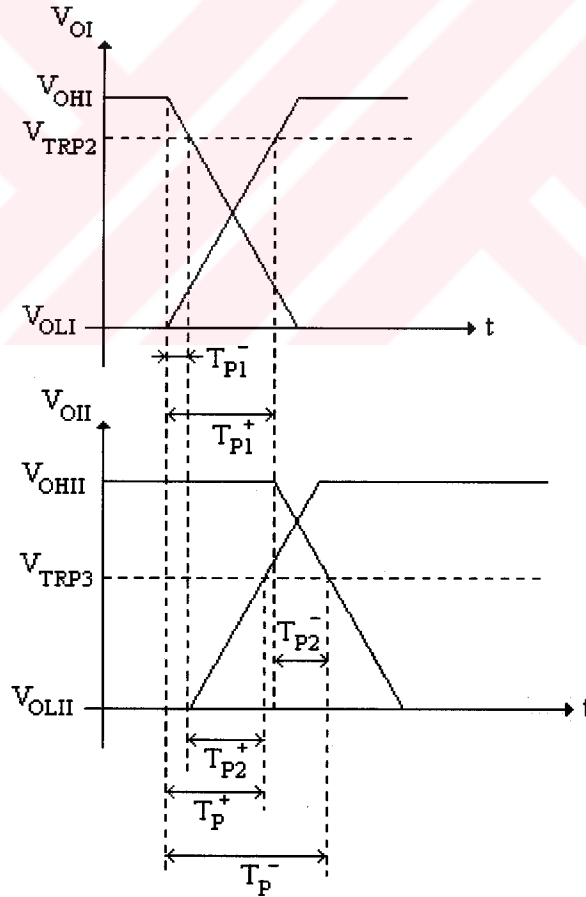
6.6 – 6.10 Denklemleri istenen denge koşullarının yerine getirmek için gerekli tüm şartları

içermektedir. Ancak yine de akım aynalarında akım uyumsuzlukları her zaman meydana geleceğinden bu durum sistematik ofsete yol açacaktır.

İki katlı BJT ve CMOS karşılaştırıcıların ortak mod giriş aralıkları iki katlı BJT ve CMOS fark yükselteçleri ile aynıdır. İki katlı CMOS karşılaştırıcıda, istenen giriş gerilim aralığını elde etmek için izlenebilecek bir tasarım prosedürü şu şekildedir. Önce M3 transistörünün boyutları istenen maksimum giriş gerilimini sağlayacak şekilde, M1 ve M2 nin boyutları da istenen minimum giriş gerilimini sağlayacak şekilde seçilir.

6.2.2 İki katlı karşılaştırıcıların yayılma gecikmesi

İki katlı CMOS karşılaştırıcının yayılma gecikmesinin hesabında, iki katın gecikmeleri ayrı ayrı hesaplanacak ve toplanacaktır. Şekil 6.7 de CMOS iki katlı karşılaştırıcı, gecikmeye sebep olan iki temel parazitik kapasite değeri ile birlikte çizilmiştir. İki katlı karşılaştırıcının yayılma gecikmesi analizi Şekil 6.8 de gösterilen dalga şekilleri üzerinden açıklanacaktır.



Şekil 6.8 İki katlı karşılaştırıcının her katına ait yayılma gecikmeleri

Şekil 6.8 de İlk katın gecikmesi, V_{OI} in sükunet değerinden (V_{OHI} veya V_{OLI}) ikinci katın trip gerilimine ulaşması için gereken süredir. İkinci katın gecikmesi ise V_{OII} nin sükunet değerinden (V_{OHII} veya V_{OLII}) yük devresinin trip gerilimine (genellikle $0.5(V_{OHII} + V_{OLII})$ olarak kabul edilir) ulaşması için gereken süredir. Yükselen çıkış (T_P^+) ve düşen çıkış (T_P^-) için yayılma gecikmeleri birbirinden farklıdır. Bir karşılaştırıcının yayılma gecikmesi T_P , T_P^+ ve T_P^- nin ortalaması olarak ifade edilir. Önce T_P^- için yayılma gecikmesini hesaplayalım. v_P ve v_N gerilimleri arasındaki farkın M2 transistörünü tıkamada tutacak kadar yüksek olduğu varsayımıyla, I_7 akımının tümü M1 üzerinden akar. Bu nedenle C_1 kondansatörünün V_{OLI} den V_{OHI} ye dolmasını sağlayan akım I_7 dir. Böylece ilk katın yükselen çıkış için yayılma gecikmesi (T_{PI}^+):

$$T_{PI}^+ = C_1 \frac{V_{TRP2} - V_{OLI}}{I_7} \quad (6.11)$$

Benzer şekilde, ikinci katın düşen çıkış için yayılma gecikmesi:

$$T_{PII}^- = C_{II} \frac{V_{OHII} - V_{OLII}}{2I_5} \quad (6.12)$$

Bu iki gecikmeyi toplayarak:

$$T_P^- = C_1 \frac{V_{TRP2} - V_{OLI}}{I_7} + C_{II} \frac{V_{OHII} - V_{OLII}}{2I_5} \quad (6.13)$$

CMOS çıkış katının trip gerilimi, M5 ve M6 nın doymada çalıştığı kabulüyle, M5 ve M6 nın akımları eşitlenerek bulunur:

$$\frac{\beta_5}{2} [V_{GS5} - V_{T5}]^2 = I_6 = I_5 \quad (6.14)$$

$$\beta_5 = K_p' (W_5/L_5) \quad (6.15)$$

$$V_{TRP2} = V_{DD} - V_{GS5} = V_{DD} - V_{T5} - \left[\frac{2I_5}{\beta_5} \right]^{1/2} \quad (6.16)$$

Yükselen çıkış için yayılma gecikmesi benzer şekilde hesaplanır. İlk katın düşen çıkış için yayılma gecikmesi:

$$T_{PI}^- = C_1 \frac{V_{OHI} - V_{TRP2}}{I_7} \quad (6.17)$$

İkinci katın yayılma gecikmesi:

$$T_{PH}^+ = C_{II} \frac{V_{OHII} - V_{OLII}}{2I_5(\max)} \quad (6.18)$$

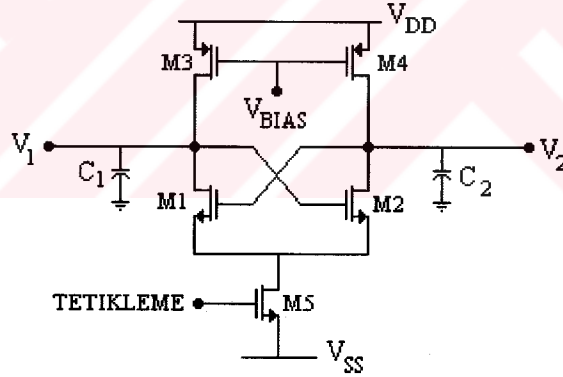
Burada $I_5(\max)$, M5 transistörünün gate ucu düşük seviyede iken C_{II} ye akıtılabildiği akımı ifade etmektedir. $I_5(\max)$ ı bulabilmek için V_{GS5} i bilmek gerekir. V_{GS5} in V_{TRP2} ile V_{OLI} arasında bir değerde olduğu açıktır. V_{GS5} in V_{TRP2} ile V_{OLI} nin tam ortasında olduğu yaklaşımıyla:

$$I_5(\max) \cong \frac{\beta_5}{2} \left[\frac{V_{OHII} - V_{OLII}}{2} - V_{T5} \right]^2 \quad (6.19)$$

Bu yaklaşımla yükselen çıkış için yayılma gecikmesi:

$$T_P^+ = C_1 \frac{V_{OHII} - V_{TRP2}}{I_7} + C_{II} \frac{V_{OHII} - V_{OLII}}{2I_5(\max)} \quad (6.20)$$

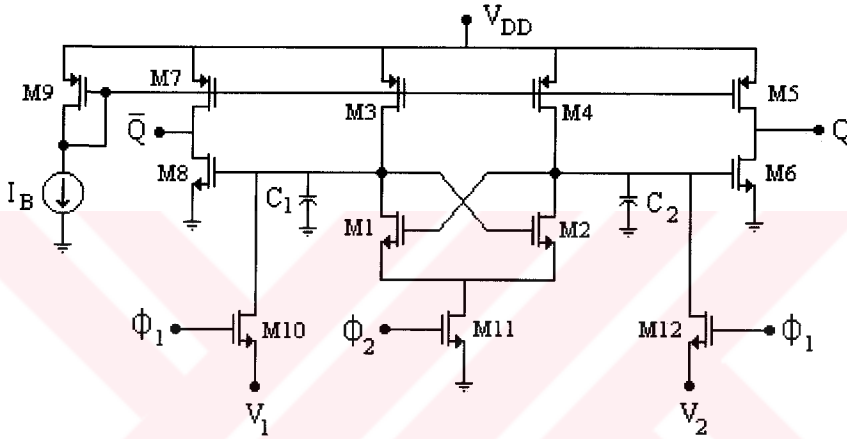
6.2.3 Pozitif geribeslemeli karşılaştırıcılar



Şekil 6.9 CMOS tetiklemeli flip flop

Karşılaştırıcı tasarımında bir diğer yaklaşım, pozitif geribeslemeli veya yeniden üretmeli (regenerative) teknikler kullanmaktır. Bu yaklaşım hafıza elemanlarında kullanılan kuvvetlendiricilerle (sense amplifier) benzerlik gösterir. Yapı Şekil 6.9 da gösterilmiştir. İlk önce tetikleme (strobe) ucunun düşük seviyede olduğunu kabul edelim. Bu durumda M5 tıkmadadır, M1, M2, M3 ve M4 transistörlerinden oluşan flip flop devreden herhangi bir akım akmadığından aktif durumda değildir. Bu mod, C_1 ve C_2 kondansatörleri V_1 ve V_2 nin değerlerini “hatırlayacağından” hafıza modu olarak adlandırılır. Bu modda aynı zamanda C_1

ve C_2 , V_1 ve V_2 nin yeni değerlerine şarj olabilirler. Tetikleme ucu flip flop u aktif duruma getirdiğinde, flip flop V_1 ve V_2 nin durumuna göre ilgili seviyeye gider. Örneğin, V_1 V_2 den büyükse, tetikleme (saat) işareti $M5$ transistörüne uygulandığında, $M2$ nin gate gerilimi $M1$ in gate geriliminden büyük olur, devredeki elemanlar da uyumlu ise flip flop, V_1 in lojik 1, V_2 nin lojik 0 olduğu seviyeye anahtarlanmış olur. Bu devre, elemanların ne kadar iyi uyduğuna bağlı olarak 5 – 10mV luk farkları ayırt edebilmektedir. Şekil 6.10 da devrenin saat işaretleri uygulanmış ve çıkışın kuvvetlendirilmiş hali görülmektedir. Örnekleme modu sırasında ϕ_1 lojik 0 ve ϕ_2 lojik 1 dir. Eğer V_2 V_1 den büyükse Q çıkışı, V_1 V_2 den büyükse \bar{Q} çıkışı lojik 1 olur.

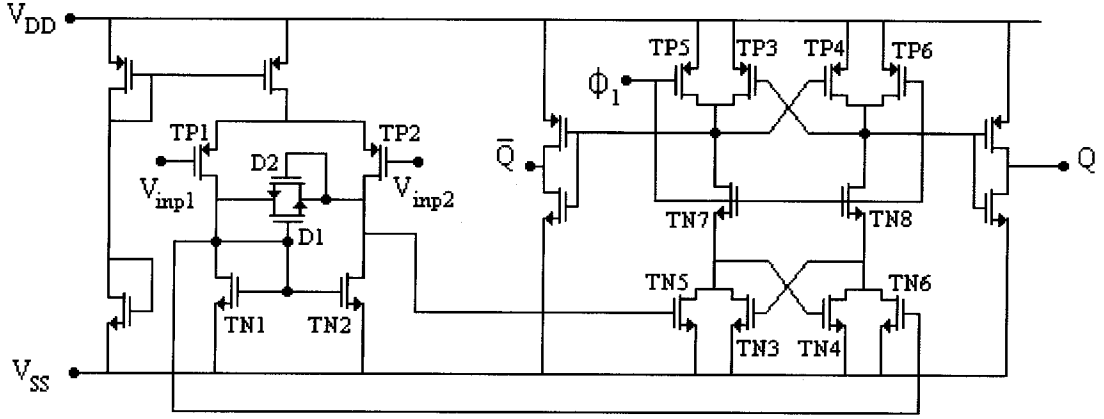


Şekil 6.10 CMOS karşılaştırıcı olarak kullanılan kuvvetlendirici (sense amplifier) yapısı

6.3 Yüksek Lisans Tezi Kapsamında Gerçeklenen Yüksek Performanslı Karşılaştırıcı Yapısı

Gerçeklenen karşılaştırıcı devresi bir farksal yükseltici katı ve bir CMOS latch devresinden oluşmaktadır (Şekil 6.11). p-kanal girişli farksal yükselteç katı giriş gerilim seviyesini V_{SS} ye genişletir, giriş işaretlerini güç hatları gibi gürültü kaynaklarından gelebilecek girişimlere karşı korur ve sonraki latch katından direnç katına giden besleme etkisini (feedthrough) azaltır. D1 ve D2 transistörleri giriş işareti takip yeteneğini artırır ve kuvvetlendirilmiş giriş katından direnç katına olan besleme etkisini azaltır. Kuvvetlendirilmiş fark işareti n-kanal flip flop un drain uçlarına bağlanmış olan deşarj transistörlerine gönderilir. Latch katı deşarj transistörleri, bir n-kanal flip flop ile bir çift n-kanal transfer kapısı, p-kanal flip flop ve p-kanal önyükleme transistörlerinden oluşur. Kanal boyu dalgalanmasından meydana gelen ofsetin – ki toplam ofseti oluşturan ana sebep olarak tahmin edilmektedir – sıfır taban

gerilimindeki değeri daha düşüktür. Bu nedenle transistör kanal genişlikleri küçültülebilir ve flip flop hızı buna bağlı olarak artar.



Şekil 6.11 CMOS karşılaştırıcı (Yukawa, 1985)

MOS transistör boyutları küçüldüğünden, özellikle analog komponentler için uzun dönem kararlılık göz önünde bulundurulmalıdır. Farksal kuvvetlendirici katı p-kanal transistörlerden meydana geldiği için n-kanal yapıya oranla voltaj stresine karşı daha karalıdır.

Bu devrenin dinamik çalışması sıfırlama adımı (reset interval) ve karşılaştırma adımı (comparison interval) olmak üzere iki kısma ayrılmıştır. Sıfırlama adımında ϕ_1 lojik 0 seviyesindedir, transfer kapıları T_{N7} ve T_{N8} açıktır ve p-kanal önyüklem transistörleri T_{P5} ve T_{P6} kapalıdır. Bu nedenle T_{P3} ve T_{P4} tarafından oluşturulan her iki p-kanal flip flop düğümü referans gerilimine şarj olur ve T_{N3} ve T_{N4} tarafından oluşturulan n-kanal flip flop düğümleri de deşarj transistörleri yoluyla toprak seviyesine boşalır. ϕ_1 lojik 1 e yükseldiğinde yüklem akımı p-kanaldan n-kanal flip flop a doğru akmaya başlar. Akımın bir kısmı gate uçları farksal kuvvetlendirici tarafından kontrol edilen T_{N5} ve T_{N6} deşarj transistörleri yoluyla toprağa gider. İki deşarj transistörü arasındaki akım farklı olacağından, n-kanal flip flop drain gerilimleri eşik değerini geçtiğinde yüksek gerilim farkı elde edilir. Gerilim farkı flip flop 1 de fazla kazanca ulaşıktan hemen sonra hızla yükseltilir. Yükseltelen gerilim farkı transfer kapılarından geçerek p-kanal flip flop a ulaşır ve yaklaşık olarak kaynak gerilim dalgalanmasına eşit bir dalgalanmaya sahip olacak şekilde yükseltilir.

Karşılaştırıcı devrelerinin performansını sınırlayan iki önemli kriter mevcuttur. Bunlar ortak mod giriş gerilim seviyesi (common mode input voltage range) ve karşılaştırıcı ofset gerilim dağılımıdır (comparator offset voltage distribution).

Ortak mod giriş gerilim seviyesi, farksal kuvvetlendiricideki transistörler doyma bölgesinde çalıştığından:

$$V_{Tn} + V_{Tp} + \sqrt{2I_0/K_n} < V_i < V_{dd} + V_{Tp} - \sqrt{2I_0/K_p} - \sqrt{2I_0/K_{ps}} \quad (6.21)$$

V_{Tn} , V_{Tp} : n-kanal ve p-kanal transistör eşik gerilimleri

I_0 : her iki yarı kuvvetlendiriciden akan akım

K_n , K_p : n-kanal ve p-kanal transistör devre sabiti (device constant)

K_{ps} : p-kanal akım kaynağı devre sabiti

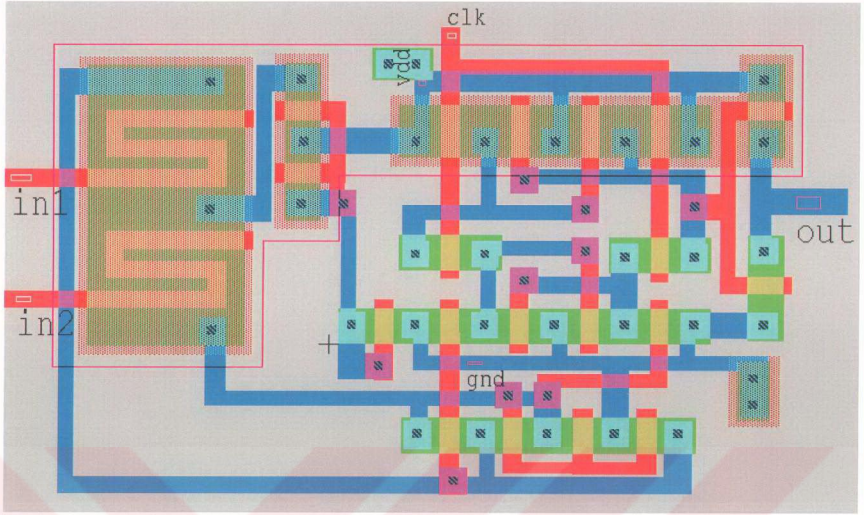
Burada n-kanal transistör eşik gerilimleri, ortak mod giriş seviyesini analog toprak seviyesine genişletmek için lojik kısımda yer alandan daha küçük olacak şekilde tasarlanmıştır.

Latch katından gelen ofset farksal katın kazancına bölüldüğünden ve bu katın kazancı yüksek olduğundan, ofsetin çoğunun farksal kattan kaynaklandığı kabul edilebilir. Bir MOS farksal kuvvetlendiricide iki temel ofset kaynağı vardır. Bunlar yük yoğunluğu farklılıkları ve boyut farklılıklarıdır. P-kanal sürücü ve n-kanal yükten oluşan farksal kuvvetlendirici için ofset gerilimi:

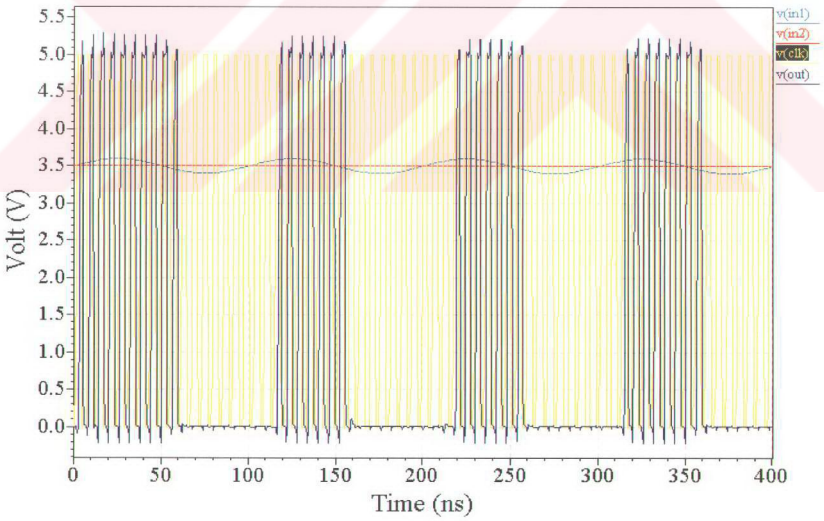
$$V_{os} = D \left(\frac{1}{L_n} + \frac{1}{L_p} \right) \sqrt{I_0/2K_p} + V_{Tp} + \sqrt{K_n/K_p} V_{Tn} \quad (6.22)$$

6.22 de D, n-kanal ve p-kanal çiftler arasındaki kanal boyu dengesizliğini göstermektedir. 6.22 deki ilk terim boyut farklılığına ve ikinci terim de yük yoğunluğu farklılığına karşı gelmektedir. Yüzey durum yoğunluğu ve katkı yoğunluğu gibi parametreler hassas kontrol edilebildiğinden ve son iki terim geçit oksidi kalınlığına bağlı olduğundan bu terimlerin etkisi küçülen boyutlarla azalacaktır. Ancak ilk terim kanal boyu ile ters orantılı olduğundan karşılaştırıcı tasarımında baskın olan bu terimdir.

Tasarlanan karşılaştırıcının serimi Şekil 6.12 de verilmiştir. Karşılaştırıcı devresinin SPICE simülasyonu sonucu Şekil 6.13 deki gibidir. Bu simülasyonda, karşılaştırıcının negatif giriş ucu $V_{inp2} = 3.5V$ değerinde tutulmuş, pozitif girişe de $V_{inp1} = 3.5+0.01\sin\omega t$ şeklinde değişen 10MHz frekansında sinüzoidal gerilim uygulanmıştır. Ek 1 ve Ek 2 de karşılaştırıcıya ilişkin SPICE simülasyon dosyaları verilmiştir.



Şekil 6.12 Karşılaştırıcı serimi



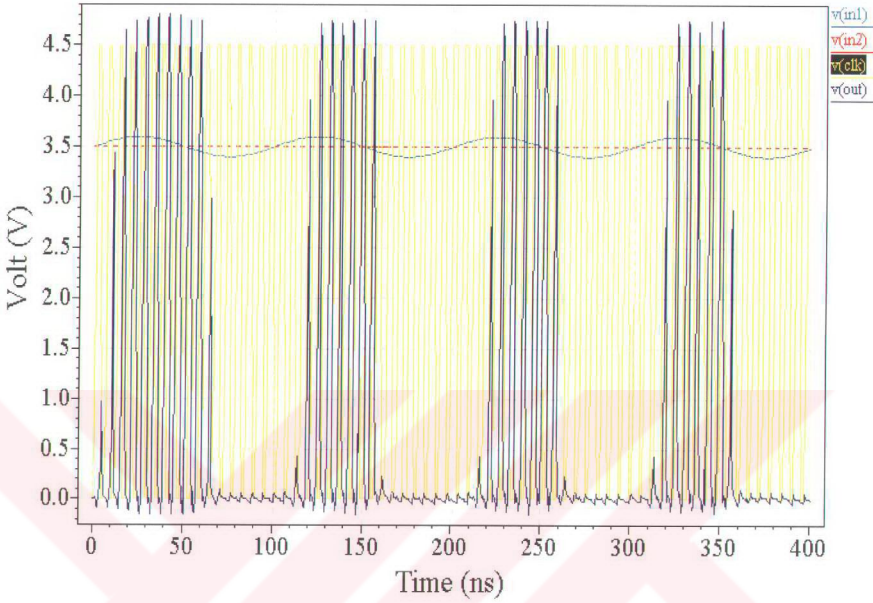
Şekil 6.13 Karşılaştırıcı simülasyonu

Çizelge 6.3 Karşılaştırıcıya ilişkin W / L oranları

Transistör	W / L
TP1	114.5 / 3
TP2	114.5 / 3
TN1	6 / 3
TN2	6 / 3
D1	6 / 3
D2	6 / 3
TN3	6 / 3
TN4	6 / 3
TN5	6 / 3
TN6	6 / 3
TN7	6 / 3
TN8	6 / 3
TP3	9 / 3
TP4	9 / 3
TP5	9 / 3
TP6	9 / 3
Akım aynası ve eviricilerde kullanılan transistörler	6 / 3

Bu karşılaştırıcıya ait $V_{DD} = 4.5V$ ve $T = 125^{\circ}C$ de gerçekleştirilen en kötü durum (worst case) analizi sonucu Şekil 6.14 de verilmiştir.

Karşılaştırıcı en kötü durum analizi



Şekil 6.14 Karşılaştırıcı en kötü durum simülasyonu

Tasarlanan 6 bit analog dijital dönüştürücüde, 63 adet karşılaştırıcı kullanılmaktadır. Bu karşılaştırıcıların her birine ait referans eşik gerilimi değerleri seri direnç bölücü devre yardımıyla sağlanmaktadır. Bölüm 6.4 de direnç karakterizasyonu hakkında bilgi verilmektedir.

6.4 Direnç Karakterizasyonu

Bir homojen malzemenin iletkenliği, o malzemenin rezistif karakteristiğinin hacimsel bir ölçüsüdür. İletkenlik tipik olarak ohm-cm ($\Omega\text{-cm}$) cinsinden ölçülür. Dikdörtgen biçiminde kesilmiş L uzunluklu ve A kesit alanına sahip bir malzemenin iki ucu arasında ölçülen direnci R ise iletkenliği :

$$\rho = \frac{A \cdot R}{L} \text{ olur.} \quad (6.23)$$

Bir malzemenin tabaka direnci (sheet resistance) ise o malzemenin geniş, düzgün dağılımlı (uniform) kalınlığı ihmal edilecek kadar ince bir film parçasının karakteristiğidir. Tabaka direnci yüzey alanındaki kare sayısı başına ohm (Ω/\square) cinsinden ölçülür. Dikdörtgen biçiminde kesilmiş L uzunluklu ve W genişlikli bir malzemenin iki ucu arasında ölçülen direnci R ise, o malzemenin tabaka direnci :

$$R = R \frac{W}{L} \text{ dir.} \quad (6.24)$$

Bir malzemenin tabaka direncinin ve iletkenliğinin, malzemenin herhangi L, W, A ve R değerlerinden bağımsız olduğuna dikkat edilmelidir.

İnce bir tabakanın tabaka direnci, tabakanın kalınlığı z olmak üzere:

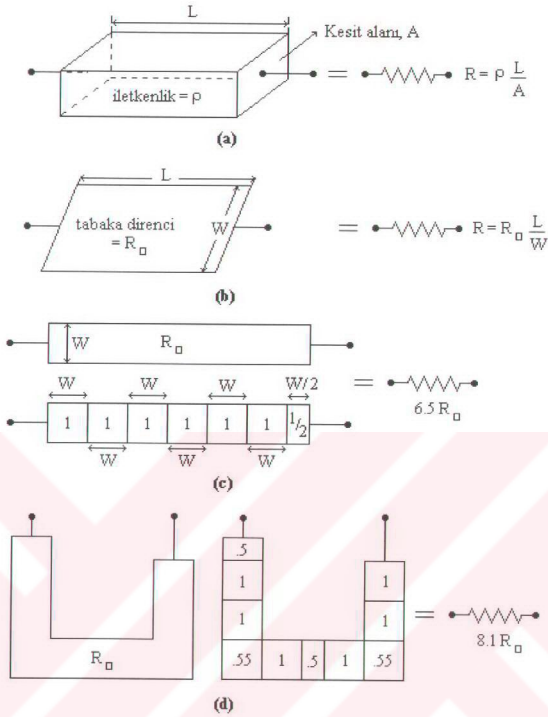
$$R_{\square} = \frac{\rho}{z} \text{ dir.} \quad (6.25)$$

L uzunluklu ve W genişlikli ince dikdörtgen biçimindeki bir bölgenin direnci, bu dikdörtgen içindeki kare sayısından kolaylıkla elde edilebilir. Yan yana yerleştirilebilecek N adet karesel blok varsa, malzemenin tabaka direnci cinsinden direnci :

$$R = N \cdot R_{\square} \quad (6.26)$$

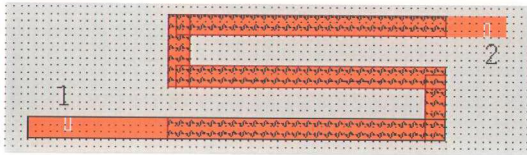
olur (Şekil 6.15.c)

Düzensiz dikdörtgen biçiminde olmayan bölgelerin tabaka direncinin hesabı daha zordur, ancak dik açılı geometrilerde, köşelerdeki kareler için 0.55 katsayısı eklemek genel geçer bir kuraldır (Şekil 6.15.d).



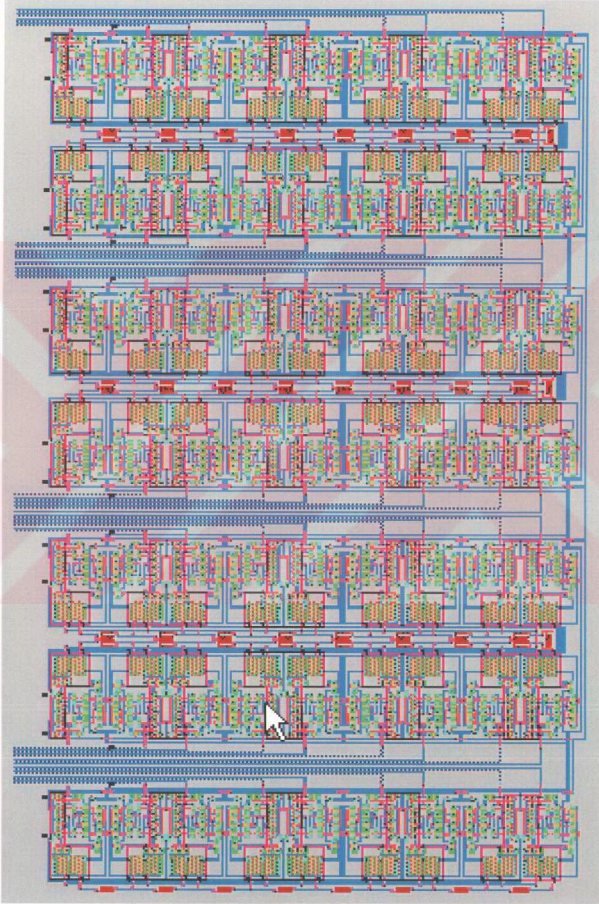
Şekil 6.15 (a) İletkenlik (b) tabaka direnci (c) ve (d) tabaka direncinin grafiksel hesabı

Tübitak Yital 1.5 μm teknolojisinde direnç elde etmek için düşük katkılı polisilisyum kullanılmaktadır (Şekil 6.16). Polisilisyumun tabaka direnci $30 \Omega/\square$ dir. Analog dijital dönüştürücüde 63 karşılaştırıcının referans gerilimlerini elde etmek için 64 adet $1\text{k}\Omega$ luk direnç seri bağlanarak gerilim bölücü devresi oluşturulmuştur.



Şekil 6.16 $1\text{k}\Omega$ luk direnç serimi

Seri dirençlerle elde edilen gerilim bölücü devresinin referans gerilimi 3.5V olarak seçilmiştir. Bu referans gerilimi, karşılaştırıcı devresinde yer alan akım kaynağı vs gibi elemanları sürebilmek için bir miktar gerilime ihtiyaç duyulduğundan besleme geriliminden daha küçük seçilmelidir. $V_{REF} = 3.5V$ için her karşılaştırıcı için adım aralığı $3.5V / 2^6 = 54.68mV \cong 55mV$ olur.

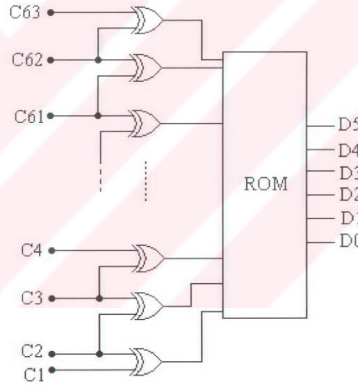


Şekil 6.17 Gerilim bölücü direnç dizisiyle birlikte 63 adet karşılaştırıcının serimi

6.5 Kodlayıcı Bloğu

Bir kod çözücüde m bit giriş sözcüğüne karşı 2^m çıkıştan bir ve yalnız bir tanesi lojik 1 olur. Diğer bir deyişle bir kod çözücü özel bir kod tanımlar. Bu işlemin tersi kodlama olarak adlandırılır. Bir kodlayıcı herhangi bir anda yalnız bir girişi lojik 1 olan birçok girişe sahiptir. Uyarılan girişe göre çıkış kodu üretilir.

Kodlayıcı bloğu 63 adet karşılaştırıcı çıkışından gelen bilgiyi 6 bit sayısal çıkış koduna dönüştüren bloktur. Giriş gerilimi hangi referans gerilimi civarında ise o ve ondan küçük referans gerilimli tüm karşılaştırıcı çıkışları 1, giriş geriliminden büyük referanslı karşılaştırıcı çıkışları 0 olur. Karşılaştırıcı çıkışlarının 1-0 geçişinin olduğu nokta giriş gerilimi seviyesini verir. Bu 1-0 geçişini yakalamak için her komşu iki karşılaştırıcı çıkışı XOR işlemine tabi tutulur (Şekil 6.18). Herhangi bir anda yalnız bir adet XOR kapısı çıkışı lojik 1 olmaktadır. Bu kapıların çıkışları da bir ROM yapısına bağlanarak çıkış sayısal kodu elde edilebilir.

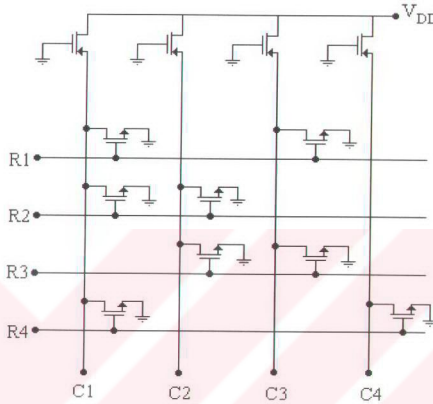


Şekil 6.18 Kodlayıcı

Bölüm V de ayrıntılı olarak incelendiği gibi kodlayıcı bloğunda XOR kapıları yerine üç girişli NOR kapıları kullanarak 1-00 geçişleri kontrol edilmek suretiyle 1 bit hataları azaltılabilir. Tasarlanan 6 bitlik dönüştürücüde üç girişli NOR kapıları kullanılmıştır.

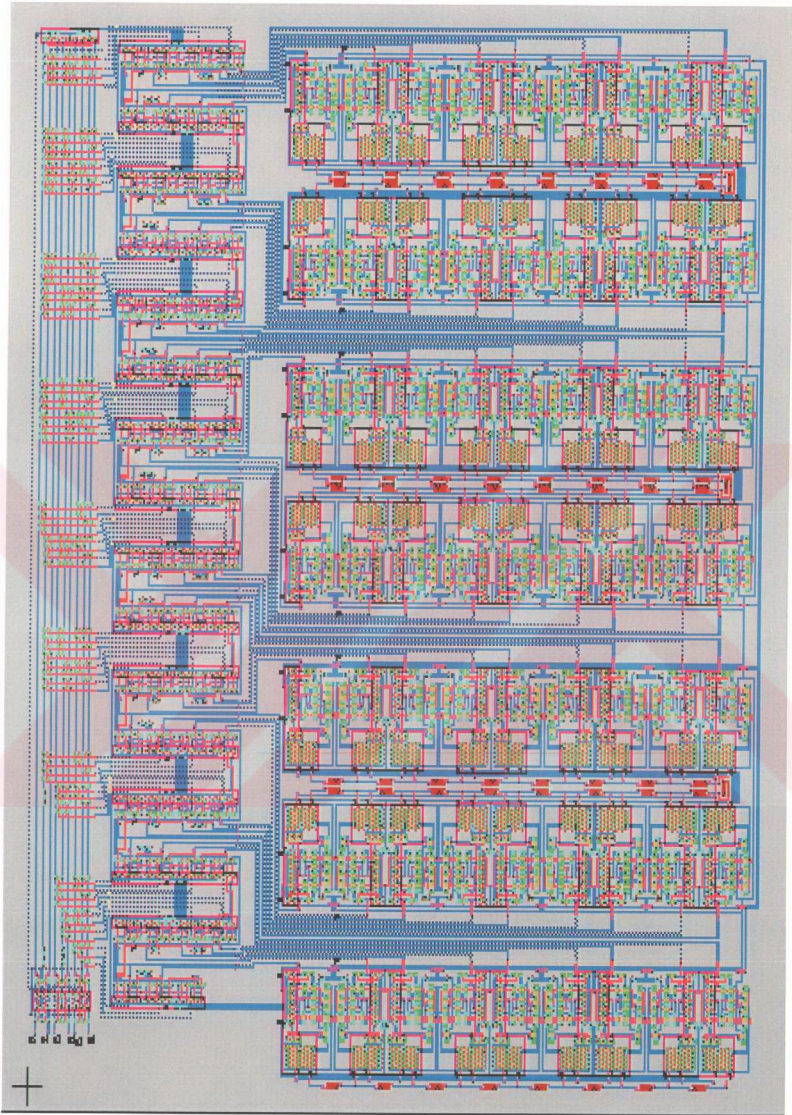
ROM bloğunda her giriş kombinasyonu için özel bir çıkış değeri üretilir. Bu çıkış değeri seçilen sıra (kelime dizisi) ile seçilen sütunun (bit dizisi) kesiştiği bölgede bu iki dizi arasında bir veri yolunun varlığı veya yokluğuyla belirlenir (Şekil 6.19). Herhangi bir anda yalnız bir

giriş lojik 1 olduğundan bu sırada diğer girişler lojik 0 dır. Herhangi bir sütun ile seçilen satır arasındaki bir transistör uyarıldıysa bu sütunun gerilimi bu transistör nedeniyle lojik 0 a düşer, sütun ile seçilen satır arasında transistör yoksa o sütunun gerilimi pMOS yük transistörü yoluyla lojik 1 seviyesinde tutulur. Kodlayıcı bloğunun seriminde $W/L = 3/1.5$ olarak alınmıştır.



Şekil 6.19 4x4 bit bir ROM dizisi örneği

Karşılaştırıcı ve kodlayıcı bloklarının birleştirilmesiyle 6 bit paralel ADC yapısı elde edilmiştir (Şekil 6.20). Tüm devre yaklaşık olarak $1150 \times 1300 \mu\text{m}^2$ alan kaplamaktadır, 100Mhz örnekleme hızında 40Mhz lik sinüzoidal giriş işaretini sayısal işarete çevirmektedir.



Şekil 6.20 6 Bit paralel ADC serimi

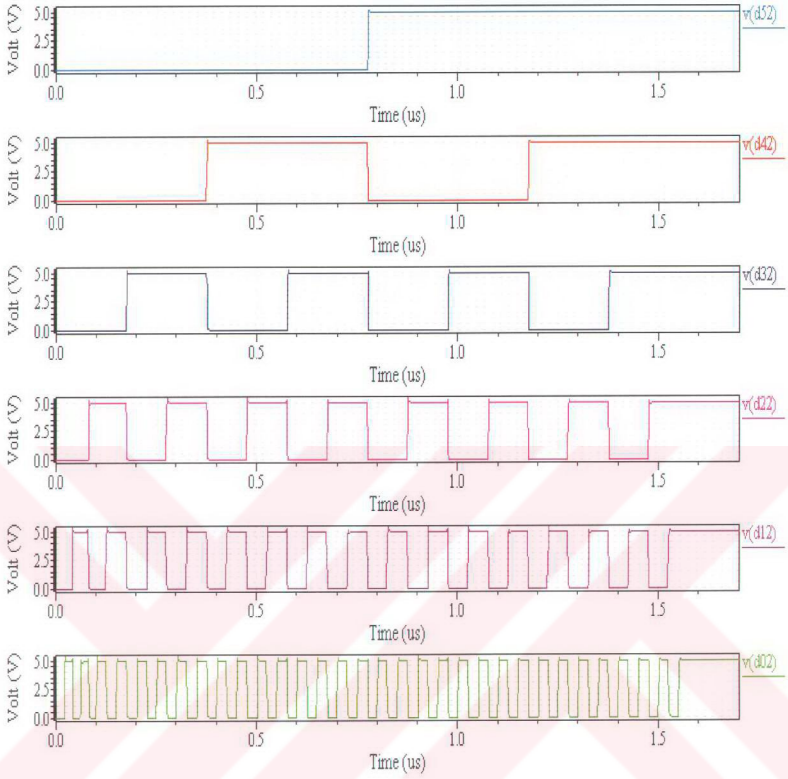
6.6 Tasarım Kurallarına Uygunluğun Test Edilmesi

Bir devrenin serimi, üretim prosesinin kısıtlamaları ve parametrelerine uygun bir şekilde gerçekleştirilmelidir. Bu sınırlamalar tasarımın uyması gereken bir dizi geometrik kurallar şeklinde ifade edilir. DRC (design rule check) işlemi gerçekleştirilen serimin ilgili tasarım kurallarına uygunluğunu test eder.

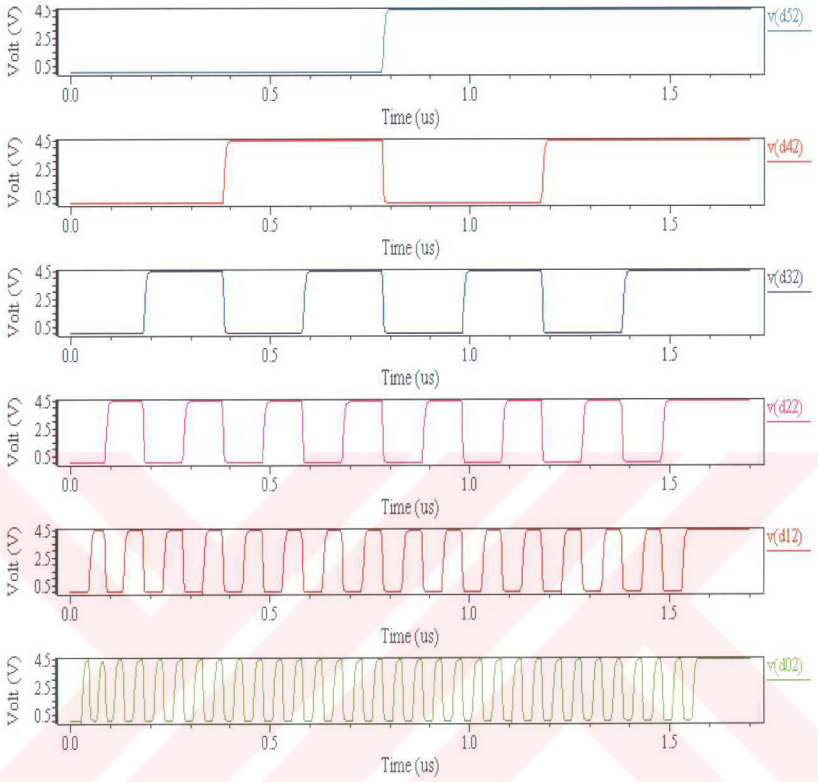
CE (circuit extraction) işlemi ile de sistemin elektriksel özellikleri test edilir. CE işleminde hazırlanan serime karşı düşen devre LVS (layout versus schematic) ile gerçek devre ve serim karşılaştırılarak kontrol edilir.

Devrenin serimi ve tüm simülasyonları Tanner Research ün L-Edit V6.02 ve T-Spice V6.02 versiyonları kullanarak gerçekleştirilmiştir.

Devrenin CE işlemi sonrasında post simülasyon SPICE dosyasının analizi ile elde edilen dijital çıkış gerilimleri Şekil 6.21 de verilmiştir. Şekil 6.22 de ise $V_{DD} = 4.5 \text{ V}$ ve $T = 125^\circ\text{C}$ için en kötü durum analizi sonucu görülmektedir.



Şekil 6.21 6 bit ADC ye ilişkin postsimülasyon sonuçları



Şekil 6.22 6 bit ADC ye ilişkin en kötü durum analizi

SONUÇLAR

Bu çalışmada, çok çeşitli analog dijital dönüştürücü tasarım yöntemleri arasında yüksek hız ve yüksek performans kriterlerini sağlayan üç temel tasarım bloğu ayrıntılı olarak incelenmiştir. İncelenen ilk yapı klasik paralel ADC lerdir. Bu yapıda N bit için $2^N - 1$ karşılaştırıcı, giriş işaretini aynı anda örnekler ve daha sonra bu karşılaştırıcıdan gelen bilgi bir kodlayıcı yardımıyla dijital işarete çevrilir.

Paralel yapı doğası gereği sağladığı hızlı dönüşüm ve tasarımının kolay olması açısından caziptir ancak çözünürlük arttıkça gereken karşılaştırıcı sayısı çok artacağından alan ve güç kaybına yol açmaktadır. Paralel yapının dezavantajlarını büyük ölçüde azaltan ve aynı zamanda hızdan ödün vermeyen iki farklı varyasyonu zaman bölüşümlü ve katlamalı ADC lerdir. Zaman bölüşümlü ADC ler düşük çözünürlükte birden fazla paralel ADC alt bloğu kullanarak birkaç zaman periyodunda dönüşümü sağlarlar. Katlamalı yapılar ise analog işareti bir önişleme bloğundan geçirerek “katlarlar” ve bu katlanmış işareti sayısal koda çevirirler.

Yüksek lisans tezi kapsamında Tübitak Yital 1.5 μ m çift poli çift metal teknolojisi kullanarak 6 bitlik bir paralel ADC uygulaması gerçekleştirilmiştir. Tasarlanan devrenin serimi ve ölçüm sonuçları Bölüm VI da verilmiştir.

KAYNAKLAR

- Abo, A. ve Gray, P. R., (1999), "A 1.5V, 10-Bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter", IEEE J. Solid-State Circuits, Vol. 34, 599-606.
- Baringer, C., Jensen, J. F., Burns, L. ve Walden, R. H., (1996), "A 3-bit, 8 GSPS Flash ADC", in Proc. Indium Phos. Rel. Mater. Conf., 64-67.
- Charoenrook, A. ve Soma, M., (1996), "A Fault Diagnosis Technique for Flash ADC's" IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 43, 445-457.
- Choi, M. ve Abidi, A., (2001) "A 6-b 1.3Gsampler/s A/D converter in 0.35 μ m CMOS", IEEE J. Solid-State Circuits, Vol. 36, 1847-1858.
- Cho, T. ve Gray, P. R., (1995) "A 10b, 20Msampler/s 35mW Pipeline A/D Converter" IEEE J. Solid-State Circuits, Vol. 30, 166-171.
- Cline, D. W. ve Gray, P. R., (1996), "A Power Optimized 13-b 5 Msamples/s Pipelined Analog-to-Digital Converter in 1.2 mm CMOS", IEEE J. Solid-State Circuits, Vol. 31, 294-303.
- Dingwall, A. G. F. ve Zazzu, V., (1985), "An 8-MHz CMOS Subranging 8-Bit A/D Converter", IEEE J. Solid-State Circuits, Vol. SC-20, 1138-1143.
- Flynn, M. P. ve Sheahan, B., (1998), "A 400-Msample/s, 6-b CMOS Folding and Interpolating ADC", IEEE J. Solid-State Circuits, Vol. 33, 1932-1938.
- Foty, D., (1997), Mosfet Modeling with PSPICE, Prentice Hall.
- Geiger, R. L., Allen, P. E. ve Strader, N. R., (1990), VLSI Design Techniques For Analog and Digital Circuits, McGraw – Hill Publishing Company, Singapore.
- Ingino, J. M. ve Wooley, B.A., (1998), "A Continuously Calibrated 12-b 10-MS/s, 3.3V A/D Converter", IEEE J. Solid-State Circuits, Vol. 33, 1920-1930.
- Mehr, I. ve Dalton, D., (1999), "A 500 MS/s, 6-Bit Nyquist Rate ADC For Disk Drive Read Channel Applications", IEEE J. Solid-State Circuits, Vol. 34, 912-920.
- Ming, J. ve Lewis, S. H., (2001), "An 8-Bit 80-Msample/s Pipelined Analog-to-Digital converter with Background Calibration", IEEE J. Solid-State Circuits, Vol. 36, 1489-1496.
- Moon, U. K. ve Song, B. S., (1997), "Background Digital Calibration Techniques for Pipelined ADC's", IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, Vol. 44, 102-109.
- Nagaraj, K., Chen, F., Le, T., ve Viswanathan, T. R., (1999), "Efficient 6-Bit A/D Converter Using a 1-Bit Folding Front End", IEEE J. Solid-State Circuits, Vol. 34, 1056-1062.
- Nakamura, K., Hotta, M., Carley, L. R. ve Allstot, D. J., (1995), "An 85mW, 10-b, 40 Msample/s CMOS Parallel-Pipelined ADC", IEEE J. Solid-State Circuits, Vol. 30, 173-182.
- Nauta, B. ve Venes, A. G., (1998), "A 70-MS/s 110mW 8-b CMOS Folding and Interpolating A/D Converter", IEEE J. Solid-State Circuits, Vol. 33, 1898-1902.
- Opris, I. E., Lewicki, L. D. ve Wong, B. C., (1995), "A Single-Ended 12-bit 20 Msample/s Self-Calibrating Pipeline A/D Converter", IEEE J. Solid-State Circuits, Vol. 30, 1302-1308.

- Plassche, R. V., (1994), *Integrated Analog-to-Digital and Digital-to-Analog Converters*, Kluwer Academic Publishers, The Netherlands.
- Portmann, C. L. ve Meng, T. H., (1996), "Power-Efficient Metastability Error Reduction in CMOS Flash A/D Converters", *IEEE J. Solid-State Circuits*, Vol. 31, 1132-1139.
- Sedra, A. S. ve Smith, K. C., (1998), *Microelectronic Circuits*, Oxford University Press, New York.
- Song, W., Choi, H., Kwak, S. ve Song, B., (1995), "A 10-b 20-Msample/s Low Power CMOS ADC", *IEEE J. Solid-State Circuits*, Vol. 30, 514-520.
- Spalding, J. ve Dalton, D., (1996), "A 200Msample/s 6b Flash ADC in 0.6mm CMOS" , *IEEE International Solid-State Circuits Conference*, 320-321.
- Tsukamoto, S., Schofield, W. G. ve Endo, T., (1998), "A CMOS 6-b 400 MS/s ADC with Error Correction", *IEEE J. Solid-State Circuits*, Vol. 33, 1939-1947.
- Venes, A. G. ve Van de Plassche, R. J., (1996), "An 80MHz, 80-mW, 8b CMOS Folding A/D Converter with Distributed Track-and-Hold Preprocessing", *IEEE J. Solid-State Circuits*, Vol. 31, 1846-1853.
- Walden, R. H., (1999), "Analog-to-Digital Converter Survey and Analysis", *IEEE J. Selected Areas In Communications*, 539-550.
- Wu, C. Y., Chen, C. C. ve Cho, J. J., (1995), "A CMOS Transistor Only 8-b 4.5MS/s Pipelined Analog to Digital Converter Using Fully-Differential Current-Mode Circuit Techniques", *IEEE J. Solid-State Circuits*, Vol. 30, 522-532.
- Yin, G. M., Eynde, F. ve Sansen, W., (1992), "A High-Speed CMOS Comparator with 8-b Resolution" *IEEE J. Solid-State Circuits*, Vol.27, 208-211.
- Yukawa, A., (1985), "A CMOS 8-Bit High-Speed A/D Converter IC", *IEEE J.Solid-State Circuits*, Vol. SC-20, 775-779.

EKLER

- Ek1 Karşılaştırmaya ilişkin TSPICE simülasyon dosyası
Ek2 Karşılaştırmaya ilişkin en kötü durum TSPICE simülasyon dosyası



Ek 1 Karşılaştırıcıya ilişkin TSPICE simülasyon dosyası

* Circuit Extracted by Tanner Research's L-Edit V6.02 / Extract V3.00

C1 vdd 0 11.0375FF

* WARNING: Node in1 has zero capacitance.

C3 12 0 3.64375FF

C4 10 0 4.45FF

* WARNING: Node clk has zero capacitance.

C6 9 0 4.15FF

C7 gnd 0 9.39375FF

C8 46 0 2.7375FF

C9 45 0 3.20625FF

C10 14 0 4.09375FF

C11 5 0 6.825FF

C12 9 0 3.625FF

C13 6 0 16.9625FF

* WARNING: Node in2 has zero capacitance.

M15 vdd 10 out vdd PMOS L=3U W=6U AD=39P PD=25.00U AS=39P PS=25.00U

* M15 Drain Gate Source Bulk (66.5 30 72.5 33) A = 18, W = 6

M16 vdd clk 10 vdd PMOS L=3U W=9U AD=63P PD=32.00U AS=38.25P PS=17.50U

* M16 Drain Gate Source Bulk (50.5 23.5 53.5 32.5) A = 27, W = 9

M17 vdd clk 9 vdd PMOS L=3U W=9U AD=63P PD=32.00U AS=38.25P PS=17.50U

* M17 Drain Gate Source Bulk (16 23.5 19 32.5) A = 27, W = 9

M18 vdd 9 10 vdd PMOS L=3U W=9U AD=38.25P PD=17.50U AS=38.25P PS=17.50U

* M18 Drain Gate Source Bulk (39 23.5 42 32.5) A = 27, W = 9

M19 9 10 vdd vdd PMOS L=3U W=9U AD=38.25P PD=17.50U AS=38.25P PS=17.50U

* M19 Drain Gate Source Bulk (27.5 23.5 30.5 32.5) A = 27, W = 9

M20 vdd 14 14 vdd PMOS L=3U W=6U AD=22.5P PD=13.50U AS=39P PS=25.00U

* M20 Drain Gate Source Bulk (-10 19.5 -4 22.5) A = 18, W = 6

M21 9 14 vdd vdd PMOS L=3U W=6U AD=39P PD=25.00U AS=22.5P PS=13.50U

* M21 Drain Gate Source Bulk (-10 30 -4 33) A = 18, W = 6

M22 6 in1 9 vdd PMOS L=3U W=70U AD=259P PD=121.00U AS=161.5P PS=87.50U

- * M22 Drain Gate Source Bulk (-42.5 18.5 -16.5 31.5) A = 210, W = 70
- M23 gnd 5 6 gnd NMOS L=3U W=6U AD=22.5P PD=13.50U AS=39P PS=25.00U
- * M23 Drain Gate Source Bulk (48.5 -26.5 51.5 -20.5) A = 18, W = 6
- M24 45 5 gnd gnd NMOS L=3U W=6U AD=25.5P PD=14.50U AS=42P PS=26.00U
- * M24 Drain Gate Source Bulk (50.5 -8 53.5 -2) A = 18, W = 6
- M25 out 10 gnd gnd NMOS L=3U W=6U AD=42P PD=26.00U AS=48P PS=28.00U
- * M25 Drain Gate Source Bulk (66.5 0.5 72.5 3.5) A = 18, W = 6
- M26 45 clk 10 gnd NMOS L=3U W=6U AD=42P PD=26.00U AS=42P PS=26.00U
- * M26 Drain Gate Source Bulk (50.5 4 53.5 10) A = 18, W = 6
- M27 5 5 gnd gnd NMOS L=3U W=6U AD=25.5P PD=14.50U AS=22.5P PS=13.50U
- * M27 Drain Gate Source Bulk (38 -26.5 41 -20.5) A = 18, W = 6
- M28 6 5 5 gnd NMOS L=3U W=6U AD=22.5P PD=13.50U AS=25.5P PS=14.50U
- * M28 Drain Gate Source Bulk (26.5 -26.5 29.5 -20.5) A = 18, W = 6
- M29 5 6 6 gnd NMOS L=3U W=6U AD=39P PD=25.00U AS=22.5P PS=13.50U
- * M29 Drain Gate Source Bulk (16 -26.5 19 -20.5) A = 18, W = 6
- M30 gnd 6 46 gnd NMOS L=3U W=6U AD=24P PD=14.00U AS=25.5P PS=14.50U
- * M30 Drain Gate Source Bulk (16 -8 19 -2) A = 18, W = 6
- M31 14 14 gnd gnd NMOS L=3U W=6U AD=36P PD=24.00U AS=24P PS=14.00U
- * M31 Drain Gate Source Bulk (5 -8 8 -2) A = 18, W = 6
- M32 9 clk 46 gnd NMOS L=3U W=6U AD=42P PD=26.00U AS=42P PS=26.00U
- * M32 Drain Gate Source Bulk (16 4.5 19 10.5) A = 18, W = 6
- M33 gnd 46 45 gnd NMOS L=3U W=6U AD=25.5P PD=14.50U AS=25.5P PS=14.50U
- * M33 Drain Gate Source Bulk (39 -8 42 -2) A = 18, W = 6
- M34 46 45 gnd gnd NMOS L=3U W=6U AD=25.5P PD=14.50U AS=25.5P PS=14.50U
- * M34 Drain Gate Source Bulk (27.5 -8 30.5 -2) A = 18, W = 6
- M35 9 in2 5 vdd PMOS L=3U W=70U AD=161.5P PD=87.50U AS=233P PS=119.00U
- * M35 Drain Gate Source Bulk (-42.5 -2 -16.5 11) A = 210, W = 70
- * Total Nodes: 14 ;
- * Total Elements: 35 ;
- * Extract Elapsed Time: 2 seconds ;

```
VDD vdd gnd 5
VIN in1 gnd SIN ( 3.5 0.1 10MEG)
VREF in2 gnd 3.5
VCLK clk gnd PULSE (0 5 1n 1n 1n 2N 6N)

.include c:\tspro\YITAL1U5\yital1u5.md
.TRAN 1N 400N
.PRINT TRAN in1 in2 clk out
.END
```



Ek 2 Karşılaştırıcıya ilişkin en kötü durum TSPICE simülasyon dosyası

* Circuit Extracted by Tanner Research's L-Edit V6.02 / Extract V3.00

C1 vdd 0 11.0375FF

* WARNING: Node in1 has zero capacitance.

C3 12 0 3.64375FF

C4 10 0 4.45FF

* WARNING: Node clk has zero capacitance.

C6 9 0 4.15FF

C7 gnd 0 9.39375FF

C8 46 0 2.7375FF

C9 45 0 3.20625FF

C10 14 0 4.09375FF

C11 5 0 6.825FF

C12 9 0 3.625FF

C13 6 0 16.9625FF

* WARNING: Node in2 has zero capacitance.

M15 vdd 10 out vdd PMOS L=3U W=6U AD=39P PD=25.00U AS=39P PS=25.00U

* M15 Drain Gate Source Bulk (66.5 30 72.5 33) A = 18, W = 6

M16 vdd clk 10 vdd PMOS L=3U W=9U AD=63P PD=32.00U AS=38.25P PS=17.50U

* M16 Drain Gate Source Bulk (50.5 23.5 53.5 32.5) A = 27, W = 9

M17 vdd clk 9 vdd PMOS L=3U W=9U AD=63P PD=32.00U AS=38.25P PS=17.50U

* M17 Drain Gate Source Bulk (16 23.5 19 32.5) A = 27, W = 9

M18 vdd 9 10 vdd PMOS L=3U W=9U AD=38.25P PD=17.50U AS=38.25P PS=17.50U

* M18 Drain Gate Source Bulk (39 23.5 42 32.5) A = 27, W = 9

M19 9 10 vdd vdd PMOS L=3U W=9U AD=38.25P PD=17.50U AS=38.25P PS=17.50U

* M19 Drain Gate Source Bulk (27.5 23.5 30.5 32.5) A = 27, W = 9

M20 vdd 14 14 vdd PMOS L=3U W=6U AD=22.5P PD=13.50U AS=39P PS=25.00U

* M20 Drain Gate Source Bulk (-10 19.5 -4 22.5) A = 18, W = 6

M21 9 14 vdd vdd PMOS L=3U W=6U AD=39P PD=25.00U AS=22.5P PS=13.50U

* M21 Drain Gate Source Bulk (-10 30 -4 33) A = 18, W = 6

M22 6 in1 9 vdd PMOS L=3U W=70U AD=259P PD=121.00U AS=161.5P PS=87.50U
 * M22 Drain Gate Source Bulk (-42.5 18.5 -16.5 31.5) A = 210, W = 70

M23 gnd 5 6 gnd NMOS L=3U W=6U AD=22.5P PD=13.50U AS=39P PS=25.00U
 * M23 Drain Gate Source Bulk (48.5 -26.5 51.5 -20.5) A = 18, W = 6

M24 45 5 gnd gnd NMOS L=3U W=6U AD=25.5P PD=14.50U AS=42P PS=26.00U
 * M24 Drain Gate Source Bulk (50.5 -8 53.5 -2) A = 18, W = 6

M25 out 10 gnd gnd NMOS L=3U W=6U AD=42P PD=26.00U AS=48P PS=28.00U
 * M25 Drain Gate Source Bulk (66.5 0.5 72.5 3.5) A = 18, W = 6

M26 45 clk 10 gnd NMOS L=3U W=6U AD=42P PD=26.00U AS=42P PS=26.00U
 * M26 Drain Gate Source Bulk (50.5 4 53.5 10) A = 18, W = 6

M27 5 5 gnd gnd NMOS L=3U W=6U AD=25.5P PD=14.50U AS=22.5P PS=13.50U
 * M27 Drain Gate Source Bulk (38 -26.5 41 -20.5) A = 18, W = 6

M28 6 5 5 gnd NMOS L=3U W=6U AD=22.5P PD=13.50U AS=25.5P PS=14.50U
 * M28 Drain Gate Source Bulk (26.5 -26.5 29.5 -20.5) A = 18, W = 6

M29 5 6 6 gnd NMOS L=3U W=6U AD=39P PD=25.00U AS=22.5P PS=13.50U
 * M29 Drain Gate Source Bulk (16 -26.5 19 -20.5) A = 18, W = 6

M30 gnd 6 46 gnd NMOS L=3U W=6U AD=24P PD=14.00U AS=25.5P PS=14.50U
 * M30 Drain Gate Source Bulk (16 -8 19 -2) A = 18, W = 6

M31 14 14 gnd gnd NMOS L=3U W=6U AD=36P PD=24.00U AS=24P PS=14.00U
 * M31 Drain Gate Source Bulk (5 -8 8 -2) A = 18, W = 6

M32 9 clk 46 gnd NMOS L=3U W=6U AD=42P PD=26.00U AS=42P PS=26.00U
 * M32 Drain Gate Source Bulk (16 4.5 19 10.5) A = 18, W = 6

M33 gnd 46 45 gnd NMOS L=3U W=6U AD=25.5P PD=14.50U AS=25.5P PS=14.50U
 * M33 Drain Gate Source Bulk (39 -8 42 -2) A = 18, W = 6

M34 46 45 gnd gnd NMOS L=3U W=6U AD=25.5P PD=14.50U AS=25.5P PS=14.50U
 * M34 Drain Gate Source Bulk (27.5 -8 30.5 -2) A = 18, W = 6

M35 9 in2 5 vdd PMOS L=3U W=70U AD=161.5P PD=87.50U AS=233P PS=119.00U
 * M35 Drain Gate Source Bulk (-42.5 -2 -16.5 11) A = 210, W = 70

* Total Nodes: 14 ;
 * Total Elements: 35 ;
 * Extract Elapsed Time: 2 seconds ;

VDD vdd gnd 4.5

VIN in1 gnd SIN (3.5 0.1 10MEG)

VREF in2 gnd 3.5

VCLK clk gnd PULSE (0 4.5 1n 1n 1n 2N 6N)

.temp 125

.include c:\tspro\YITAL1U5\yital1u5.md

.TRAN 1N 400N

.PRINT TRAN in1 in2 clk out

.END



ÖZGEÇMİŞ

Doğum tarihi	20.03.1978	
Doğum yeri	Ankara	
Lise	1991-1994	Yeşilköy 50. Yıl Lisesi
Lisans	1994-1998	Yıldız Üniversitesi Elektrik-Elektronik Fakültesi Elektronik ve Haberleşme Mühendisliği Bölümü
Yüksek Lisans	1998-2002	Yıldız Teknik Üniversitesi FBE Elektronik ve Haberleşme Müh. Anabilim Dalı Elektronik Programı

Çalıştığı kurum(lar)

1998-Devam ediyor YTÜ Elektrik Elektronik Fak. Araştırma Görevlisi



**YÜKSEKÖĞRETİM KURULU
T.C. YÜKSEKÖĞRETİM KURULU
BİLİM VE TEKNOLOJİ BAKANLIĞI**