

R
152
30

YILDIZ TEKNİK ÜNİVERSİTESİ FEN BİLİMLERİ ENSTİTÜSÜ

Standart Tel. Sıst. Bılg. Bıl. Aktar,

Yüksek Lisans Tezi

M. Oktay Horsaalı

1990

Ref
EHM
247
1990

Standart Tel. Sıst. Bılg. Bıl. Aktar.

152

30

V

Elk.

400007

YILDIZ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

STANDART
TELEFON SİSTEMLERİNDEN
BİLGİSAYARA BİLGİ AKTARILMASI

YÜKSEK LİSANS TEZİ
MÜH. MEHMET OKTAY HORSANALI

İSTANBUL 1990

YILDIZ TEKNİK ÜNİVERSİTESİ
KÜTÜPHANE DOKÜMANTASYON
DAİRE BAŞKANLIĞI

Kot R 152
130

Alındığı Yer : FEN. BİL. ENS.

Tarih : 17.04.1992

Fatura : - - - - -

Fiyatı : 40.000.L.

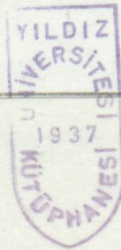
Ayniyat No : 1/2

Kayıt No : 48341

UDC : 621.3 378.242

Ek :

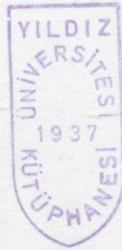
f



YILDIZ ÜNİVERSİTESİ
FEN BİLİMLERİ ENSTİTÜSÜ

Lisans ve yüksek lisans öğrenimi boyunca bana her konuda yardımcı ve destek olan değerli hocam Prof. Dr. Sağın Akar'a, tezime boyunca yardımlarını esirgeyen arkadaşlarıma Ar. Gör. Tunçay Uzun, Ar. Gör. Hakan Şenel, Ar. Gör. Hakan Özyılmaz, Ar. Gör. Ünal Yücek, Mehmet Dürgen, Hacer Kızılcık, Ferit Kaya ve Bahadır Arkan'a teşekkür eder bir sözle;

STANDART
TELEFON SİSTEMLERİNDEN
BİLGİSAYARA BİLGİ AKTARILMASI



YÜKSEK LİSANS TEZİ
MÜH. MEHMET OKTAY HORSANALI

İSTANBUL 1990

Lisans ve yüksek lisans öğrenimim boyunca bana her konuda yardımcı ve destek olan değerli hocam Prof.Dr. Sezgin Alsan'a, çalışmam boyunca yardımlarını esirgemeyen arkadaşlarım Ar.Gör. Tuncay Uzun, Ar.Gör. Herman Sedef, Ar.Gör. Hakan Özyılmaz, Ar.Gör. Ünal Küçük, Mehmet Düzgün, Üzeyir Kızıllarmut, Mert Konu ve Bahtiyar Arıkan'a teşekkürü bir borç bilirim.

Özellikler

6

BÖLÜM 2 : HABERLEŞME KODLARI

Mayıs 1990

2.1 Sesdet

10

2.2 HD

11

2.3 HD

12

2.4 HD

13

2.5 HD

14

2.6 HD

15

2.7 HD

16

2.8 HD

17

2.9 HD

18

2.10 HD

19

2.11 HD

20

2.12 HD

21

2.13 HD

22

2.14 HD

23

2.15 HD

24

2.16 HD

25

İÇİNDEKİLER

	Sayfa No
ÖZET	28
GİRİŞ	1
BÖLÜM 1 : STANDART TELEFON SİSTEMLERİ	5
1.1 Telefon cihazları	5
DP	6
DTMF	6
1.2 Telefon santralları	6
1.3 Telefon hatlarının bazı elektriksel karakteristikleri	8
BÖLÜM 2 : HABERLEŞME KODLARI	10
2.1 Baudot	10
2.2 BCD	11
2.3 EBCDIC	12
2.4 ASCII	13
2.5 Haberleşme kontrol karakterleri	16
Parite biti	17
BÖLÜM 3 : HABERLEŞME ŞEKİLLERİ	19
3.1 Paralel haberleşme	19
3.2 Seri haberleşme	20
BÖLÜM 4 : SERİ HABERLEŞME TEKNİKLERİ	21
4.1 Asenkron seri haberleşme	21
Start bit, stop bit ve baud rate	21
Standart seri haberleşme protokolleri	23
4.2 Senkron seri haberleşme	24
Bisync protokolü	25
Seri bilgi hat kontrolü (SDLC protokolü)	25

4.3 Hata tespiti	27
Parite	27
Toplama kontrolü (checksum)	28
4.4 Seri bilgi arabirim standartları	29
RS-232C	30
Elektriksel karakteristikler	30
İşaret dizaynı	31
Elsıkışma	34
RS-422A, RS-423A	36
BÖLÜM 5 : CİHAZIN ELEKTRONİK YAPISI	39
5.1 Zil algılayıcı (ring dedector)	39
5.2 Telefonu açma kontrolü (off hook control)	40
5.3 Ton üretici (ton generator)	40
5.4 DTMF alıcı (DTMF receiver)	41
5.5 RS-232C seri arabirim (RS-232C serial interface)	42
5.6 İşlem ünitesi (process unit)	43
5.7 Röle çıkışları (relay outputs)	45
5.8 Besleme (power supply)	45
5.9 Baskı devre	52
5.10 Yerleştirme planı	53
BÖLÜM 6 : PROGRAM	54
Akış diyagramı	55
Assembler	60
BÖLÜM 7 : CİHAZIN KULLANIMI	78
7.1 Cihazın bilgisayara bağlanması	80
EKLER	
G8870, TSC232, 8048	
KAYNAKLAR	

ÖZET

Günümüzde elektronik sanayii başdöndürücü bir hızla gelişmektedir. Elektronik her geçen gün diğer endüstri dallarının da vazgeçilmez bir parçası haline gelmekte ve onları da hızla değiştirmekte, geliştirmektedir. Bütün bu gelişmelerin tek bir hedefi vardır; insanlara daha rahat, daha kolay bir yaşam sağlamak. Yaşam koşulları iyileştikçe insanlar daha çoğunu istemekte ve her yeni günle birlikte teknolojik ilerlemeler kaydedilmektedir.

Günümüz insanı bulunduğu yerden kilometrelerce uzaktaki bir sisteme hükmetmek, onu yönlendirmek istemektedir. Bu konuda çeşitli çalışmalar yapılmış ve çeşitli yöntemler ortaya çıkarılmıştır. Ben bu alanda en etkili ve en ucuz yöntemin dünyanın hemen hemen her köşesine yayılmış olan telefon hatlarından yararlanmak olduğuna inanıyorum. Modemler kullanılarak bilgi iletimi, dolayısıyla sistem kontrolü yapılabilmektedir.

Bu çalışma yalnızca telefon tuşlarını kullanarak uzaktaki bir cihaza bilgi iletmek ve bu cihaz yardımıyla da çeşitli sistemleri kontrol etmek amacıyla yapılmıştır.

Örneğin bir kalorifer sistemi bu cihaz yardımıyla, aradaki mesafeye bağlı olmaksızın çalıştırılabilir. Bir evin ışıkları hırsızları caydırmak maksadıyla istenildiği anda yakılabilir. Her türlü elektrikli alet çalıştırılabilir. Daha da ileri gidersek cihazın RS-232C seri çıkışı ile bir bilgisayara ASCII bilgi gönderilebilir. Bu da bize sistemlerin uzaktan kontrolü alanında çok geniş

ufuklar açabilir.

Bu kitabın ilk bölümlerinde gerekli teorik bilgiler verilmiş, daha sonraki bölümlerinde ise gerçekleştirilen cihaz tanıtılmıştır.

part of the other branches of industry and get them to change and develop so rapidly. All these developments have a single target, that is, to supply people with a more comfortable and easy life. As living conditions improve, people demand more, so the new technological developments have been recorded each day.

People of this modern century wish to govern and direct a system thousands of kilometers away. In this area, so many studies have been carried out and various methods have been found out. I believe that in this area the most efficient and cheapest way is to use telephone lines extending all over the world. In this way system control and data transmission can be operated using modern

This work is for transmitting data to an equipment in the distance and controlling different systems by means of this equipment.

For instance a central machine system can be operated free from the concept of distance using the above mentioned circuit. The lights of a house can be made to turn on whenever desired in order to bring comfort. Every sort of electrical equipment can be controlled. Further more, it is quite possible to transfer data to a computer through the RS-232C serial output. This will perhaps show us new horizons with in the fields of

SUMMARY *ing systems remotely.*

In this book, the necessary theoretical information was

Nowadays, the industry of electronics has been developing at a great rate. And it has become indispensable part of the other branches of industry and get them to change and develop so rapidly. All these developments have a single target, that is, to supply people with more comfortable and easy life. As living conditions improve, people demand more, so the new technological developments have been recorded each day.

People of this modern century wish to govern and direct a system thousands of kilometers away. In this area, so many studies have been carried out and various of methods have been found out. I believe that in this area the most efficient and cheapest way is to use telephone lines extending all over the world. In this way system control and data transmission can be operated using modems.

This work is for transmitting data to an equipment in the distance and controlling different systems by means of this equipment.

For instance a central heating system can be operated free from the concept of distance using the above mentioned circuit. The lights of a house can be made to turn on whenever desired in order to deter burglars. Every sort of electrical equipment can be worked as well. Further more, it is quite possible to transmit an ASCII data to a computer through the RS-232C serial output. This will perhaps show us new horizons with in the fields of

controlling systems remotely.

In this book, the necessary theoretical information was presented in the first chapters and the equipment made was introduced subsequently.

Uzunca bir süre sonra bu alanda büyük gelişmeler olmuştur. Özellikle son yıllarda elektronik destekli haberleşme sistemleri büyük hızla gelişmektedir.

Minimun bir haberleşme sistemi aşağıdaki üç elemanla oluşabilir:

- 1. Bir bilgi kaynağı
- 2. Bilginin iletilmesi için bir kanal
- 3. Bilginin alınması için bir alıcı

Bir haberleşme sisteminin amacı belirli bir bilgiyi bir noktadan diğerine aktarmaktır. Aktarılan bilgi veri (data) olarak ifade edilir. Elektronik haberleşme sistemleri aşağıdaki gibidir:

1950 li yılların sonlarına kadar elektronik destekli haberleşme sistemleri büyük hızla gelişmiştir. Artan bilgisayar ve iletişim teknolojileri ile haberleşme sistemleri bir arada çalışmaya başlamıştır. Özellikle büyük ölçekli endüstriyel tesislerin otomasyonunda bilgisayarların kullanılması gerekmektedir.

Veri haberleşmelerinde bu gelişmelere paralel olarak yeni kavramlar da ortaya çıkmıştır. Bunlar kağıtsız ofisler (paperless office), otomasyon (teleprocessing), ISDN (Integrated Services Digital Network) - Entegre hizmetler taşıyan dijital şebekelerdir.

Veri haberleşmelerinde kullanılan haber kaynağı ve alıcının tipiyle özellikle bilgisayar ve terminaller

GiRiŞ Diğer kavram birimleri haberleşme kaynağı ve alıcısıdır.

Haberleşme ilk canlılarla birlikte ortaya çıkan bir kavramdır. Günümüze gelene dek bir çok değişime uğramış ve gelişmiştir. Özellikle son yıllarda elektronik destekli gelişme başdöndürücü bir hızla olmaktadır.

Minimum bir haberleşme sistemi ancak aşağıdaki üç elemanın varolması ile gerçekleştirilebilir.

1. Bir enformasyon kaynağı
2. Enformasyonun iletilebileceği bir ortam
3. Enformasyonu algılayan bir alıcı

Bir haberleşme sisteminin amacı belirli bir enformasyonu bir noktadan diğerine aktarmaktır. Aktarılan bilgi veri (data) olarak isimlendirilir. Elektronikte haberleşme elektriksel işaretlerle yapılır.

1950'li yılların sonlarından itibaren, özellikle de son yıllarda veri haberleşmesi oldukça güncel hale gelmiştir. Artan bilgisayar ve bilgisayar kontrollü sistemlerin sayısı ile birlikte büyüyen veri işleme endüstrisi bilgisayarların birbirleriyle haberleşme gereksinimini doğurdu.

Veri haberleşmesindeki bu gelişmelere paralel olarak yeni kavramlar da türemiştir. Örneğin kağıtsız bürolar (paperless offices), uzakkumanda (telecommuting), ISDN (Integrated Services Digital Network - Tümleşik hizmetler sayısal şebekesi) vs.

Veri haberleşmesini karakterize eden haber kaynağı ve alıcısının tipidir. Genellikle bilgisayar ve terminaller

veya diğ er çevre birimleri haberleş me kaynağı ve alıcısıdırlar.

Ş imdi veri haberleş mesinin tarihini kısaca özetleyelim. İlk telgraf sistemlerinin kurulmasıyla birlikte iki merkez arasında nokta ve çizgiye dayanan kodlarla bilginin aktarıldığı veri haberleş mesi başlamış oldu. 1860'lı yıllarda yaklaşık saniyede 15 kod bitlik bir bilgi aktarımı sağlanabiliyordu. Ancak gerçek anlamda veri haberleş mesi 1940'lı yıllarda askeri amaçlarla, o zamanki bilgisayarlar arasında telemetri için kullanıldı. Radar bilgileri teletype kodlarına benzer kodlarla, ikili (binary) düzene çevrilerek, telgraf hatları aracılığıyla gönderildi. 1954 yılında telefon hattına bağlanmış ilk alıcı/verici cihazı delikli kartlar üzerindeki bilgileri doğrudan bir bilgisayara aktardı. Daha sonraları yazılmış veya kodlanmış bilgiyi telefon hatları aracılığıyla alan ve gönderen teledaktilo (teletypewriter) cihazları ortaya çıktı.

Bugünkü anlamda terminaller diyebileceğimiz teledaktilolar modemler aracılığıyla telefon hatlarına uygunlaştırıldı. 1950'lerin sonlarında askeri amaçlar için özel veri şebekeleri kurulmaya başlandı. Böylece sayısallaştırılan radar işaretleri birbirinden uzak bilgisayar merkezlerine iletilebiliyordu.

1960'lı yıllarda artan terminal ve bilgisayar cihazları sayısı ile birlikte veri şebekeleri de karmaşıklık ve boyut açısından büyümeye başladı. Böylece daha önceleri ortaya çıkmış olan çok hat kontrolcüsünün (multi line controller)

yerine haberleşmeye esneklik ve hız kazandıran, kontrol mekanizmasını geliştiren FEP'ler (Front End Processor - Ön uç işlemci) kullanılmaya başlandı.

1960'lı yılların sonlarına doğru tele işlem sistemlerine olan ilgi oldukça arttı. Çok sayıda uzak kullanıcı çeşitli terminaller aracılığıyla uzak bilgisayarlarla bağlandı. Bunlar haberleşmelerini ya özel kiralanmış hatlar ya da kamuya açık telefon şebekesi veya diğer adıyla PSTN üzerinden yapıyorlardı.

1970'li yıllarda artık yalnızca kullanıcıların değil bilgisayarların da enformasyonu paylaşma zorunluluğu doğdu. Böylece küçük bilgisayar sistemleri daha büyük bilgisayar sistemlerine (main frame, host computer) bağlandı. Terminaller artık kendilerine gerekli enformasyonu bağlı buldukları bilgisayar sistemlerinden elde edemedikleri takdirde, yine bu bilgisayar sistemleri aracılığıyla ana bilgisayar sistemine bağlanarak elde etme yoluna gidebildiler. Böylece çok büyük ulusal ve uluslararası veri şebekeleri ortaya çıktı. Bunlara örnek olarak Avrupa'da EARN, Amerika'da TYMNET, ARPANET verilebilir. Geleceğin veri haberleşmesi ise insanın bütün haberleşme ihtiyaçlarını karşılayacak şekilde tümleştirilmiş olacaktır. Bu amaçla bugünden ISDN (Integrated Services Digital Network - Tümleşik hizmetler sayısal şebekesi) üzerinde yoğun çalışmalar sürdürülmektedir. Burada artık sayısal veri kaynakları yalnızca bilgisayarlar, terminaller ve çevre birimleri değil, telefon ve televizyon gibi araçlar da olacaktır.

Biz bu noktadan hareketle yalnızca DTMF bir telefonun tuş takımını (key board) kullanarak, uzaktaki bir bilgisayara kısa bilgiler gönderebileceğimiz veya çeşitli sistemleri kontrol (on/off) edebileceğimiz bir cihaz gerçekleştirdik.

Bilindiği gibi bu amaca yönelik cihazlar çoğunlukla verici tarafta yardımcı bir düzeneğe ihtiyaç gösterirler (bilgisayar, modem vs.). Bu da belli bir mekanı kullanma zorunluluğunu getirir. Oysa bizim cihazımızda dünyanın neresinde olursak olalım DTMF bir telefon bulmak yeterlidir.

BÖLÜM 1 : STANDART TELEFON SİSTEMLERİ

Günümüzde standart telefon sistemleri genel olarak telefon cihazları, bu cihazların bağlı buldukları bölgesel santraller, bu santrallerin bağlı buldukları ara santraller, merkezi santraller ve uluslararası görüşmelerde kullanılan uydulardan oluşmaktadır.

1.1 TELEFON CİHAZLARI

Eskiden kullanılan telefonlar manyetolu dediğimiz, üzerinde tuş takımı bulunmayan cihazlardı. Yan taraflarında bulunan bir kolu çevirmek suretiyle santrale ulaşıyor ve görüşmek istediğiniz numara santral operatörü tarafından bağlanıyordu. Zamanla bu telefonlar yerini halen kullanılmakta olan kadranlı modellere bıraktı. Böylece direkt olarak bir numarayı çevirmek artık mümkündü. Daha sonraları tuş takımı olan telefonlar geliştirildi. Bunların yapısı tamamen elektroniğe dayanır ve daha fonksiyonel olanlarında rakamların yanında *, #, A, B, C, D gibi semboller de yer alır. Bu semboller DMS (Digital Multiplex System - Sayısal çoğullamalı sistem) santrallerin çeşitli hizmetlerinden yararlanmak için kullanılır.

Günümüzde telefon teknolojisi çok ilerlemiştir. Üzerinde birden fazla hat olan, birçok numarayı belleğinde tutan, zaman saati olan, görüşme süresini ve ücretini bildiren, ahizesiz konuşulabilen, üç ayrı abonenin birlikte

görüşme yapmalarına imkan veren, bir monitör yardımıyla konuştuğunuz kişiyi görmenizi sağlayan telefonlar kolayca bulunabilir.

Telefonlar numara çevirme yöntemi bakımından iki gruba ayrılırlar; DP ve DTMF.

DP (DIALING PULSE - DARBE ÇEVİRMELİ)

Bu yöntemde çevir sesi geldikten sonra numara telefon hattını açıp kapatmak suretiyle santrale iletilir. Örneğin 1 rakamı için 1 defa, 0 rakamı için 10 defa hat açılıp kapatılır.

Kadranlı ve bazı tuşlu telefonlar DP yöntemiyle çalışırlar.

DTMF (DUAL TONE MULTI FREQUENCY - ÇİFT TON ÇOKLU FREKANS)

Bu yöntemde her sembole karşılık çift tondan oluşan bir frekans vardır. Numaralar bu frekanslardaki sesler telefon hattına gönderilerek çevrilir. Tablo 1.1'de her sembole karşı düşen tonlar verilmiştir.

DTMF türü yalnızca tuşlu telefonlar üretilmektedir.

1.2 TELEFON SANTRALLERİ

Önceleri telefon santralleri büyük ölçüde mekanikti. Santral operatörleri önlerindeki konsolda hatları birbirine fişlerle bağlıyorlardı. Daha sonraları elektrik ve mekaniğin bileşkesi olan XBAR santraller kullanılmaya başlandı. Bunlar önceki yönteme göre oldukça gelişmiş ve

TUŞ	HEX	F _{alt}	F _{üst}
1	1	697	1209
2	2	697	1336
3	3	697	1447
4	4	770	1209
5	5	770	1336
6	6	770	1447
7	7	852	1209
8	8	852	1336
9	9	852	1477
0	A	941	1336
*	B	941	1209
#	C	941	1477
A	D	697	1633
B	E	770	1633
C	F	852	1633
D	0	941	1633

Tablo 1.1 : Sembollerin hex ve DTMF karşılığı

hızlıydılar. Fakat onların da dezavantajı oldukça fazla gürültü çıkarmalarıdır. Günümüzde tamamıyla elektronik ve gelişmiş teknolojinin ürünü olan DMS (Digital Multiplex System - Sayısal çoğullamalı sistem) santraller geliştirilmiştir. Bu tür sayısal santralleri kapasite, hız ve sunduğu hizmetler açısından XBAR santrallerle karşılaştırmak mümkün değildir.

DMS santraller bir programla yönetilirler. Hem DP hem de DTMF işaretleri çözebilirler. Bağlanan bilgisayar terminalleriyle santralin durumunu izlemek, çeşitli verileri almak, abonelerin istekleri doğrultusunda değişiklikler yapmak (hattı görüşmelere kapatmak ya da

yalnızca uluslararası veya şehirlerarası aramalara kapatmak vs.) mümkündür. Bu santraller arıza yaptıkları zaman arızalı bölümü iptal ederek çalışmasına devam etmekte ve operatörü uyarmaktadır.

DMS teknolojisini durmadan geliştiren mühendisler santral hizmetlerinde insan faktörünü asgari düzeye indirmek, hatta mümkün olursa tamamen ortadan kaldırmak amacıyla çalışmalar yapmaktadırlar. Son yıllarda bunun örnekleri görülmeye başlamıştır. Artık aboneler DTMF telefonlarını kullanarak kendi numaralarını aramaya kapatabilmekte, kendilerine gelen çağruları başka numaralara yönlendirebilmekte, işitme testi yapabilmekte, istenilen saatte telefonun çalarak uyarması için santrali programlayabilmektedirler. Bütün bu işler için operatörlere gerek yoktur; yalnızca telefonun tuşlarına basarak gerekli kodları göndermek yeterlidir.

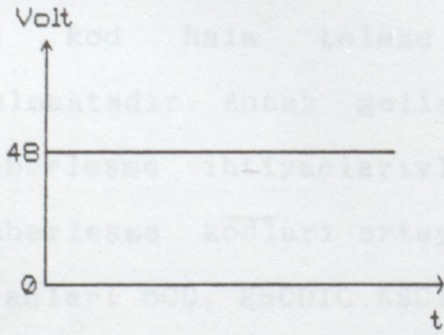
DMS santraller ülkemizin büyük bölümünde yaygın olmakla birlikte, küçük yerleşim bölgelerinde XBAR sistemler hala kullanılmaktadır.

1.3 TELEFON HATLARININ BAZI ELEKTRİKSEL KARAKTERİSTİKLERİ

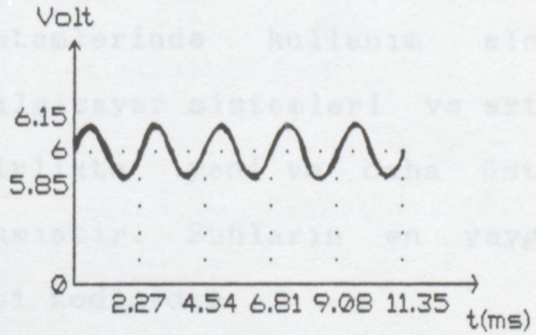
Ülkemizde telefon hatları abonelere iki tel olarak ulaşmaktadır. Bunlardan biri işaretlerin taşındığı canlı uç, diğeri ise referans (nötr) ucudur. Hattın bant genişliği yaklaşık olarak 3kHz civarındadır.

Telefon hattında telefon kapalıyken 48VDC gerilim vardır. Telefon ahizesi kaldırıldığı (off hook) zaman bu

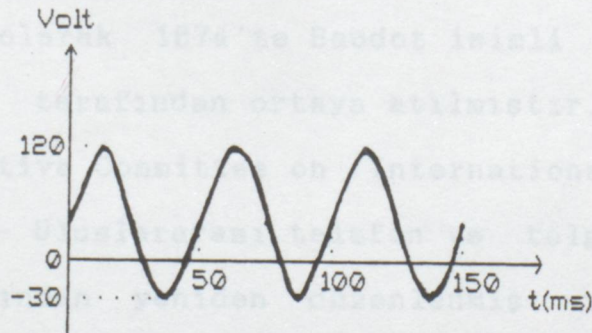
gerilim 6VDC'ye düşer ve çevir sesi olarak 440Hz La3 notası duyulur. Telefonu açmak (off hook) için gerekli standart yük 600ohm olarak kabul edilmektedir. Telefonda yapılan konuşmalar ve çeşitli frekanslardaki tonlar 6VDC gerilim üzerine biner. Telefon cihazları için gerekli olan besleme gerilimi yine bu DC gerilimden elde edilir. Telefonun zili çalarken hatta görülen gerilim yaklaşık 150Vp-p genlikli, 20Hz frekanslı bir sinüstür. Şekil 1.1'de bu değerler gösterilmiştir.



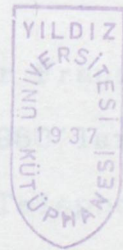
a) Telefon kapalı



b) Telefon açık (off hook) (Çevir sesi)



c) Zil çalıyor



Şekil 1.1 : Bazı telefon hat karakteristikleri

BÖLÜM 2 : HABERLEŞME KODLARI

Veri haberleşme kodları birtakım karakterlerin, komutların ve kontrollerin birtakım elektriksel işaretlere karşılık düşürülmesi olarak yorumlanabilir.

Haberleşme kodları telgraf haberleşmesiyle birlikte ortaya çıkmış ve haberleşmedeki teknolojik gelişmelere paralel olarak yapı ve içerik bakımından değişikliklere uğramış ve gelişmiştir. İlk haberleşme kodu olarak nokta ve çizgiye dayanan Mors kodunu örnek gösterebiliriz. Ancak gerçek anlamda ilk haberleşme kodu Baudot kodudur. Bugün bu kod hala teleks sistemlerinde kullanım alanı bulmaktadır. Ancak gelişen bilgisayar sistemleri ve artan haberleşme ihtiyaçlarıyla birlikte yeni ve daha üstün haberleşme kodları ortaya çıkmıştır. Bunların en yaygın olanları BCD, EBCDIC, ASCII gibi kodlardır.

2.1 BAUDOT

Bu kod ilk olarak 1874'te Baudot isimli bir Fransız posta mühendisi tarafından ortaya atılmıştır. 1960'larda CCITT (Consultative Committee on International Telephone and Telegraph - Uluslararası telefon ve telgraf danışma komitesi) tarafından yeniden düzenlenmiş ve ITA No:2 (International Telegraph Alphabet - Uluslararası telgraf alfabesi) ismiyle geçerlilik kazanmıştır. Günümüzde teleks şebekelerinde halen kullanılmaktadır. Baudot kodu 5 bitliktir; dolayısıyla 32 karakter temsil edebilir. Ancak

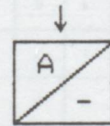
şekile kaydırma (figure shift) ve harfe kaydırma (letter shift) karakterleri kullanılarak 60 karakter temsil edilebilmektedir.

Baudot kodunun 6 bit yerine 5 bit ile 60 karakter ifade etmeye çalışmasının nedeni o yıllarda veri haberleşme hızının çok düşük olmasıdır (20 - 30 bps).

b ₄ b ₃ b ₂	b ₁ b ₀ 0 0	b ₁ b ₀ 0 1	b ₁ b ₀ 1 0	b ₁ b ₀ 1 1
0 0 0	DEL DEL	E 3	LF LF	A -
0 0 1	SP SP	S ,	I 8	U 7
0 1 0	CR CR	D WAY	R 4	J BEL
0 1 1	N ,	F %	C :	K (
1 0 0	T 5	Z +	L)	" 2
1 0 1	H &	Y 6	P 0	Q 1
1 1 0	O 9	B ?	G \$	FS FS
1 1 1	M .	X /	V =	LS LS

- DEL : Delete
- LF : Line Feed
- SP : Space
- CR : Carriage Return
- WAY : Who Are You?
- BEL : Bell
- FS : Figure Shift
- LS : Letter Shift

Harfe kaydırılmış karakter



Şekile kaydırılmış karakter

Tablo 2.1 : Baudot kodu

2.2 BCD (BINARY CODED DECIMAL - İKİLİ KODLANMIŞ ONLU)

Bu kod 6 bitliktir ve 64 karakter tanımlaması yapılmıştır. Bazen kullanımda bu kod 7 bit olarak ta gönderilir. Ancak bu durumda 7.bit bilgi değil, parite biti olarak kullanılır. Bu kodun kullanım alanı kısıtlıdır.

2.3 EBCDIC (EXTENDED BINARY CODED DECIMAL INTERCHANGE CODE - GENİŞLETİLMİŞ İKİLİ KODLANMIŞ ONLU DEĞİŞİM KODU) STANDARD KODU)

EBCDIC kodu 8 bitlik bir haberleşme kodudur ve bazı bilgisayar sistemlerinde kullanılmaktadır. EBCDIC kod sisteminde parite biti yoktur. Bu kod temel olarak BCD kodunun uzantısıdır. Ancak haberleşmeye yönelik bir çok kontrol karakteri ve değişik yazım karakterleri eklenmiştir.

		Bit positions 0, 1, 2, 3															
Bit positions 4, 5, 6, 7	Hex	0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
0000	0	NUL	DLE	DS		SP	&	-						{	}	/	0
0001	1	SOH	DC1	SOS						a	j	~		A	J		1
0010	2	STX	DC2	FS	SYN					b	k	s		B	K	S	2
0011	3	ETX	DC3							c	l	t		C	L	T	3
0100	4	PF	RES	BYP	PN					d	m	u		D	M	U	4
0101	5	HT	NL	LF	RS					e	n	v		E	N	V	5
0110	6	LC	BS	EOB 11B	UC					i	o	w		F	O	W	6
0111	7	DI	IL	PRI ESC	LOT					g	p	x		G	P	X	7
1000	8		CAN							h	q	y		H	Q	Y	8
1001	9	RLF	EM							i	r	z		I	R	Z	9
1010	A	SMM	CC	SM		ç	ı	ı									
1011	B	VI				ş	.	#									
1100	C	FI	IFS		DC4	<	*	ö	ö								
1101	D	CR	IGS	INQ	NAK	()	.	.								
1110	E	SO	IRS	ACK		ı	:	>	-								
1111	F	SI	IUS	BEL	SUB	ı	ı	ı	ı								

□ Duplicate assignment

Tablo 2.2 : EBCDIC kodu

2.4 ASCII (AMERICAN STANDARD CODE FOR INFORMATION INTERCHANGE - ENFORMASYON DEĞİŞİMİ İÇİN AMERİKAN STANDART KODU)

Bu kod bugün bütün dünyada en yaygın olarak kullanılan haberleşme kodudur. ASCII kodu 7 bit veri ve 1 bit parite olmak üzere 8 bitten (byte) oluşur. ASCII kodlama sisteminde ilk 32 karakter kontrol karakterleri olarak tanımlanmıştır. Bunlar DTE'nin (Data Terminal Equipment - Veri terminal cihazı) haberleşmesini, verinin yapısını (format), bilgisayar ve etrafındaki cihazların fiziksel fonksiyonlarını kontrol etmek için kullanılırlar. Bunları aşağıdaki gibi sınıflandırabiliriz.

1. Haberleşme kontrol karakterleri : Haberleşmenin akışını düzenlemek ve kontrol etmek için kullanılırlar.

2. Format belirleme karakterleri : Bilginin basılı ya da ekran üzerindeki yapısını belirlemek için kullanılırlar.

3. Cihaz kontrol karakterleri : Bilgisayarlar ve terminaller etrafındaki çevre birimlerinin kontrolü için kullanılırlar.

ASCII Kodu	İsim	İçerik
0	NUL	
1	SOH	Start of Header
2	STX	Start of Text
3	ETX	End of Text
4	SO	Shift Out
5	SI	Shift In
6	BEL	Backspace
7	DEL	Delete
8	BS	Backspace
9	HT	Horizontal Tab
10	LF	Line Feed
11	VT	Vertical Tab
12	FF	Form Feed
13	CR	Carriage Return
14	SOH	Start of Header
15	STX	Start of Text
16	ETX	End of Text
17	SO	Shift Out
18	SI	Shift In
19	BEL	Backspace
20	DEL	Delete
21	BS	Backspace
22	HT	Horizontal Tab
23	LF	Line Feed
24	VT	Vertical Tab
25	FF	Form Feed
26	CR	Carriage Return
27	SOH	Start of Header
28	STX	Start of Text
29	ETX	End of Text
30	SO	Shift Out
31	SI	Shift In
32	BEL	Backspace
33	DEL	Delete
34	BS	Backspace
35	HT	Horizontal Tab
36	LF	Line Feed
37	VT	Vertical Tab
38	FF	Form Feed
39	CR	Carriage Return
40	SOH	Start of Header
41	STX	Start of Text
42	ETX	End of Text
43	SO	Shift Out
44	SI	Shift In
45	BEL	Backspace
46	DEL	Delete
47	BS	Backspace
48	HT	Horizontal Tab
49	LF	Line Feed
50	VT	Vertical Tab
51	FF	Form Feed
52	CR	Carriage Return
53	SOH	Start of Header
54	STX	Start of Text
55	ETX	End of Text
56	SO	Shift Out
57	SI	Shift In
58	BEL	Backspace
59	DEL	Delete
60	BS	Backspace
61	HT	Horizontal Tab
62	LF	Line Feed
63	VT	Vertical Tab
64	FF	Form Feed
65	CR	Carriage Return
66	SOH	Start of Header
67	STX	Start of Text
68	ETX	End of Text
69	SO	Shift Out
70	SI	Shift In
71	BEL	Backspace
72	DEL	Delete
73	BS	Backspace
74	HT	Horizontal Tab
75	LF	Line Feed
76	VT	Vertical Tab
77	FF	Form Feed
78	CR	Carriage Return
79	SOH	Start of Header
80	STX	Start of Text
81	ETX	End of Text
82	SO	Shift Out
83	SI	Shift In
84	BEL	Backspace
85	DEL	Delete
86	BS	Backspace
87	HT	Horizontal Tab
88	LF	Line Feed
89	VT	Vertical Tab
90	FF	Form Feed
91	CR	Carriage Return
92	SOH	Start of Header
93	STX	Start of Text
94	ETX	End of Text
95	SO	Shift Out
96	SI	Shift In
97	BEL	Backspace
98	DEL	Delete
99	BS	Backspace
100	HT	Horizontal Tab
101	LF	Line Feed
102	VT	Vertical Tab
103	FF	Form Feed
104	CR	Carriage Return
105	SOH	Start of Header
106	STX	Start of Text
107	ETX	End of Text
108	SO	Shift Out
109	SI	Shift In
110	BEL	Backspace
111	DEL	Delete
112	BS	Backspace
113	HT	Horizontal Tab
114	LF	Line Feed
115	VT	Vertical Tab
116	FF	Form Feed
117	CR	Carriage Return
118	SOH	Start of Header
119	STX	Start of Text
120	ETX	End of Text
121	SO	Shift Out
122	SI	Shift In
123	BEL	Backspace
124	DEL	Delete
125	BS	Backspace
126	HT	Horizontal Tab
127	LF	Line Feed
128	VT	Vertical Tab
129	FF	Form Feed
130	CR	Carriage Return
131	SOH	Start of Header
132	STX	Start of Text
133	ETX	End of Text
134	SO	Shift Out
135	SI	Shift In
136	BEL	Backspace
137	DEL	Delete
138	BS	Backspace
139	HT	Horizontal Tab
140	LF	Line Feed
141	VT	Vertical Tab
142	FF	Form Feed
143	CR	Carriage Return
144	SOH	Start of Header
145	STX	Start of Text
146	ETX	End of Text
147	SO	Shift Out
148	SI	Shift In
149	BEL	Backspace
150	DEL	Delete
151	BS	Backspace
152	HT	Horizontal Tab
153	LF	Line Feed
154	VT	Vertical Tab
155	FF	Form Feed
156	CR	Carriage Return
157	SOH	Start of Header
158	STX	Start of Text
159	ETX	End of Text
160	SO	Shift Out
161	SI	Shift In
162	BEL	Backspace
163	DEL	Delete
164	BS	Backspace
165	HT	Horizontal Tab
166	LF	Line Feed
167	VT	Vertical Tab
168	FF	Form Feed
169	CR	Carriage Return
170	SOH	Start of Header
171	STX	Start of Text
172	ETX	End of Text
173	SO	Shift Out
174	SI	Shift In
175	BEL	Backspace
176	DEL	Delete
177	BS	Backspace
178	HT	Horizontal Tab
179	LF	Line Feed
180	VT	Vertical Tab
181	FF	Form Feed
182	CR	Carriage Return
183	SOH	Start of Header
184	STX	Start of Text
185	ETX	End of Text
186	SO	Shift Out
187	SI	Shift In
188	BEL	Backspace
189	DEL	Delete
190	BS	Backspace
191	HT	Horizontal Tab
192	LF	Line Feed
193	VT	Vertical Tab
194	FF	Form Feed
195	CR	Carriage Return
196	SOH	Start of Header
197	STX	Start of Text
198	ETX	End of Text
199	SO	Shift Out
200	SI	Shift In
201	BEL	Backspace
202	DEL	Delete
203	BS	Backspace
204	HT	Horizontal Tab
205	LF	Line Feed
206	VT	Vertical Tab
207	FF	Form Feed
208	CR	Carriage Return
209	SOH	Start of Header
210	STX	Start of Text
211	ETX	End of Text
212	SO	Shift Out
213	SI	Shift In
214	BEL	Backspace
215	DEL	Delete
216	BS	Backspace
217	HT	Horizontal Tab
218	LF	Line Feed
219	VT	Vertical Tab
220	FF	Form Feed
221	CR	Carriage Return
222	SOH	Start of Header
223	STX	Start of Text
224	ETX	End of Text
225	SO	Shift Out
226	SI	Shift In
227	BEL	Backspace
228	DEL	Delete
229	BS	Backspace
230	HT	Horizontal Tab
231	LF	Line Feed
232	VT	Vertical Tab
233	FF	Form Feed
234	CR	Carriage Return
235	SOH	Start of Header
236	STX	Start of Text
237	ETX	End of Text
238	SO	Shift Out
239	SI	Shift In
240	BEL	Backspace
241	DEL	Delete
242	BS	Backspace
243	HT	Horizontal Tab
244	LF	Line Feed
245	VT	Vertical Tab
246	FF	Form Feed
247	CR	Carriage Return
248	SOH	Start of Header
249	STX	Start of Text
250	ETX	End of Text
251	SO	Shift Out
252	SI	Shift In
253	BEL	Backspace
254	DEL	Delete
255	BS	Backspace

Tablo 2.1 - ASCII Kodu

Bits	b ₇	b ₆	b ₅	b ₄	b ₃	b ₂	b ₁	Column	Row														
								0	0	0	0	1	1	1	1								
								0	0	1	1	0	0	1	1								
								0	1	0	1	0	1	0	1								
								0	1	2	3	4	5	6	7								
								0	0	0	0	0	0	0	0	NUL	(TC ₇)DLE	SP	0	Q	P	.	p
								0	0	0	1	1	0	0	0	(TC ₁)SOH	DC ₁	!	1	A	Q	a	q
								0	0	1	0	2	0	0	0	(TC ₂)STX	DC ₂	"	2	B	R	b	r
								0	0	1	1	3	0	0	0	(TC ₃)ETX	DC ₃	#	3	C	S	c	s
								0	1	0	0	4	0	0	0	(TC ₄)EOT	DC ₄	\$	4	D	T	d	t
								0	1	0	1	5	0	0	0	(TC ₅)ENO	(TC ₈)NAK	%	5	E	U	e	u
								0	1	1	0	6	0	0	0	(TC ₆)ACK	(TC ₉)SYN	&	6	F	V	f	v
								0	1	1	1	7	0	0	0	BEL	(TC ₁₀)ETB	'	7	G	W	g	w
								1	0	0	0	8	0	0	0	FE ₀ (BS)	CAN	(8	H	X	h	x
								1	0	0	1	9	0	0	0	FE ₁ (HT)	EM)	9	I	Y	i	y
								1	0	1	0	10	0	0	0	FE ₂ (LF)	SUB	*	:	J	Z	j	z
								1	0	1	1	11	0	0	0	FE ₃ (VT)	ESC	+	;	K		k	
								1	1	0	0	12	0	0	0	FE ₄ (FF)	IS ₄ (FS)	,	<	L	\	l	:
								1	1	0	1	13	0	0	0	FE ₅ (CR)	IS ₃ (GS)	-	=	M]	m	
								1	1	1	0	14	0	0	0	SO	IS ₂ (RS)	.	>	N	^	n	~
								1	1	1	1	15	0	0	0	SI	IS ₁ (GS)	/	?	O	_	o	DEL

Tablo 2.3 : ASCII kodu

DEC	OCTAL	HEX	ASCII characters	DEC	OCTAL	HEX	ASCII	DEC	OCTAL	HEX	ASCII
0	000	00	NUL ((CTRL)a)	50	062	32	2	100	144	64	d
1	001	01	SOH ((CTRL)A)	51	063	33	3	101	145	65	e
2	002	02	STX ((CTRL)B)	52	064	34	4	102	146	66	f
3	003	03	ETX ((CTRL)C)	53	065	35	5	103	147	67	g
4	004	04	EOT ((CTRL)D)	54	066	36	6	104	150	68	h
5	005	05	ENQ ((CTRL)E)	55	067	37	7	105	151	69	i
6	006	06	ACK ((CTRL)F)	56	070	38	8	106	152	6A	j
7	007	07	BEL ((CTRL)G)	57	071	39	9	107	153	6B	k
8	010	08	BS ((CTRL)H)	58	072	3A	:	108	154	6C	l
9	011	09	HT ((CTRL)I)	59	073	3B	;	109	155	6D	m
10	012	0A	LF ((CTRL)J)	60	074	3C	<	110	156	6E	n
11	013	0B	VT ((CTRL)K)	61	075	3D	=	111	157	6F	o
12	014	0C	FF ((CTRL)L)	62	076	3E	>	112	160	70	p
13	015	0D	CR ((CTRL)M)	63	077	3F	?	113	161	71	q
14	016	0E	SO ((CTRL)N)	64	100	40	@	114	162	72	r
15	017	0F	SI ((CTRL)O)	65	101	41	A	115	163	73	s
16	020	10	DLE ((CTRL)P)	66	102	42	B	116	164	74	t
17	021	11	DC1 ((CTRL)Q)	67	103	43	C	117	165	75	u
18	022	12	DC2 ((CTRL)R)	68	104	44	D	118	166	76	v
19	023	13	DC3 ((CTRL)S)	69	105	45	E	119	167	77	w
20	024	14	DC4 ((CTRL)T)	70	106	46	F	120	170	78	x
21	025	15	NAK ((CTRL)U)	71	107	47	G	121	171	79	y
22	026	16	SYN ((CTRL)V)	72	110	48	H	122	172	7A	z
23	027	17	ETB ((CTRL)W)	73	111	49	I	123	173	7B	{
24	030	18	CAN ((CTRL)X)	74	112	4A	J	124	174	7C	
25	031	19	EM ((CTRL)Y)	75	113	4B	K	125	175	7D	}
26	032	1A	SUB ((CTRL)Z)	76	114	4C	L	126	176	7E	-
27	033	1B	ESC	77	115	4D	M				
28	034	1C	FS	78	116	4E	N				
29	035	1D	GS	79	117	4F	O				
30	036	1E	RS	80	120	50	P				
31	037	1F	US	81	121	51	Q				
32	040	20	SP	82	122	52	R				
33	041	21	!	83	123	53	S				
34	042	22	"	84	124	54	T				
35	043	23	#	85	125	55	U				
36	044	24	\$	86	126	56	V				
37	045	25	%	87	127	57	W				
38	046	26	&	88	130	58	X				
39	047	27	'	89	131	59	Y				
40	050	28	(90	132	5A	Z				
41	051	29)	91	133	5B	[
42	052	2A	*	92	134	5C	\				
43	053	2B	+	93	135	5D]				
44	054	2C	,	94	136	5E	^				
45	055	2D	-	95	137	5F	_				
46	056	2E	.	96	140	60	`				
47	057	2F	/	97	141	61	a				
48	060	30	0	98	142	62	b				
49	061	31	1	99	143	63	c				

Tablo 2.4 : ASCII kodu (decimal karşılıkları ile)

2.5 HABERLEŞME KONTROL KARAKTERLERİ (mesaj bilgilendirme) :

Alıcıdan vericiye olumsuz bir cevap olarak gönderilir.

Haberleşme kontrol karakterleri iki ana amaç için kullanılırlar. Birincisi ist. mesajın şeklini kolayca tanınabilecek biçimde belirlemek, ikincisi ise bir haberleşme şebekesinde veri akışını kontrole yardım etmek. Veri akışı genellikle bilgi paketleri şeklinde yapılır.

Şimdi bu kontrol karakterlerini kısaca açıklayalım.

SOH (Start Of Header - Başlatıcı başlangıcı) : Bu haberleşme kontrol karakteri bir bilgi paketinin başlangıcındaki başlatıcının (header) başlangıcını gösterir. kod sisteminde 8 bit genellikle parite bitli

STX (Start of Text - Metin başlangıcı) : Bilginin başladığını gösteren bir haberleşme kontrol karakteridir.

ETX (End of Text - Metin sonu) : Bilgi paketinin bittiğini gösterir. yanlış örnekler verebilir. Tek ve

EOT (End Of Transmission - Gönderme bitimi) : Haberleşmenin tamamlandığını belirten bir kontrol karakteridir. tek, çift paritede ise 1'lerin sayısı

ENQ (Enquiry - Sorma) : Uzak istasyon tarafında cevap isteği olarak kullanılan bir haberleşme kontrol karakteridir. Cevap istasyon tanımını veya durumunu içerebilir.

ACK (Acknowledge - Bilgilendirme) : Alıcı tarafından vericiye gönderilen bir onaylama karakteridir.

DLE (Data Link Escape - Veri hattı kaçış) : Bu karakter özellikle ek veri aktarım karakterleri sağlamakta kullanılır.

NAK (Negative Acknowledge - Olumsuz bilgilendirme) :
Alıcıdan vericiye olumsuz bir cevap olarak gönderilir.

SYN (Synchronization - Eşzamanlama) : Eşzamanlı
(senkron) veri haberleşme sistemlerinde veri işaretleri
gönderilmeye başlamadan önce senkronizasyonu sağlamak için
kullanılır.

ETB (End of Transmission Block - Gönderme bloğu bitimi)
Her bir veri paketinin sonunu gösteren bir kontrol
karakteridir.

PARİTE (PARITY - BENZERLİK) BİTİ

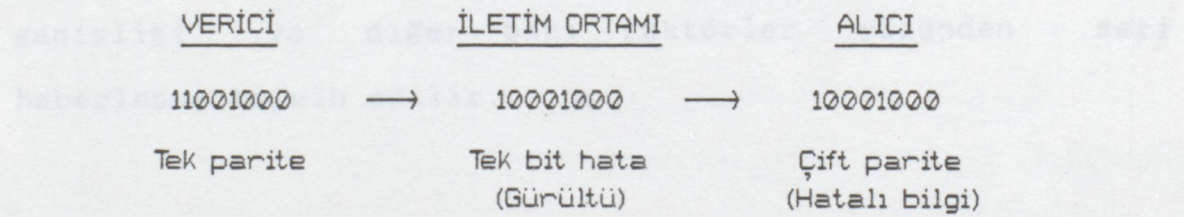
ASCII kod sisteminde 8.bit genellikle parite biti
olarak kullanılır. Bunun amacı iletim sırasında oluşması
muhtemel hataların tespitidir. Ancak buradaki kontrol
sadece bir bitlik bozulmalar üzerinde etkilidir. Birden
fazla bit değişmişse yanlış sonuçlar verebilir. Tek ve
çift parite olmak üzere iki çeşit parite tanımlanır. Tek
paritede gönderilen 8 bitlik ASCII karakter içerisindeki
1'lerin sayısı tek, çift paritede ise 1'lerin sayısı
çifttir.

BÖLÜM 3 : HABERLEŞME ŞEKİLLERİ

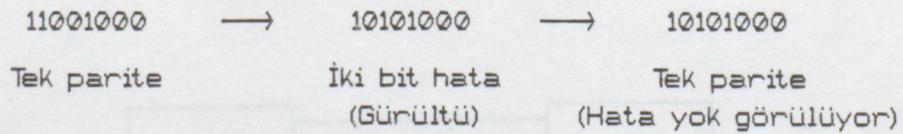
Bu bölümde haberleşmenin birçok iki şekilde inceleneceğiz: paralel ve seri haberleşme.

3.1 PARALEL HABERLEŞME

Paralel haberleşmede karakterler oluşturan bitlerin tümü aynı anda vericiden alıcıya gönderilir. Bu yüzden bir seri haberleşme büyük bir avantaj sahiptir. Ancak her bir bitin aynı anda gönderilmesi, alıcı ve verici arasında her bir bit için birer birer haberleşme kanalı olmasına gerektirmektedir. Bu nedenle, bu yöntem kısa mesafeler için uygundur. Çünkü bilgisayar ile etrafındaki çevre birimlerinin bağlantıları genellikle paraleldir. Ancak uzun mesafelerde yavaş hat maliyetleri, haberlerin bant genişliği gibi diğer faktörler nedeniyle seri haberleşme tercih edilir.



a) Tek bitlik hata oluşumu



b) İki bit hata oluşumu

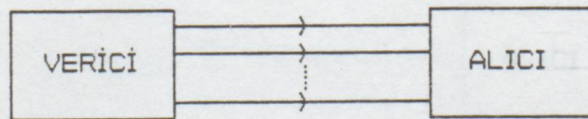
Şekil 2.1 : Hata oluşumu ve parite

BÖLÜM 3 : HABERLEŞME ŞEKİLLERİ

Bu bölümde haberleşmenin mevcut iki şeklinden bahsedeceğiz; paralel ve seri haberleşme.

3.1 PARALEL HABERLEŞME

Paralel haberleşmede karakteri oluşturan bitlerin tümü, aynı anda vericiden alıcıya gönderilir. Bu yüzden hız açısından büyük bir avantaja sahiptir. Ancak her bir bitin aynı anda gönderilmesi, alıcı ve verici arasında her bir bit için birer haberleşme kanalı olmasını gerektirmektedir. Bu nedenle, bu yöntem kısa mesafeler için uygundur. Örneğin bilgisayar ile etrafındaki çevre birimlerinin bağlantısı genellikle paraleldir. Ancak uzun mesafelerde artan hat maliyetleri, hatların bant genişliği ve diğer bazı faktörler yüzünden seri haberleşme tercih edilir.



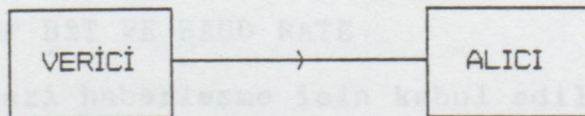
Şekil 3.1 : Paralel haberleşme

3.2 SERİ HABERLEŞME TEKNİKLERİ

Seri haberleşmede (karakterleri oluşturan her bir bitin, tek bir haberleşme kanalı üzerinden tek tek yollanması, karakterlerin gönderilme hızında paralel haberleşmeye göre önemli düşümlere sebep olmakla birlikte, uzun mesafelerde getirdiği ekonomik avantajlar nedeniyle vazgeçilmez bir yöntem olarak görülmektedir.

(fiziksel ortam) uygulamalarından biri, bir VDT nin (Video Display Terminal) tuş takımının (keyboard) arabirimidir. Bu devrede her tuşa basılıta 7 bit ASCII kod üretilir ve seri olarak, 2 ya da 3 ileten üzerinden bilgisayara gönderilir. Bu hızla etkili kullanan insanlar bile genellikle dakikada 60 ile 100 kelime arasında yazabilirler. Bunun için de düşük hızlı bir seri port yeterlidir.

Burada önemli bir nokta bazen seri portun saniyede 10 - 20 karakter transfer etmesi gerekecek, fakat diğer zamanlarda veri hızı saniyede yalnızca 1 veya 2 karakter olacaktır. Çoğu zaman tuş takım kullanılmaz ve veri hızı yavaşdır. Veri hızı düşmez olduğu için asenkron haberleşme protokolleri kullanılmaktadır.



Şekil 3.2 : Seri haberleşme

BÖLÜM 4 : SERİ HABERLEŞME TEKNİKLERİ

Bu bölümde asenkron (eşzamansız) ve senkron (eşzamanlı) seri haberleşme yöntemleri üzerinde duracağız.

4.1 ASENKRON SERİ HABERLEŞME

En yaygın seri port (giriş/çıkış işlemlerinin yapıldığı fiziksel ortam) uygulamalarından biri, bir VDT'nin (Video Display Terminal) tuş takımının (keyboard) arabirimidir. Bu devrede her tuşa basılışta 7 bit ASCII kod üretilir ve seri olarak, 2 ya da 3 iletken üzerinden bilgisayara gönderilir. En hızlı daktilo kullanan insanlar bile genellikle dakikada 60 ile 100 kelime arasında yazabilirler. Bunun için de düşük hızlı bir seri port yeterlidir.

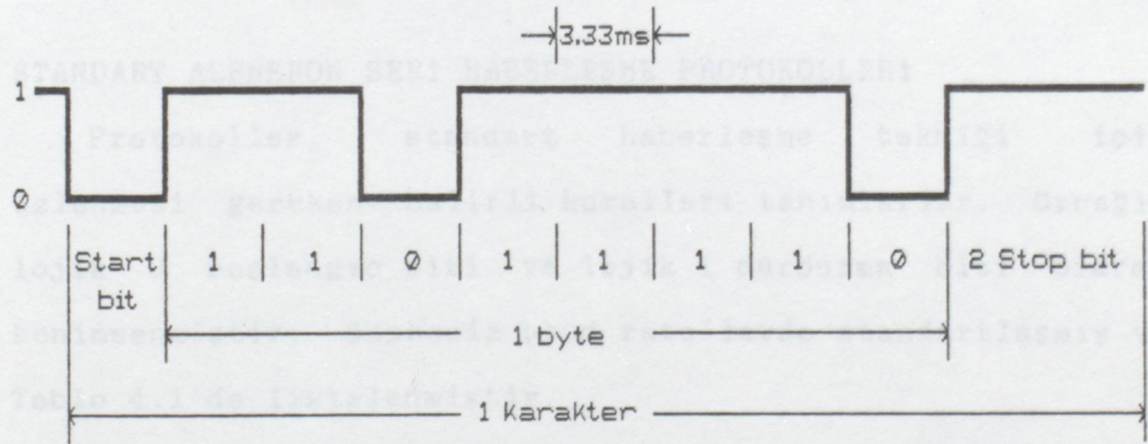
Burada önemli bir nokta bazen seri portun saniyede 10 - 20 karakter transfer etmesi gerekecek, fakat diğer zamanlarda veri hızı saniyede yalnızca 1 veya 2 karakter olacaktır. Çoğu zaman tuş takımı kullanılmaz ve veri hızı sıfırdır. Veri hızı düzensiz olduğu için asenkron haberleşme protokolü kullanılmalıdır.

START BİT, STOP BİT VE BAUD RATE

Asenkron seri haberleşme için kabul edilen teknik, veri (bilgi) gönderilene kadar seri çıkış hattını lojik 1 seviyesinde (mark) tutmaktır. Her karakterin başlaması için hattın bir bit süresince lojik 0 seviyesinde (space)

kalması gerekir. Bu bit başlangıç biti (start bit) olarak isimlendirilir ve verici ile alıcının senkronize olmasını sağlar. Şekil 4.1'de 7BH bilgisinin asenkron düzende gönderilirken, nasıl olacağı görülebilir. Verinin önce en düşük ağırlıklı biti (LSB - Least Significant Bit) gönderilir ve 1 başlangıç biti (start bit, daima 0), 1 ya da 2 durdurma biti (stop bit, daima 1) ile çerçeveslenir.

Başlangıç ve durdurma bitleri enformasyon taşımazlar, fakat asenkron yapı için gereklidirler. Veri hızı saniyedeki bit sayısı (bps - bit per second) ya da saniyedeki karakter sayısı (cps - character per second) olarak tanımlanabilir. Saniyedeki bit sayısı (bps) terimi baud rate olarak isimlendirilir.



Şekil 4.1 : Standart asenkron seri bilgi düzeni
(Bu örnekte bilgi 7BH'tir.)

Örnek 4.1

Şekil 4.1'de gösterilen seri bilgi için baud rate ve

saniyedeki karakter sayısını hesaplayalım.

1 bit 3.33ms sürmektedir. O halde bps değeri $1/3.33\text{ms}=300\text{bps}$ ya da 300baud olarak bulunur.

Her karakter 11 bit olduğu için, bir byte veri $11 \times 3.33\text{ms}=36.63\text{ms}$ 'de gönderilebilir. Buradan karakter gönderme hızı $1/36.63\text{ms}=27.3\text{cps}$ çıkar.

Örnek 4.2

Bir VDT (Video Display Terminal) 24 satır ve her satırda 80 karaktere sahiptir. 300baud hızla bu terminalin ekranını doldurmak için ne kadar zaman gerektiğini bulalım.

Toplam karakter sayısı : $80 \times 24 = 1920$

Toplam zaman : $1920 \text{ karakter} / 27.3\text{cps} = 70.3\text{s}$

STANDART ASENKRON SERİ HABERLEŞME PROTOKOLLERİ

Protokoller, standart haberleşme tekniği için izlenmesi gereken belirli kuralları tanımlarlar. Örneğin lojik 0 başlangıç biti ve lojik 1 durdurma biti olarak benimsenmiştir. Şüphesiz baud rate'lerde standartlaşmış ve Tablo 4.1'de listelenmiştir.

Bir seri port set edilirken çeşitli parametreler belirlenmelidir. Bunlar :

1. Her karakter için veri bitleri; genellikle beş ile sekiz arası.
2. Durdurma bitleri; bir ya da iki.
3. Parite biti; tek bit hatalarını tesbit etmek için kullanılır, tek (odd) veya çift (even) parite ya da

paritesiz olarak tanımlanmalıdır.

4. Baud rate (Standart frekanslar Tablo 4.1'de verilmiştir.)

Bir örnek olarak eski ASR-33 teledaktiloyu (TTY - teletype) inceleyelim. Parametreler : (1) 7 veri biti, (2) 2 durdurma biti, (3) çift parite ve (4) 110 baud.

BAUD
75
110
150
300
600
1200
2400
4800
9600
19200

Tablo 4.1 : Seri haberleşme için yaygın baud rate'ler

4.2 SENKRON SERİ HABERLEŞME

Asenkron seri haberleşmede kullanılan başlangıç ve durdurma bitleri haberleşme hızını düşürür. Hatta parite biti bile, bu hızı %10 oranında azaltabilir.

Başlangıç ve durdurma bitleri senkronizasyon için gereklidir. Bunlar olmazsa, bilginin ne zaman başladığını ve ne zaman örnekleyeceğimizi nasıl bileceğiz? Bu sorunun cevabı senkron seri protokollerdir. Biz bu bölümde

bunlardan çok yaygın olan iki tanesini kısaca açıklayacağız.

BISYNC PROTOKOLÜ

Başlangıç biti olmadığı için, bütün seri formata özel bir sync karakteri gereklidir. Bu karakter alıcıya verinin geldiğini bildirir.

Durdurma biti de olmadığı için, genellikle bir clock işareti senkronizasyonu sürdürmek amacıyla veriye eşlik eder. Senkron veri telefon şebekesi üzerinden gönderilmek istendiği zaman, ayrı bir clock kanalı sağlamak mümkün değildir. Bu durumda veri ve clock işaretlerini tek bir işarete kodlayacak, özel bir senkron modem kullanılır. Alıcı modem bu işareti veri ve clock işaretlerine ayırır.

Asenkron seri haberleşme ile karşılaştırıldığında diğer bir fark, clock ile baud rate'in aynı oranda olmasıdır (1X clock kullanıldığında).

Bisync protokolünde veri transferini kontrol etmek amacıyla Tablo 4.2'de gösterilen çeşitli özel (ASCII) karakterler kullanılır.

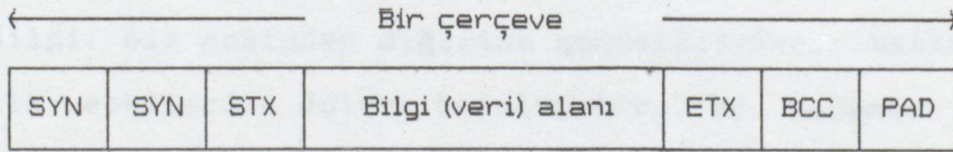
SERİ BİLGİ HAT KONTROLÜ (SDLC PROTOKOLÜ)

Bu format IBM tarafından, SNA (Systems Network Architecture - Sistemler ağı mimarisi) haberleşme paketlerinde kullanılmak üzere geliştirilmiştir. Şekil 4.3'te bu protokolün kullanıldığı bilginin bir çerçevesi görülmektedir.

SDLC (Serial Data Link Control - Seri bilgi hat

KARAKTER	ASCII	AÇIKLAMA
SYNC	16	Sync character - Senkronizasyon karakteri
PAD	FF	End of frame pad - Çerçeve sonu pedi
DLE	10	Data Link Escape - Veri hattı kaçış
ENQ	05	Enquiry - Sorma
SOH	01	Start Of Header - Başlatıcı başlangıcı
STX	02	Start of Text - Metin başlangıcı
ITB	0F	End of Intermediate Transmission Block - Ara gönderme bloğu sonu
ETB	17	End of Transmission Block - Gönderme bloğu sonu
ETX	03	End of Text - Metin sonu

Tablo 4.2 : Bisync senkron seri protokolünde kullanılan özel karakterler

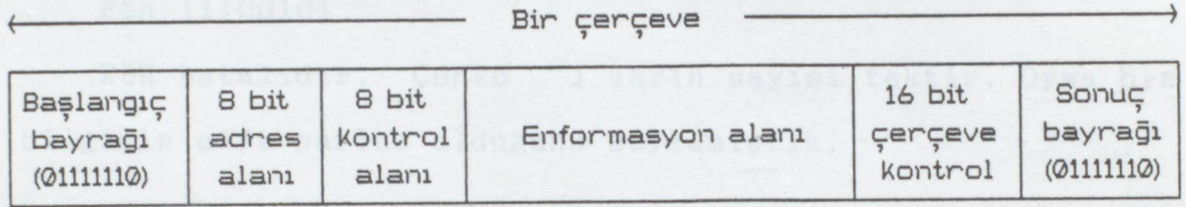


Şekil 4.2 : Bisync protokolünün kullanıldığı senkron mesajın bir çerçevesi

kontrolü) alıcısı sync karakteri olarak başlangıç bayrağını (01111110) arar. Bunu ağdaki (network) bir istasyonun adresinin belirtildiği, 8 bit adres alanı ve özel kontrol karakterlerinin yer aldığı, 8 bit kontrol alanı izler.

Enformasyon alanı herhangi bir formatta olabilir.

16 bit çerçeve kontrolü bisync protokolündeki BCC karakteri gibi hata tespiti amacıyla kullanılır. Çerçeve sonuç bayrağı ile sona erer.



Şekil 4.3 : SDLC protokolünün kullanıldığı senkron mesajın bir çerçevesi

4.3 HATA TESPİTİ

Bilgi bir noktadan diğerine gönderilirken, hatlardaki çeşitli etkilerden dolayı bozulabilir. Bu nedenle alıcı tarafta bunun anlaşılması için bazı yöntemler geliştirilmiştir. Biz bunlardan parite (parity - benzerlik) ve toplama kontrolü (checksum) üzerinde duracağız.

PARİTE (PARITY)

Tek bitlik hataların tespiti için kullanılan en basit yöntemdir. Gönderilen her bilgiye (data byte) bir parite biti eklenir. Gönderilen bilgideki 1'lerin sayısına bağlı olarak, tek (odd) ve çift (even) olmak üzere ikiye ayrılır.

Örnek 4.3

Aşağıdaki ASCII karakterler çift parite olarak kodlanmıştır. Hangisinin hatalı olduğunu bulalım.

D1H=11010001

36H=00110110

E5H=11100101

E5H hatalıdır. Çünkü 1'lerin sayısı tektir. Oysa biz bilginin çift parite olduğunu söylemiştik.

TOPLAMA KONTROLÜ (CHECKSUM)

Paritenin dezavantajı her karakter (data byte) için fazladan bir bit kullanmak gereğidir. Bu da haberleşme hızını etkiler ve bellekte fazladan yer işgal eder.

Bu nedenle bilgi bloklarını transfer ederken checksum kullanmak popüler hale gelmiştir. Checksum genellikle bilgi bloğunun son byte'ı olarak gönderilir. Alıcı bilgiyi aldıktan sonra checksum hesabını yapar ve karşılaştırır.

Örnek 4.4

10, 23, 45 ve 04 hex bilgileri için checksum byte'ını hesaplayalım.

$$10H+23H+45H+04H=7CH$$

7CH'nin evriği alınır ve 1 eklenir.

$$7CH=01111100 \quad 7CH'nin evriği=10000011$$

$$10000011+1=10000100=84H \text{ (checksum byte'ı)}$$

Örnek 4.5

Örnek 4.4'deki bilgiler için alıcıdaki kontrolü

yapalım.

$$10H+23H+45H+04H+84H=1\ 00H$$

Sonuç 00H ve taşma var. Bu bize bilginin doğru alındığını gösterir.

4.4 SERİ BİLGİ ARABİRİM STANDARTLARI

Bu standartlar lojik 1 ve 0 gerilim seviyelerini maksimum baud rate'leri, maksimum kablo uzunluklarını ve kullanılan konnektörlerin tiplerini belirler.

Parameter	RS-232C	RS-422A	RS-423A
Line length (max.)*	50 ft	4000 ft	4000 ft
Frequency (max.)	20 kbaud/50 ft	10 Mbaud/40 ft 1 Mbaud/400 ft 100 kbaud/4000 ft	100 kbaud/30 ft 10 kbaud/300 ft 1 kbaud/4000 ft
Mode of operation	Single-ended input and output	Differential input and output	Single-ended output differential input
Logic levels			
0	> +3 to +25V	A < B	+4 to +6 V
1	< -3 to -25V	A > B	-4 to -6 V
Number of receivers allowed on one line	1	10	10
Input impedance	3-7 k Ω and 2500 pF	>4 k Ω	>4 k Ω
Output impedance	—	<100 Ω balanced	<50 Ω
Short circuit current	500 mA	150 mA	150 mA
Output-slew rate	30 V/ μ s	—	Controls provided
Receiver input voltage range	\pm 15 V	\pm 7 V	\pm 12 V
Maximum voltage applied to driver output	\pm 25 V	-0.25 to +6 V	\pm 6 V

Tablo 4.3 : Yaygın seri arabirim standartları

RS-232C

ELEKTRİKSEL KARAKTERİSTİKLER

RS-232C, Tablo 4.3'teki seri arabirim standartları arasında en eski ve en popüler olanıdır. Hemen hemen bütün VDT'ler (Video Display Terminal), modemler ve seri printerler bu standardı izlerler. 1960'lı yılların başında geliştirilmiştir.

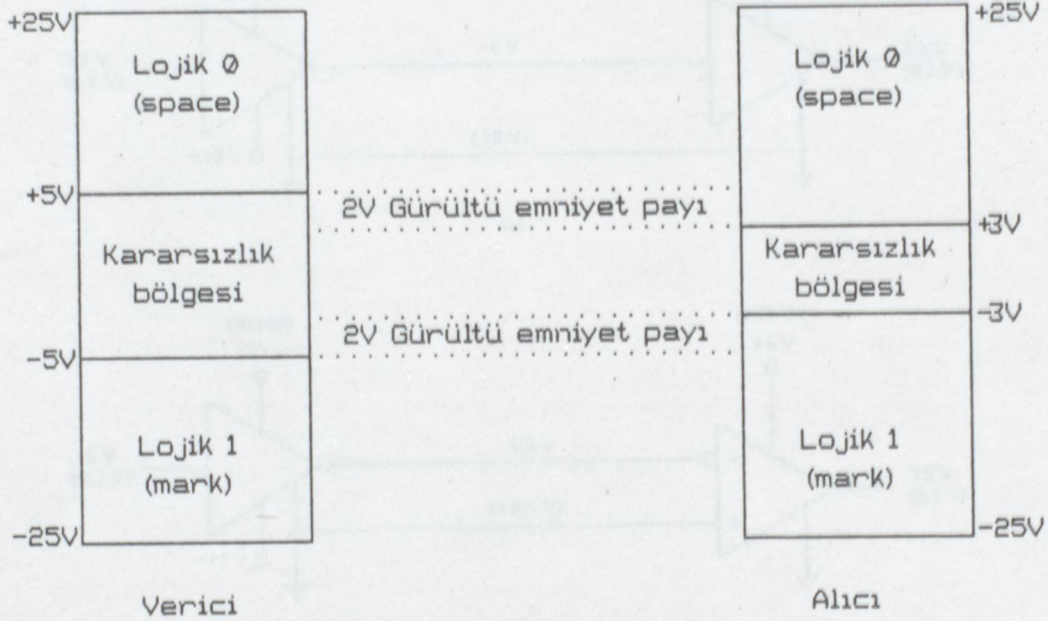
RS-232C'nin dikkati çeken en önemli özelliği, lojik seviyelerin TTL uyumlu olmayışındır. TTL, 5 ile 10 ft arasındaki kısa mesafeli kablolarda oldukça iyidir; bilgi hızı çok yüksektir. Fakat kablo uzunluğu artırılırsa kapasitif ve DC yük etkileri gürültü sınırını kabul edilemeyecek bir seviyeye getirir.

Bir RS-232C alıcı, gerilim -3V'tan daha negatif ise lojik 1, gerilim +3V'tan daha pozitif ise lojik 0 kabul eder. RS-232C verici, lojik 1 için -5V'tan daha negatif, lojik 0 içinse +5V'tan daha pozitif bir gerilim üretir. Bu yolla 2V'luk bir gürültü emniyet payı sağlanmış olur. RS-232C için tipik gerilim değerleri +10V ve -10V ile +12V ve -12V arasındadır. Şekil 4.4'te bu değerler gösterilmiştir.

RS-232C için maksimum baud rate'te kablo uzunluğu 50ft civarındadır. Buna rağmen 1000 - 2000 ft kablo kullanılarak, 1200 - 4800 baud hızla çalışan arabirimler de vardır.

RS-232C gerilim seviyelerini ayırık elemanlarla üretmek mümkün olmakla birlikte, özel hat sürücü ve alıcıları da geliştirilmiştir. Bunların en çok kullanılanı Motorola

MC1488 ve MC1489'dur. Son yıllarda TSC232 ve ICL232 gibi yalnızca +5V gerilimle beslenerek, RS-232C gerilim seviyelerini üretebilen tümdevreler de piyasaya sürülmüştür.



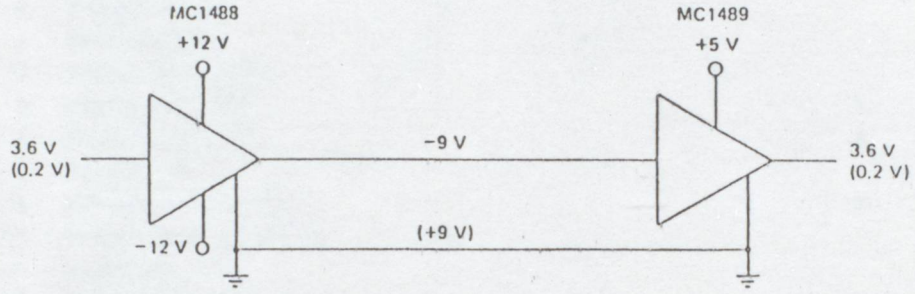
Şekil 4.4 : RS-232C gerilim seviyeleri

İŞARET DİZAYNI

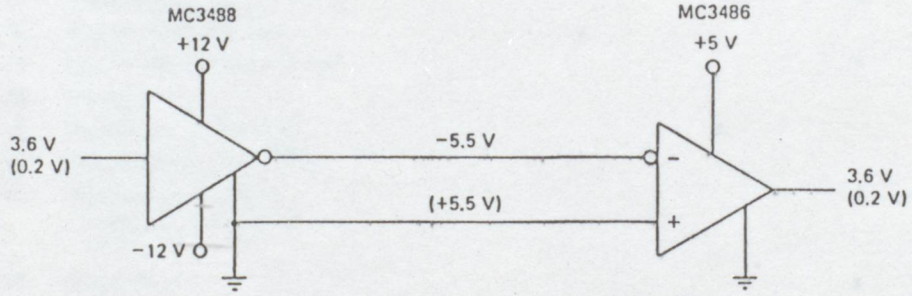
RS-232C, aslında bir modem ile bir terminal arasındaki arabirimi standartlaştırmak için geliştirilmiştir. Tablo 4.4'te 25 işaretin isimleri ve pin düzenleri görülebilir. Bunlar dört bilgi pini (ikisi ana kanal, ikisi de düşük hızlı ikinci kanal için) ve kontrol işaretlerini içerirler.

Şekil 4.6'da görülen iki konnektör RS-232C'nin mekanik arabirimi haline gelmiştir; DB-25S ve DB-25P. Bu

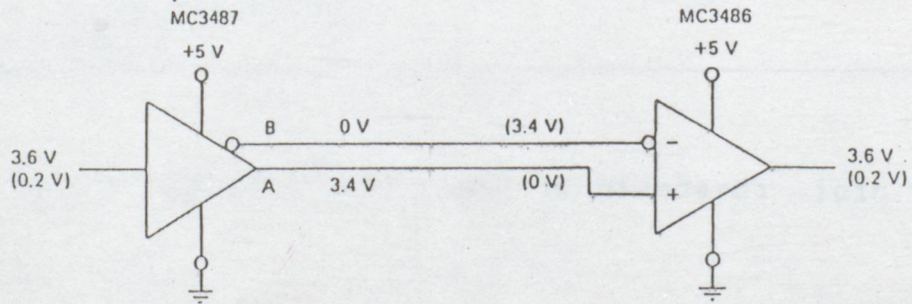
konnektörler RS-232C'nin orjinal parçaları değildir. Fakat, bugün hemen hemen bütün RS-232C portlarında kullanılmaktadır.



(a)



(b)



(c)

Şekil 4.5 : Hat sürücü ve alıcıları
(a) RS-232C, (b) RS-423A, (c) RS-422A

Pin	Signal name	Data		Control	
		From DTE to DCE	To DTE from DCE	From DTE to DCE	To DTE from DCE
1	Protective ground				
2	Transmitted data	x			
3	Received data		x		
4	Request to send ($\overline{\text{RTS}}$)			x	
5	Clear to send ($\overline{\text{CTS}}$)				x
6	Data set ready ($\overline{\text{DSR}}$)				x
7	Signal ground				
8	Data carrier detect ($\overline{\text{DCD}}$)				x
9/10	Reserved for data set testing				
11	Unassigned				
12	Secondary data carrier detect				x
13	Secondary clear to send				x
14	Secondary transmitted data	x			
15	Transmit signal element timing				x
16	Secondary received data		x		
17	Receive signal element timing				x
18	Unassigned				
19	Secondary request to send			x	
20	Data terminal ready ($\overline{\text{DTR}}$)			x	
21	Signal-quality detector (indicates probability of error)				x
22	Ring indicator				x
23	Data signal rate select (allows selection of two different baud rates)				x
24	Transmit signal element timing			x	
25	Unassigned				

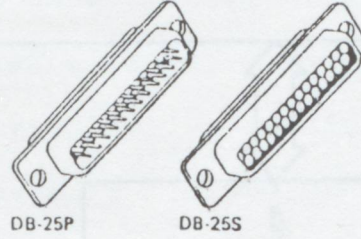
Tablo 4.4 : RS-232C seri arabirim standardı için işaret dizaynı

Teknik olarak bütün bilgisayar cihazları ve ilgili çevre birimleri iki katagoride toplanır.

1. DTE (Data Terminal Equipment - Bilgi terminal cihazları) : Printerler, terminaller

2. DCE (Data Communications Equipment - Bilgi haberleşme cihazları) : Modemler

Tipik RS-232C arabirimi Şekil 4.7'de gösterilmiştir.



Şekil 4.6 : DB-25S socket ve DB-25P plug konnektör

ELSIKIŞMA (HANDSHAKING)

Bir mikrobilgisayar ile seri bir printerin RS-232C standardı ile haberleştiğini varsayalım. Printer mekanik bir cihazdır ve mikrobilgisayara göre çok yavaştır. 1200baud hıza kadar bir el sıkışma (handshaking) gerekmez. Fakat daha yukarıdaki hızlarda CR (Carriage Return) karakterini alan printer o satırı basıp, bir sonraki satırın başına dönerken ilave bir zamana ihtiyaç duyar. Bu sırada yeni bir karakter gelmemelidir.

Benzer problemler terminaller (VDT) için de geçerlidir. Terminal CLS (Clear Screen - Ekranı sil) komutunu yürütürken ya da satır kaydırma (scroll) işlemini yaparken fazladan zaman harcar. Gönderilen karakterin kaybolma veya yanlış yere yazılma tehlikesine karşın bu zaman içinde bilgi akışı durdurulmalıdır.

Bu problemler birtakım el sıkışma işaretlerini kullanma zorunluluğunu getirir. Bunlardan en çok kullanılan beş

tanımı :

1. DCD (Data Carrier Detect - Bilgi taşıyıcı tespiti) :
Bu işaret DCE'nin çıkışıdır ve modemin çalışmasını gösterir.
(mark seviyesi hattın tespit edilmesini gösterir)

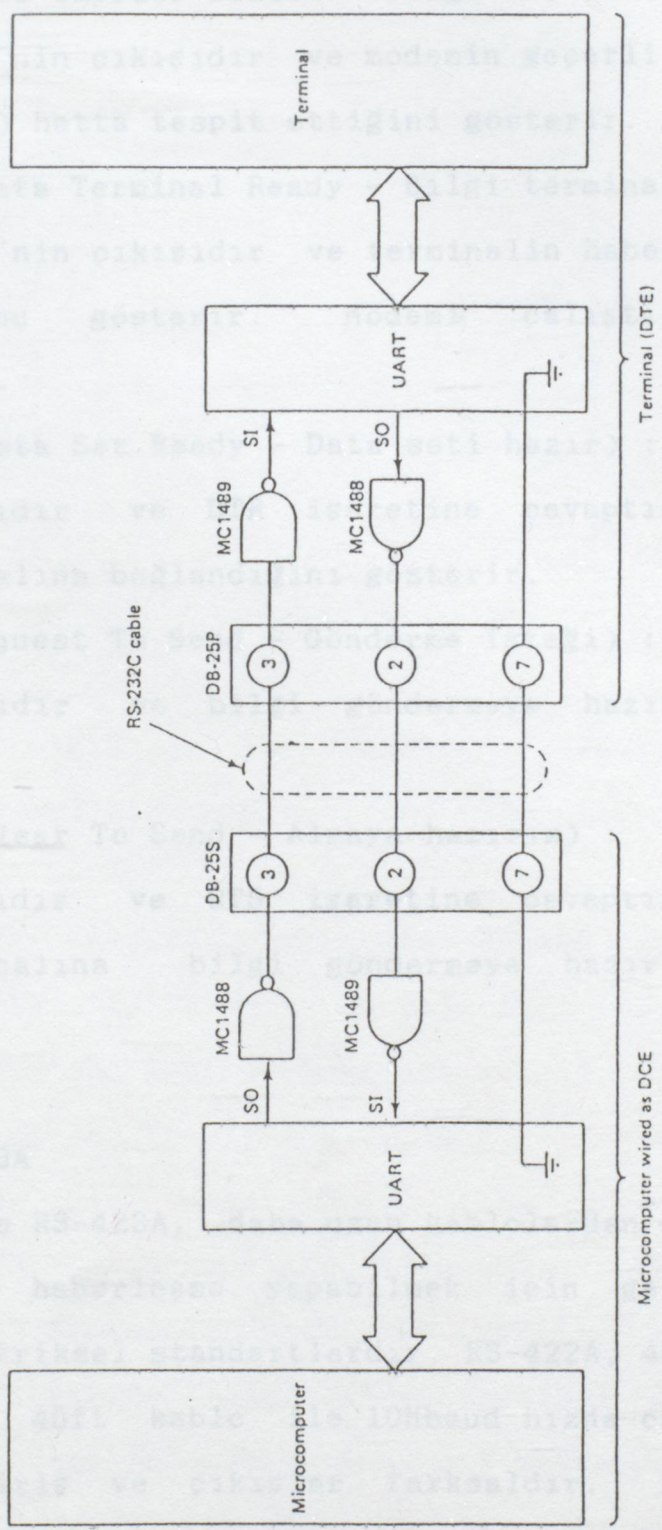
2. DTR (Data Terminal Ready - Bilgi terminali hazır) :
Bu işaret DTE'nin çıkışıdır ve modemin çalışmasını gösterir.
hazır olduğunu gösterir.

3. DSR (Data Set Ready - Data seti hazır) :
DCE'nin çıkışıdır ve modemin çalışmasını gösterir. DCE'nin
haberleşme kanalına bağlı olduğunu gösterir.

4. RTS (Request To Send) :
DTE'nin çıkışıdır ve DCE'ye veri göndermesini
gösterir.

5. CTS (Clear To Send) :
DCE'nin çıkışıdır ve DTE'ye veri göndermesini
gösterir.

RS-422A, RS-423A
RS-422A ve RS-423A
hizmetleri için haberleşme yapabilmek için RS-422A
4000ft kablo
ile 100nsuz, 50ft kablo ile 10nsuz hızda çalışabilir.
RS-422A'nın giriş ve çıkışları farklıdır. Değerleriyle
gürültüden korunmuş olarak çalışır. Yüksek frekanslı
kablolarla RS-422A'nın hızı RS-422A'dan daha düşük
kadar olabilir.



Şekil 4.7 : Tipik RS-232C arabirim

tanesi :

1. DCD (Data Carrier Detect - Bilgi taşıyıcı tespiti) :
Bu işaret DCE'nin çıkışıdır ve modemin geçerli taşıyıcıyı (mark seviyesi) hatta tespit ettiğini gösterir.

2. DTR (Data Terminal Ready - Bilgi terminali hazır) :
Bu işaret DTE'nin çıkışıdır ve terminalin haberleşme için hazır olduğunu gösterir. Modemi çalıştırmak için kullanılabilir.

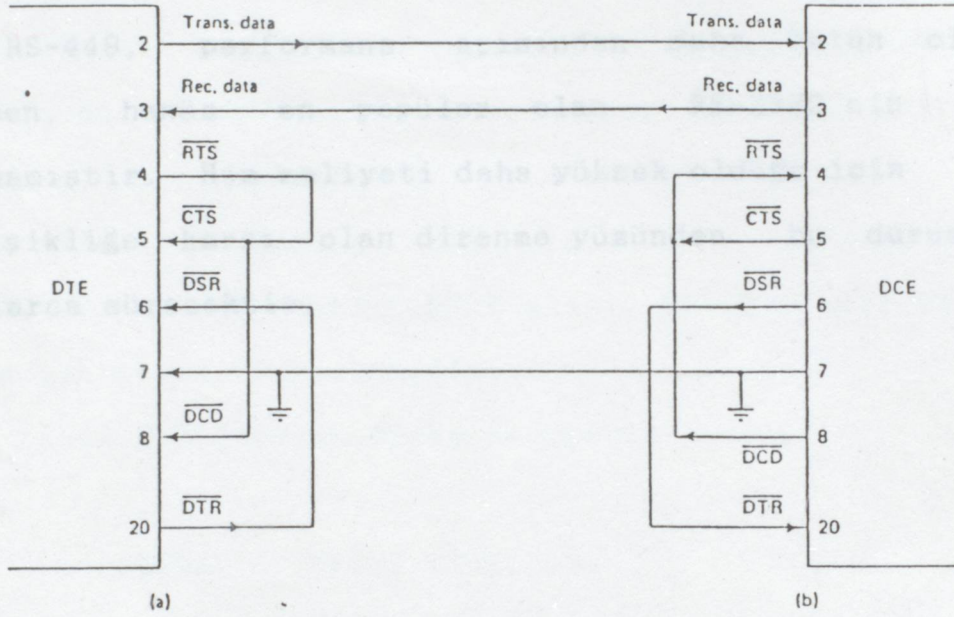
3. DSR (Data Set Ready - Data seti hazır) : Bu işaret DCE'nin çıkışıdır ve DTR işaretine cevaptır. DCE'nin haberleşme kanalına bağlandığını gösterir.

4. RTS (Request To Send - Gönderme isteği) : Bu işaret DTE'nin çıkışıdır ve bilgi göndermeye hazır olduğunu gösterir.

5. CTS (Clear To Send - Almaya hazırım) : Bu işaret DCE'nin çıkışıdır ve RTS işaretine cevaptır. DCE'nin haberleşme kanalına bilgi göndermeye hazır olduğunu gösterir.

RS-422A, RS-423A

RS-422A ve RS-423A, daha uzun kablolardan daha yüksek hızlarla seri haberleşme yapabilmek için geliştirilmiş daha yeni elektriksel standartlardır. RS-422A, 4000ft kablo ile 100Kbaud, 40ft kablo ile 10Mbaud hızda çalışabilir. RS-422A'da giriş ve çıkışlar farksaldır. Dolayısıyla gürültülerden daha az etkilenir. Yalnızca farksal girişin kullanıldığı RS-423A'nın hızı RS-422A'dan daha düşük olmasına rağmen, RS-232C'den yüksektir.



Şekil 4.8 : El sıkışma (handshaking) gerekli olmadığı durumlarda yapılabilecek bağlantı (a) DTE, (b) DCE

RS-422A ve RS-423A, gerçekte RS-449 standardının elektriksel karakteristiklerini tanımlarlar. RS-449, 1977 yılında RS-232C'nin yerini almak üzere geliştirilmiştir. Bu yeni standardın en önemli özellikleri :

1. Biri 37 pin, diğeri 9 pin olan iki konnektör kullanılmaktadır. 9 pin konnektör ikinci kanal işaretlerini taşırken, 37 pin konnektör ana RS-449 işaretlerini taşır.

2. Konnektörlerde özel bir sabitleme mekanizması kullanılmıştır. Sabitlemek için özel bir alete gerek yoktur (DB-25 konnektörlerin iki sabitleme vidasını sıkmak için tornavida gereklidir.).

3. 20Kbaud'un altındaki hızlar için hem RS-422A hem

de RS-423A kullanılabilir. 20Kbaud'un üzerindeki hızlar için dengelenmiş RS-422A kullanılmalıdır.

RS-449, performans açısından daha üstün olmasına rağmen, henüz en popüler olan RS-232C'nin yerini alamamıştır. Hem maliyeti daha yüksek olduğu için hem de değişikliğe karşı olan direnme yüzünden bu durum daha yıllarca sürecektir.

Şekil 5.1'de blok diyagram görülmektedir.

Şekil 5.1'de blok diyagram görülmektedir.

5.1 İHL ALGILAYICI (RING DETECTOR)

Bu devre telefon zilinin çağırma sinyalini algılar ve 3748 mikrodenetleyicisine bildirir.

Şekil 5.2'de görüldüğü gibi telefon hattı ile sayısal devre arasında yalnızca anahtar 4N25 optoizolatörü kullanılmıştır. Bunun nedeni zil çağırma zamanı telefon hattında 150V-p gibi çok yüksek gerilimli bir sinyal görülmektedir.

R5 varistör dirençlidir; görevi aşırı gerilimleri önlemektir. 220V ile sınırlanmıştır. C3 kapasitesi ile oluşan zindir. Z1 ve Z2 zener diyotları ile kırılır. Artık tepe değeri +27V ve -27V olan ve sınırsız olarak devam eden dalga benzeri bir işaret vardır. Bu işaretin alternanslarından birinde 4N25'in girişindeki diyot iletken olur. Böylece iletken olan Q4 transistörü keser. Böylece iletken olan Q4 transistörü keser. Böylece iletken olan Q4 transistörü keser. Böylece iletken olan Q4 transistörü keser.

BÖLÜM 5 : CİHAZIN ELEKTRONİK YAPISI

Cihazın elektronik yapısı 8748 mikrodenetleyicisi (microcontroller) üzerine kurulmuştur. Devre, 8748'in yer aldığı işlem ünitesi ve etrafındaki yedi birimden oluşmaktadır. Bunlar zil algılayıcı, telefonu açma kontrolü, ton üretici, DTMF alıcı, RS-232C seri arabirim, röle çıkışları ve beslemedir.

Şekil 5.1'de blok diyagram görülmektedir.

5.1 ZİL ALGILAYICI (RING DEDECTOR)

Bu devre telefon zilinin çaldığını algılar ve 8748 mikrodenetleyicisine bildirir.

Şekil 5.2'de görüldüğü gibi telefon hattı ile sayısal devre arasında, yalıtım amacıyla 4N25 optoizolatörü kullanılmıştır. Bunun nedeni zil çaldığı zaman telefon hattında 150Vp-p gibi çok yüksek genlikli bir sinüs görülmesidir.

R5 varistör direncidir; görevi sinüs gerilimini maksimum 220V ile sınırlamaktır. C3 kapasitesi ile süzülen sinüs, Z1 ve Z2 zener diyotları ile kırpılır. Artık tepe değerleri +27V ve -27V olan ve sinüsten ziyade kare dalgaya benzeyen bir işaret vardır. Bu işaretin alternanslarından birinde 4N25'in girişindeki diyot iletme geçerek, çıkışındaki tranzistörden akım akmasına neden olur. Böylece iletimde olan Q4 tranzistörü kesime gider ve C5 kapasitesi dolar. 20Hz frekanslı zil çaldığı

sürece C5 üzerinde gerilim görülür. 8748, zilin çaldığını bu noktanın lojik 1 seviyesine çıkması ile anlar. Zilin çaldığı D4 ledinin yanmasıyla da görülebilir. Zil kesildiği zaman Q4 tekrar ilettime geçerek C5 kapasitesini boşaltır ve gerilimini lojik 0'a çeker.

5.2 TELEFONU AÇMA KONTROLU (OFF HOOK CONTROL)

Şekil 5.2'de görüldüğü üzere devre temel olarak, cihazı hatta bağlayan K1 rölesi ve telefon hattı ile sayısal devreyi birbirinden ayıran, sadece değişken işaretlerin geçişine izin veren T1 hat transformatöründen oluşmaktadır.

C1 kapasitesi, T1'in sekonderindeki gürültüyü bastırmak için kullanılmıştır. Q1 ve Q2'den oluşan darlington çifti, 8748'den lojik 1 işareti geldiği zaman ilettime geçerek K1 rölesinin kontaklarını çektirir. Böylece T1 transformatörünün primeri telefon hattını yükler; dolayısıyla telefon ahizesini kaldırmakla oluşan etki elde edilir. Artık cihaz telefon hattına bağlanmıştır. Bu durum D2 ledinin yanmasıyla da görülebilir.

T1'in sekonderi ile ton üreticiden gelen işaretler hatta gönderilirken, hattın gelen DTMF işaretler, DTMF alıcıya gönderilir.

5.3 TON ÜRETECİ (TON GENERATOR)

Şekil 5.2'de görülen ton üretici bir tranzistör, iki

direnç ve bir kapasiteden oluşmaktadır. 8748'in ürettiği kare dalga, Q3 tranzistörü ile C2 kapasitesi üzerinden T1'in sekonderine, oradan da telefon hattına gönderilir.

C2 kapasitesi, Q3'ün kollektöründeki DC gerilimi tutma görevini üstlenmiştir. Yalnızca kare dalganın geçişine izin verir.

Mikrodenetleyici, O.K. (kabul) sesi olarak 350Hz, hata sesi olarak ta 100Hz frekanslı kare dalgalar üreterek Q3'ün bazına gönderir.

5.4 DTMF ALICI (DTMF RECEIVER)

Şekil 5.3'te görülen DTMF alıcısı, G8870 kod çözücüsü etrafında kurulmuştur. G8870, telefon hattından, hat transformatörü yoluyla gelen DTMF tonlarını alarak 4 bit ikili sisteme çevirmektedir.

G8870 kod çözücüsü, standart DTMF frekanslarını çözmek için sayısal sayma tekniğini kullanır. Giriş işareti önce bir filtreden geçirilerek, çevirme tonu (dial tone) olup olmadığı kontrol edilir. Eğer işaret DTMF tonlarından biri ise üst grup ve alt grup filtreleriyle, üst (F high) ve alt (F low) frekanslarına ayrılır. Daha sonra ayrılan frekansların sıfır geçişleri sayılarak, sayısal tespit algoritması ile kod çözülür ve 4 bit ikili sisteme dönüştürülür.

Q1, Q2, Q3 ve Q4 sayısal çıkışlardır ve yeni bir ton gelene kadar öncekini tutarlar. EST, geçerli ton frekansının tesbit edildiğini gösterir. StD, hattaki tonun

geçerli işaret olarak kabul edilip edilmediğini gösterir; eğer geçerli ise lojik 1'e çıkar. TOE girişine lojik 0 uygulanırsa Q1 - Q4 çıkışları yüksek empedans konumuna geçerler.

G8870 ile ilgili daha ayrıntılı bilgi ekler bölümündeki orjinal dökümanlarında bulunabilir.

8748 mikrodenetleyici, G8870'in StD çıkışı ile hatta yeni bir DTMF tonu olup olmadığını kontrol eder. Eğer yeni bir işaret varsa Q1 - Q4 çıkışlarından bu işaretin ikili düzendeki karşılığını okur. StD ve Q1 - Q4 çıkışlarının aktif seviyesi lojik 1'dir. Bu çıkışları gözlemek amacıyla birer led bağlanmıştır.

C8 kapasitesi, G8870'i besleme gerilimindeki ani sıçramalardan korur.

5.5 RS-232C SERİ ARABİRİM (RS-232C SERIAL INTERFACE)

Şekil 5.3'te görülen RS-232C seri arabirim, TSC232 tümdevresi etrafında kurulmuştur. Bu devre 8748'den gelen TTL seviyesindeki TD (Transmit Data - Gönderilen bilgi) ve RTS (Request To Send - Gönderme isteği) işaretlerini, RS-232C standart gerilimlerine (yaklaşık +10V ve -10V) dönüştürerek RS-232C hattına verir. RS-232C hattından gelen CTS (Clear To Send - Almaya hazırım) işaretini ise TTL seviyesine dönüştürerek 8748'e gönderir.

TSC232, +5V besleme geriliminden bir de -5V'luk bir gerilim üretir. C12 ve C13 kapasiteleri yardımıyla +5V ve -5V'luk bu gerilimler +10V ve -10V'a dönüştürülür. C10 ve

C11 kapasiteleri, +10V ve -10V'lık katlanmış gerilimlerin kararlılığını artırmak ve sızemekle görevlidirler.

Böylece TSC232 tümdevresi, yalnızca 5V DC gerilimle beslenerek, TTL ve RS-232C seviyeleri arasında dönüşüm yapabilmektedir.

C9 kapasitesi, tümdevreyi besleme gerilimindeki ani sıçramalardan korur.

5.6 İŞLEM ÜNİTESİ (PROCESS UNIT)

Şekil 5.4'te görüldüğü gibi bütün cihaz, bu birimde yer alan 8748 mikrodenetleyici (microcontroller) tarafından, içindeki programa göre yönetilmektedir. Bütün bilgiler bu tümdevreye gelir; gerekli işlemler yapıldıktan sonra ilgili birimler uyarılır.

8748, Intel tarafından geliştirilmiş, 8bit'lik bir mikrodenetleyicidir. içinde 64byte RAM, 1Kbyte EPROM (ya da PROM) ve 8bit'lik bir zamanlayıcı/sayıcı (timer/counter) vardır. Üç tane 8bit'lik porta sahiptir. Bunlardan DB isimli olanlar, içerisindeki ROM kullanılmadığı zaman (EA girişi lojik 1) veri ve adres bilgisini içerirler. Bu durumda bir dış birime ulaşılacak istendiğinde, önce adresin düşük ağırlıklı 8 biti DBO - DB7 tellerine, yüksek ağırlıklı 4 biti ise P20 - P23 tellerine çıkar. Bu sırada ALE (Address Latch Enable - Adresi tutma izni) aktiftir. Daha sonra DBO - DB7 tellerinde veri görülür. RD (Read - Oku) ve WR (Write - Yaz) çıkışları aynı mikroişlemcilerdeki gibidir. PSEN (Program Store Enable - Program stok izni)

çıkışı, dışarıdaki bir ROM'dan bilgi okunurken aktif hale geçer. EA (External Access - Harici erişim) girişi lojik 0 olduğu zaman 8748, programı içindeki EPROM'dan (ya da PROM) okur. Bu durumda DB, P1, ve P2 portlarının tamamı giriş/çıkış için ayrılır. PROG girişi, 8748'in içindeki EPROM (ya da PROM) programlanmak istendiğinde, programlama darbelerinin uygulanacağı yerdir. VDD dahili RAM'in besleme ucudur. Buraya bağlanacak pilli bir düzenek yardımıyla elektrik kesilse dahi RAM'deki bilgiler korunabilir.

8748 ile ilgili daha geniş bilgi ekler bölümünde bulunabilir.

Bizim cihazımızda, 8748 mikrodenetleyici, içindeki EPROM ve RAM'i kullanmaktadır. DBO - DB4, DTMF alıcıdan gelecek sayısal bilgiler için ayrılmıştır. DB7'ye zil algılayıcının çıkışı bağlanmıştır; telefon zilinın çaldığı buradan anlaşılmaktadır. DB6 pini, zil çalmadan sistemi aktif hale getirmek amacıyla SW1 butonuna (off hook) bağlanmıştır. P1 portu çıkış, P2 portu ise giriş olarak şartlanmıştır. P10 - P13, röle çıkışlarını sürmek amacıyla kullanılmaktadır. P14, K1 rölesini kontrol ederek, cihazı telefon hattına bağlar. P15, ton üreticine O.K. (kabul) ve hata bilgilerini gönderir. P16 ve P17, RS-232C seri arabirim için RTS ve TD çıkışlarıdır. P20 - P24 pinleri zil sayısı, veri paketi (10 - 11 bit) ve baud rate gibi bilgilerin okunduğu SW3 DIP anahtarına bağlanmıştır. P27 pini RS-232C için CTS girişi olarak ayrılmıştır.

SW2 butonu sistemi reset etmektedir. C14 kapasitesi power on reset işlemi için kullanılmıştır. R20, R22, R23,

R24, R25 ve R26 dirençleri toprağa çekme (pull down) dirençleridir. C17 kapasitesi diğer tümdevrelerde olduğu gibi, 8748'i beslemedeki ani sıçramalardan korumakla görevlidir.

5.7 RÖLE ÇIKIŞLARI (RELAY OUTPUTS)

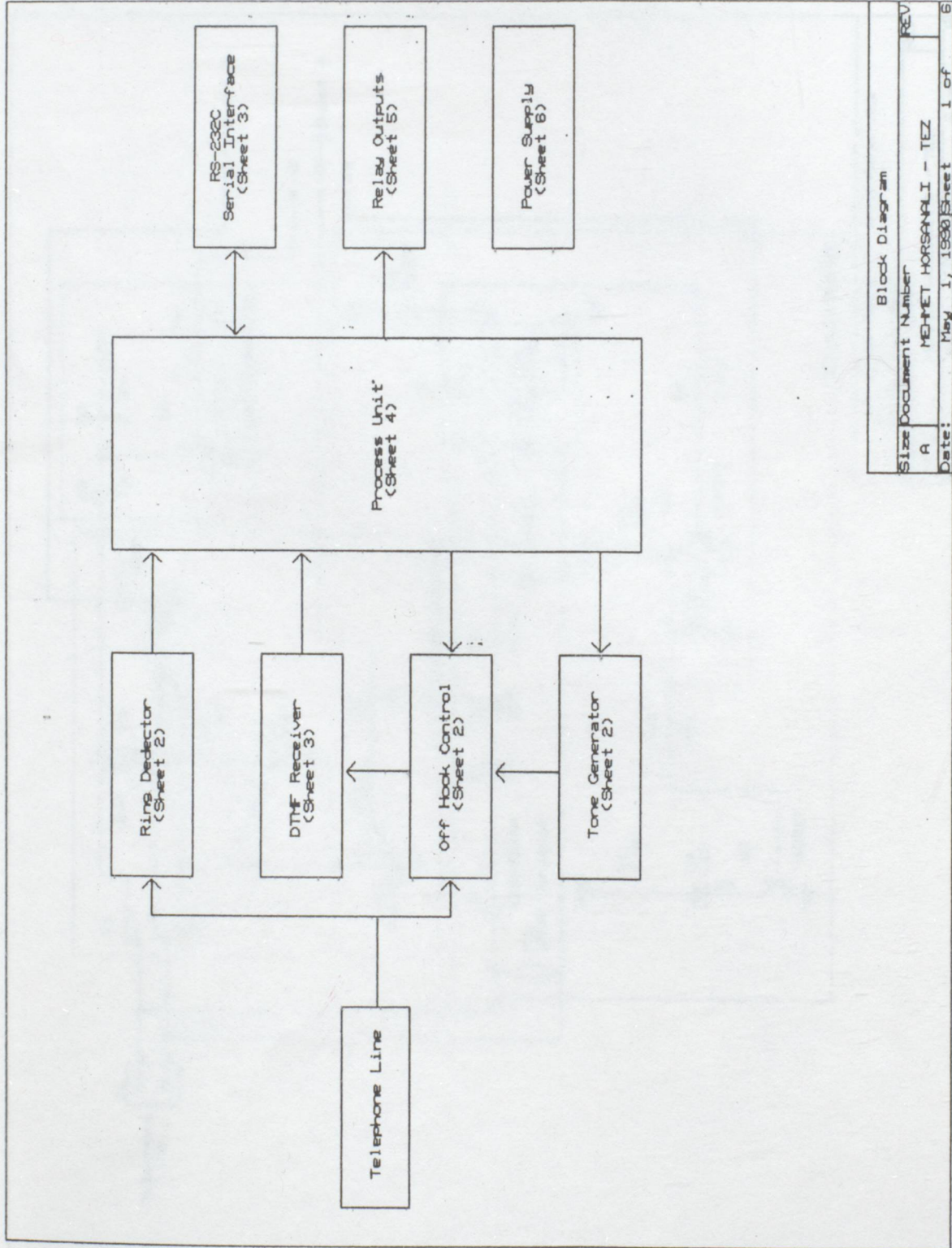
Şekil 5.5'te görülen bu birim, dört tane röle ve bunları sürmek için kullanılan tranzistörlerden oluşmaktadır. Uzaktan telefon tuşlarıyla gerekli kodlar gönderilerek, bu rölelerin kontaklarını çekmesi veya bırakması sağlanabilir. Kitabın cihazın kullanımı bölümünde kodlar açıklanmıştır.

Tranzistörler yüksek akım kazancı sağlayarak, 8748'den akım çekmemek için darlington şeklinde bağlanmıştır. Röle bobinlerine paralel bağlanan diyotlar, kontağı çekip bırakma esnasında bobinin oluşturduğu negatif pikleri yok etmekle görevlidirler. Ayrıca her röle için kontağın çekili olduğu pozisyonda yanan, birer led kullanılmıştır.

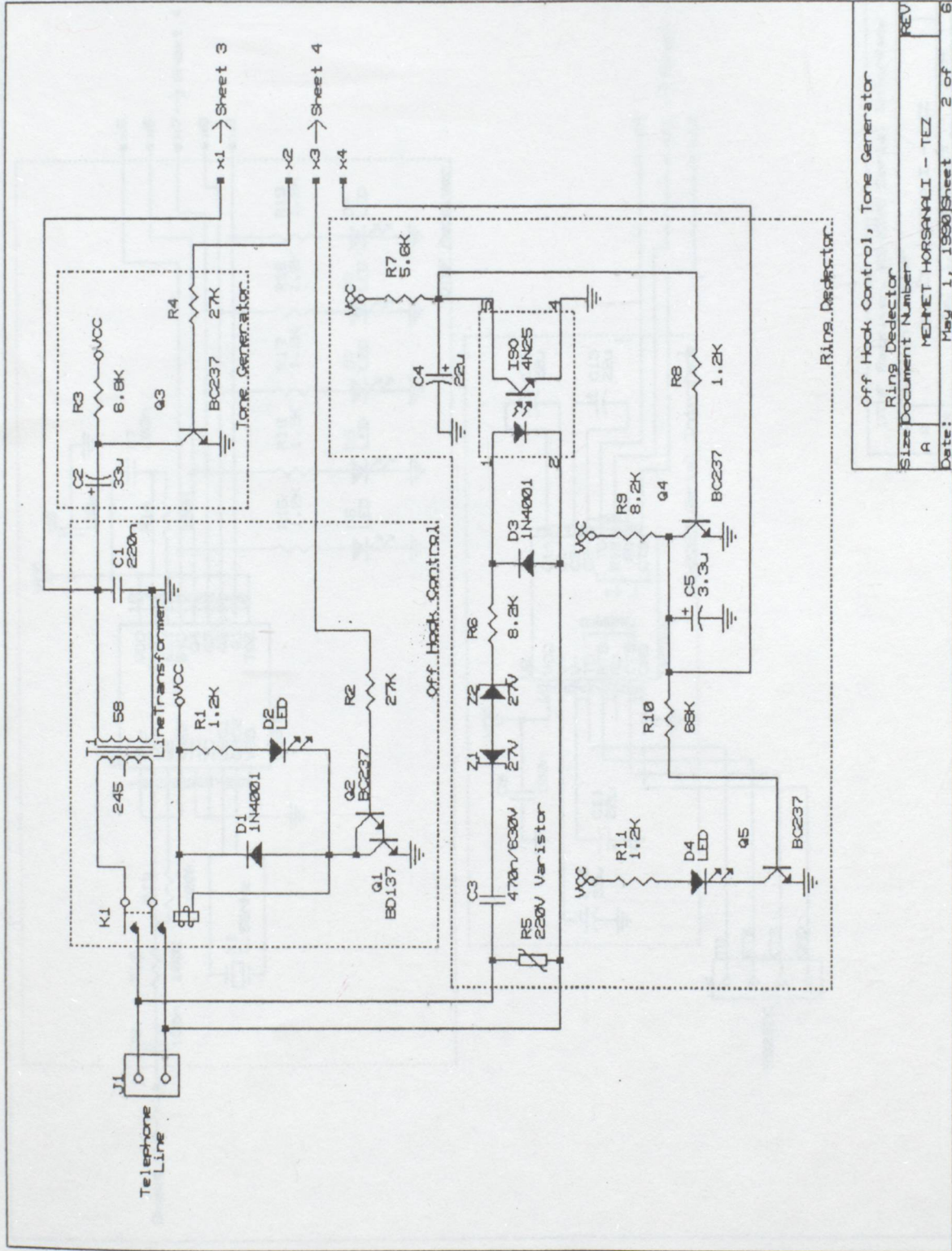
5.8 BESLEME (POWER SUPPLY)

Şekil 5.6'da görülen bu birim, cihaz için gerekli olan 5VDC gerilimi üretmektedir. Giriş 220VAC'dir.

Devre temel olarak, doğrultucu ve 7805 gerilim regülatöründen oluşmaktadır. C19 ve C20 kapasiteleri DC gerilimdeki ani sıçramaları bastırmak için kullanılmıştır.

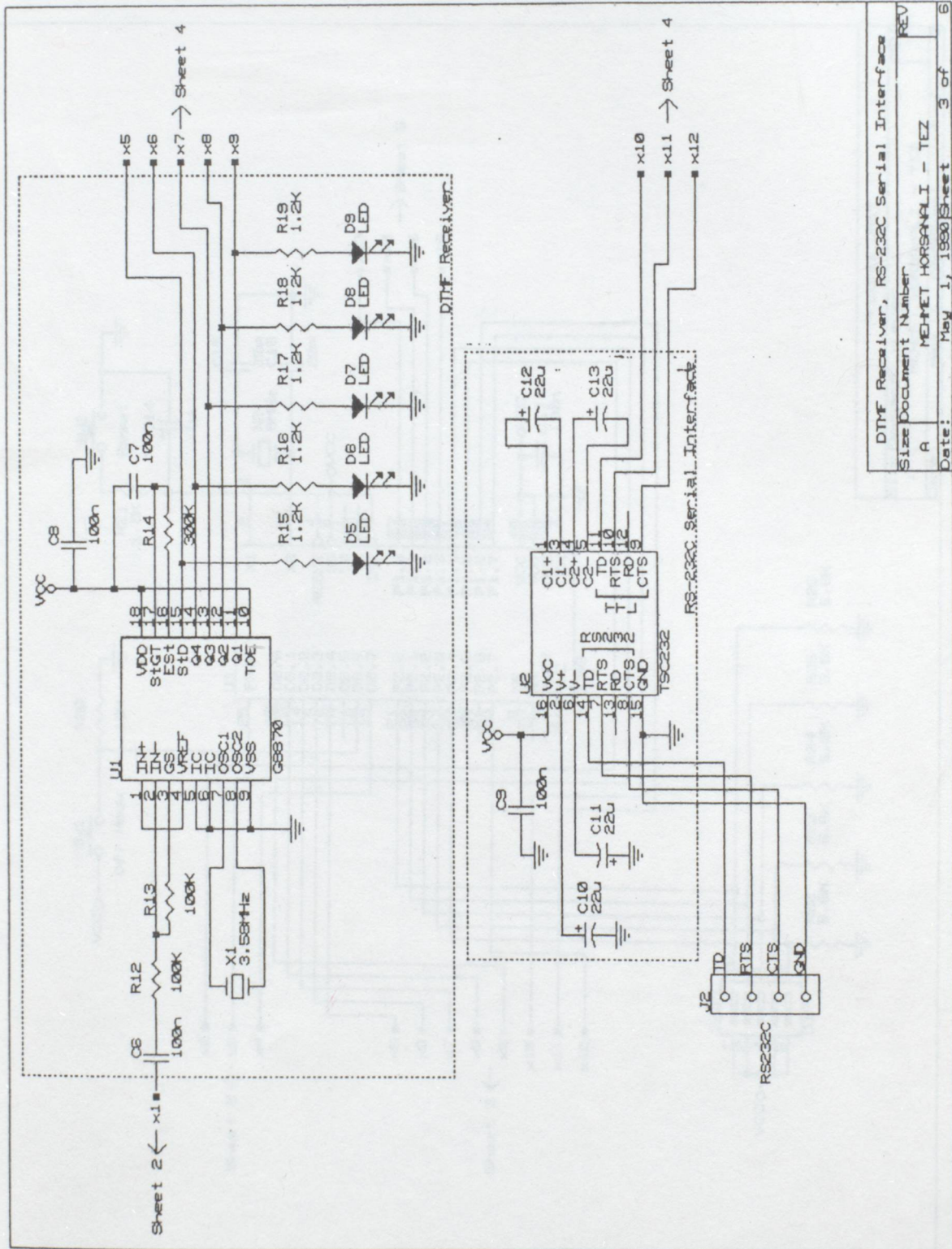


Şekil 5.1 : Blok diyagram



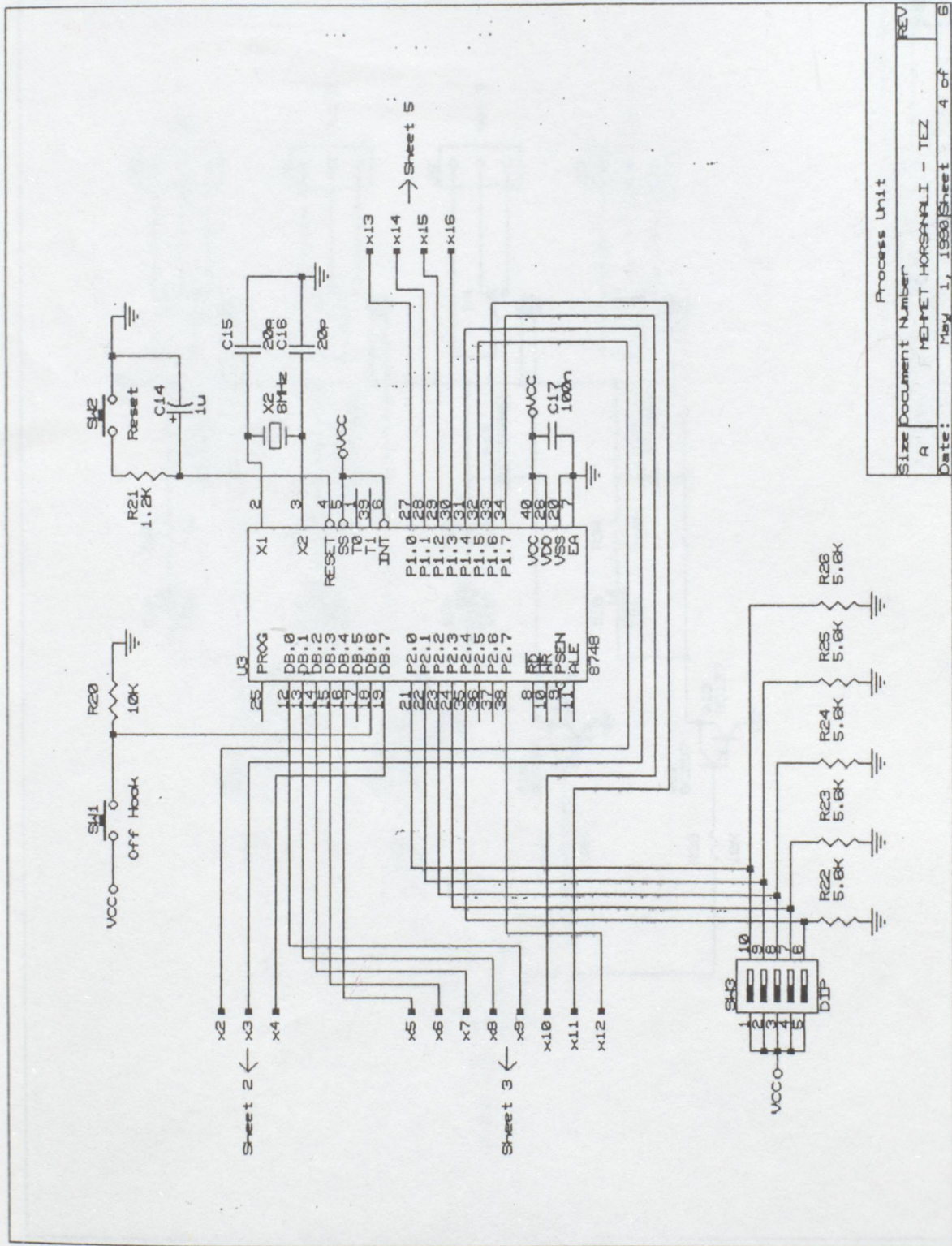
Off Hook Control, Tone Generator	
Ring Detector	
Size	Document Number
A	MEHMET HORSANALI - TEZ
Date:	May 1, 1990
Sheet	2 of 6

Şekil 5.2 : Telefonu açma kontrolü, ton üretici, zil algılayıcı



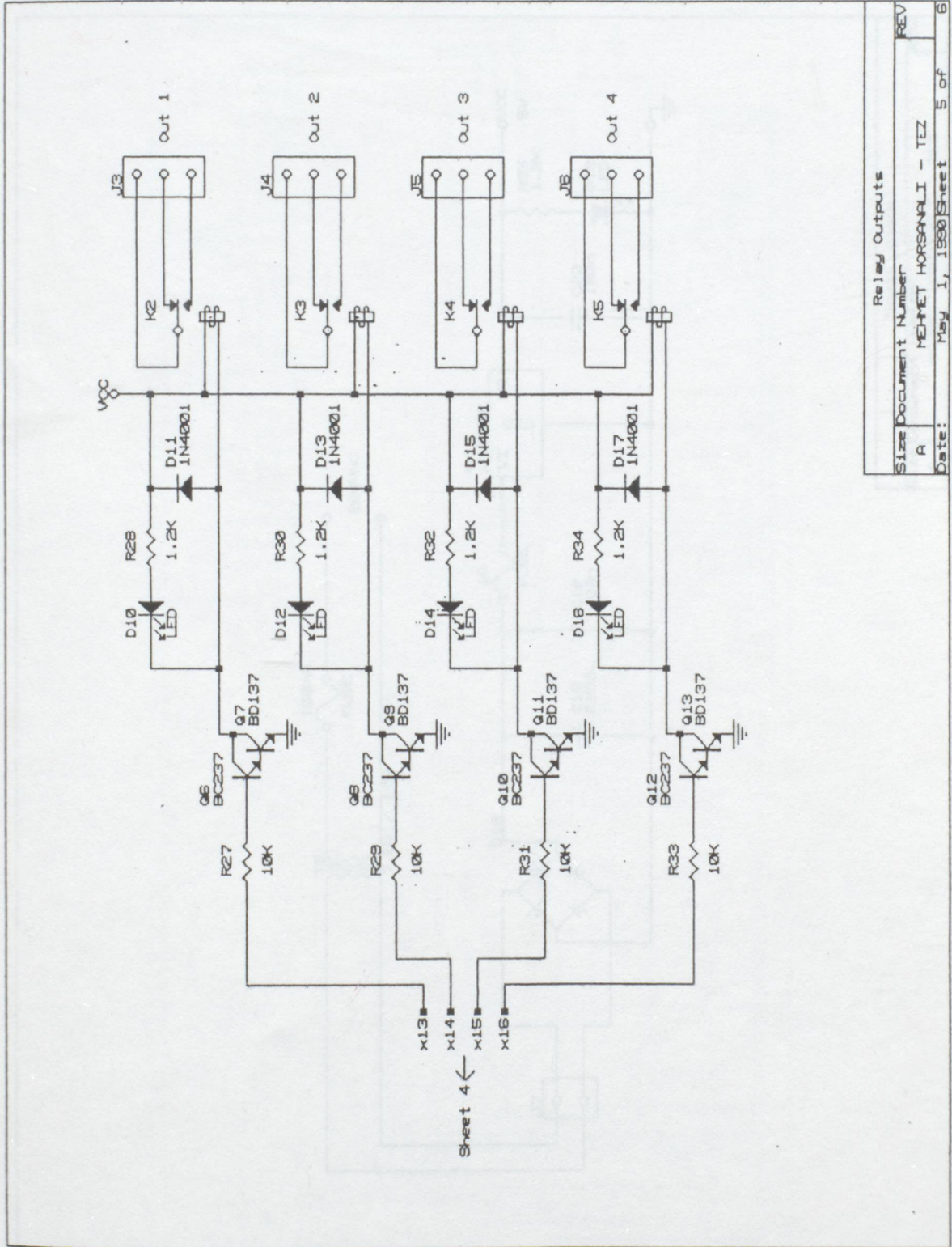
DTMF Receiver, RS-232C Serial Interface	
Size Document Number	REV
A	MEHMET HORSANALI - TEZ
Date:	May 1, 1990/Sheet 3 of 6

Şekil 5.3 : DTMF alıcı, RS-232C seri arabirim



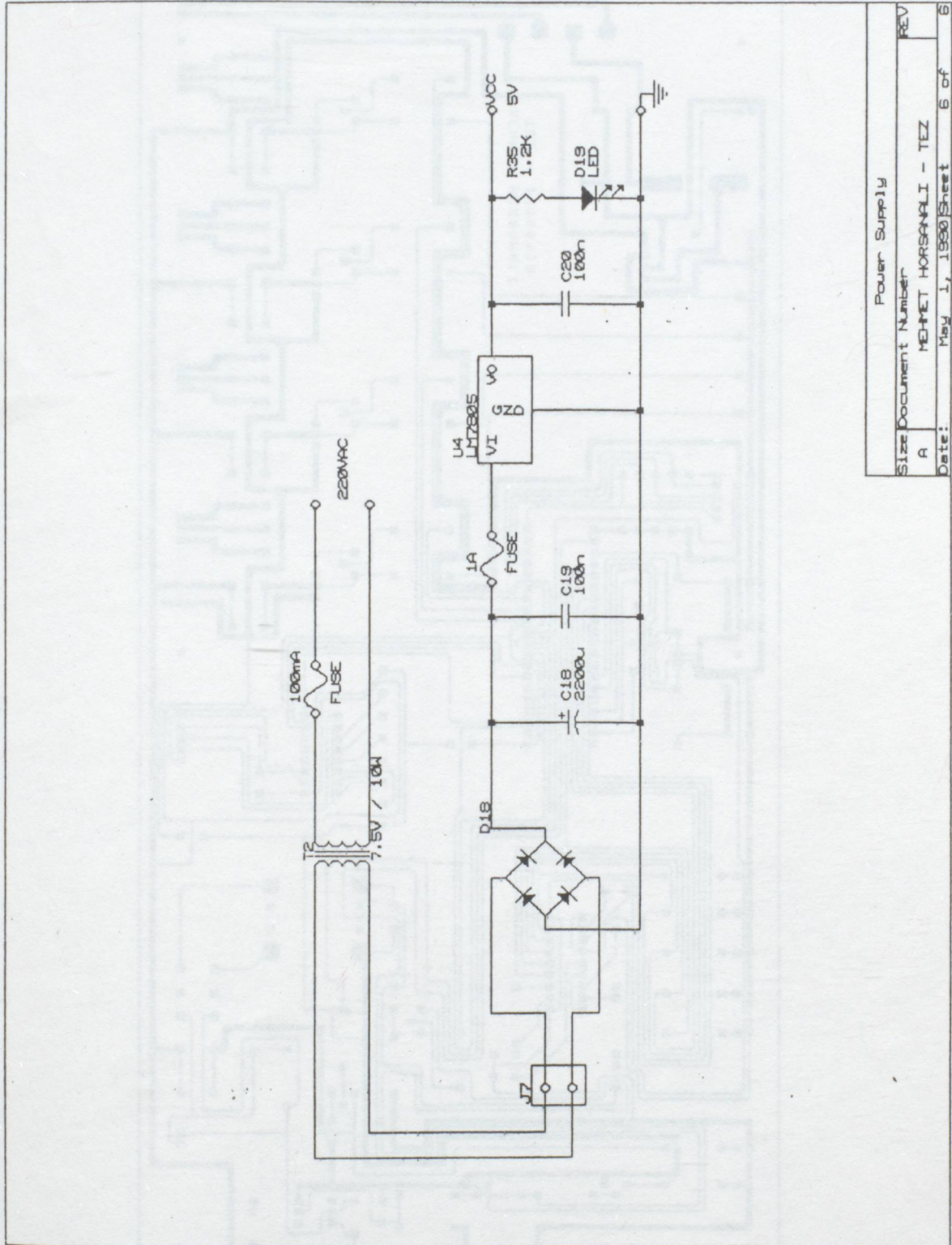
Process Unit	
Size	REV
Document Number	A
	MEHMET HORSANALI - TEZ
Date:	May 1, 1988
Sheet	4 of 6

Şekil 5.4 : işlem ünitesi



Relay Outputs	
Size	Document Number
A	MEHMET HORSANALI - TEZ
Date:	May 1, 1990
Sheet	5 of 6
	REV

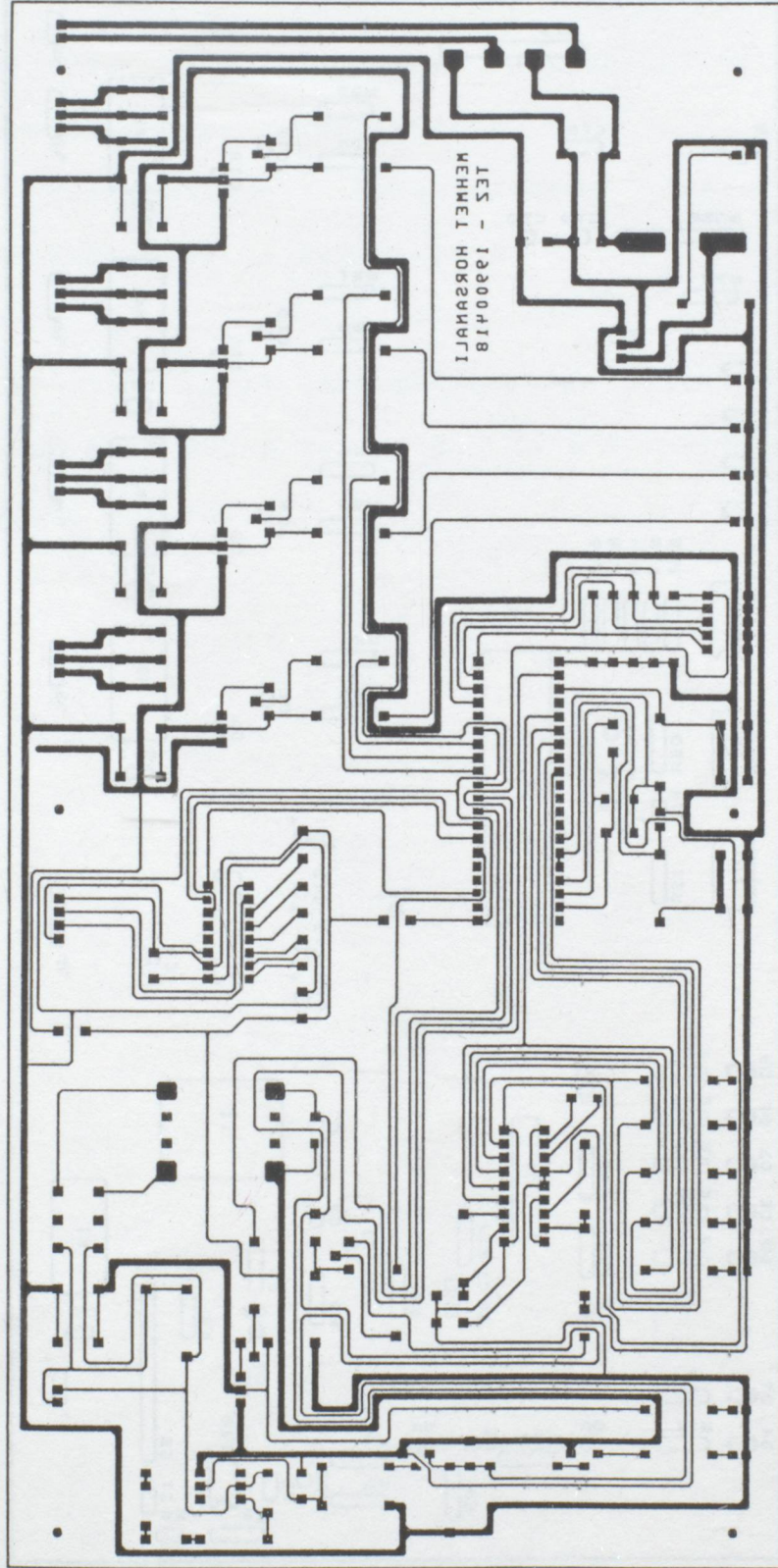
Şekil 5.5 : Röle çıkışları



Power Supply	
Size Document Number	REV
A	MEHMET HORSANALI - TEZ
Date:	May 1, 1990 Sheet 6 of 6

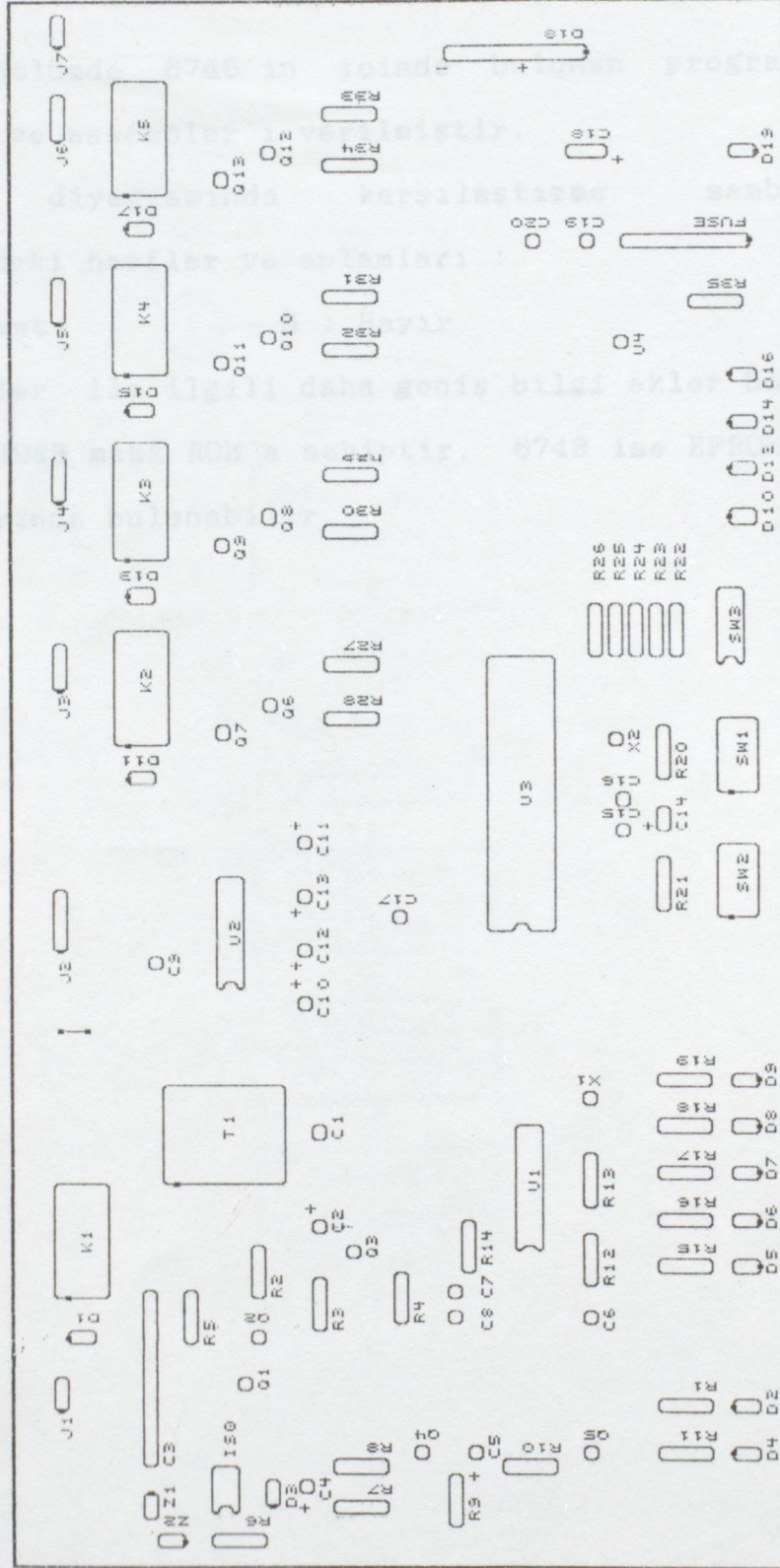
Şekil 5.6 : Besleme

5.9 BASKI DEVRE PLANI



* Komponent tarafından bakıştır ve asıl boyutundan %30 küçüktür.

5.10 YERLEŐTİRME PLANI



* Asıl boyutundan %30 küçüktür.

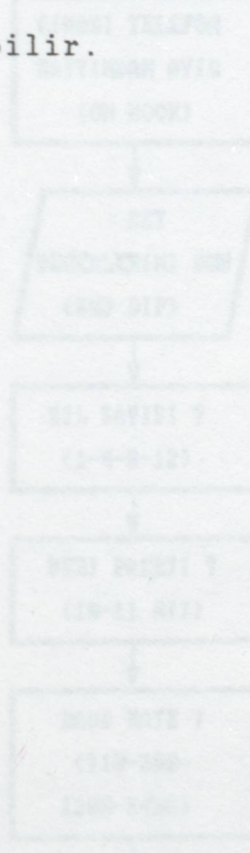
BÖLÜM 6 : PROGRAM

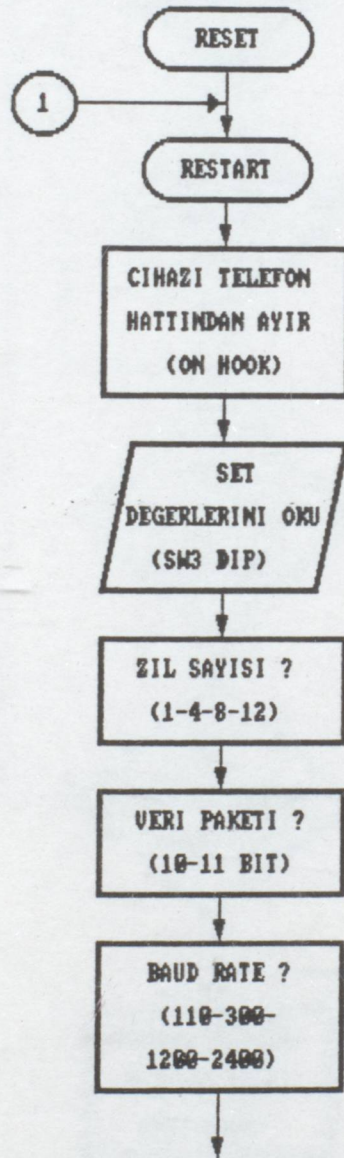
Bu bölümde 8748'in içinde bulunan programın akış diyagramı ve assembler'ı verilmiştir.

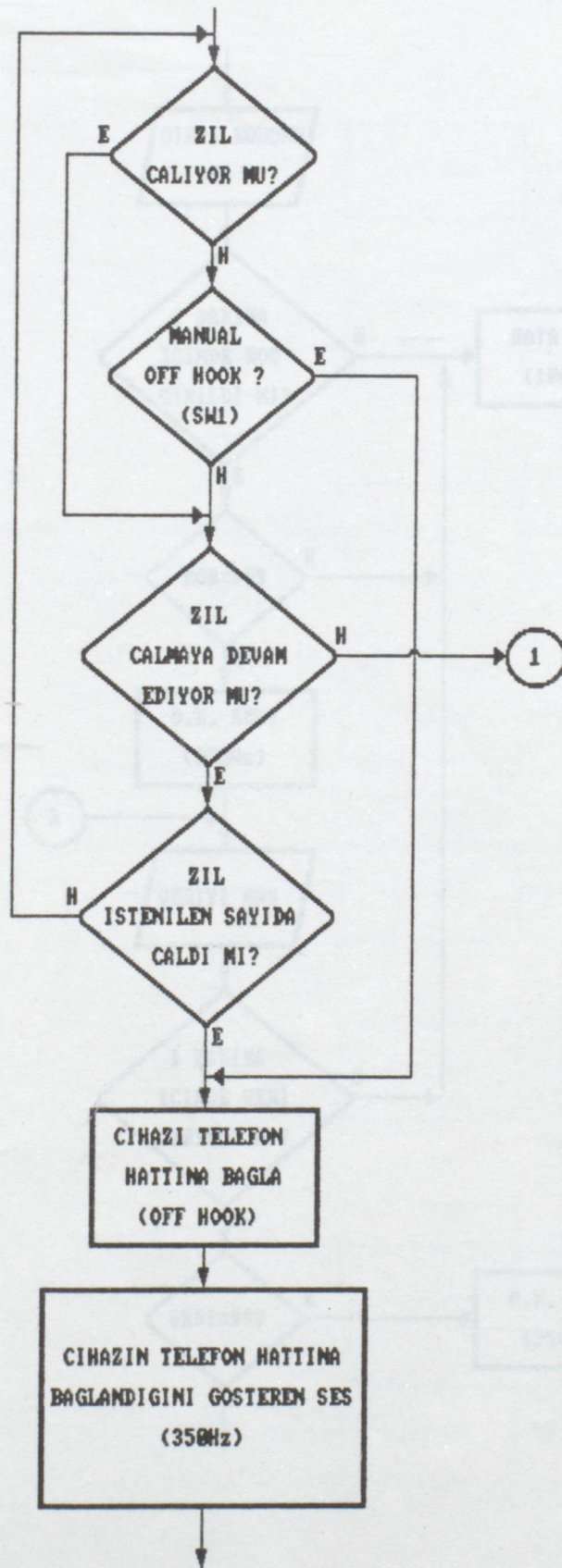
Akış diyagramında karşılaştırma sembollerinin köşelerindeki harfler ve anlamları :

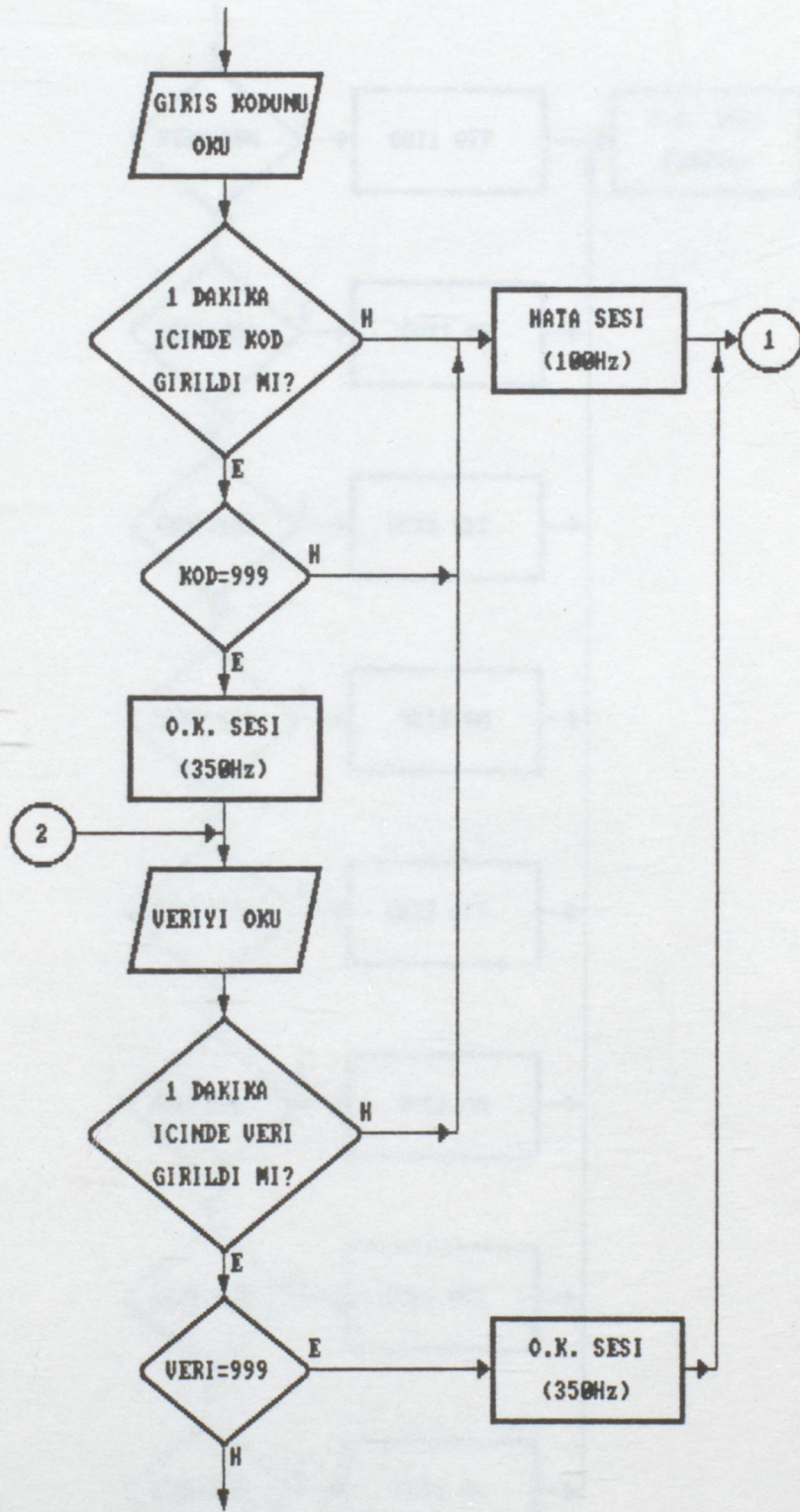
E : Evet H : Hayır

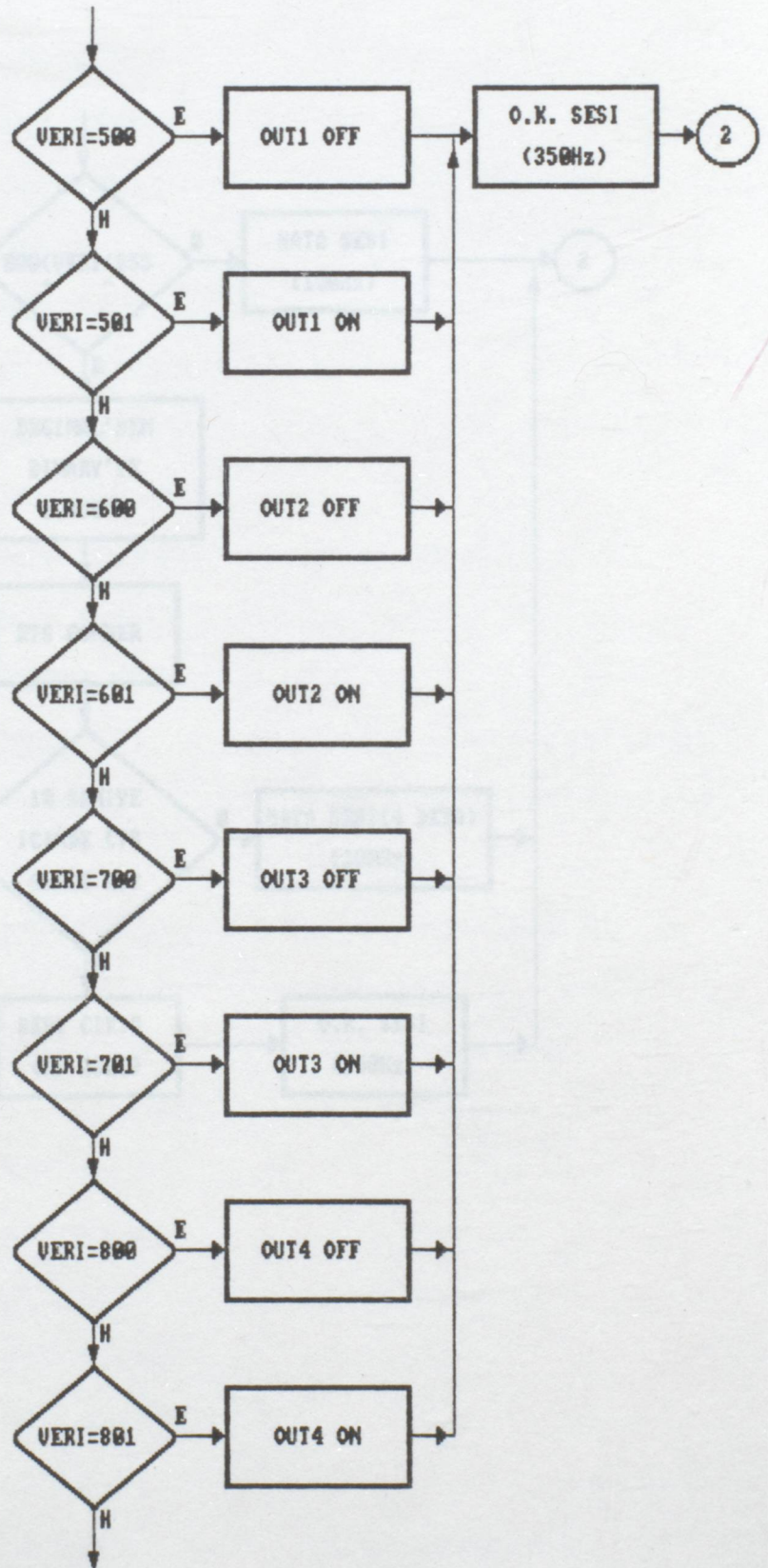
Assembler ile ilgili daha geniş bilgi ekler bölümündeki 8048'in (8048 mask ROM'a sahiptir, 8748 ise EPROM içerir) dökümanlarında bulunabilir.











AVOCET SYSTEMS 6040 CROSS-ASSEMBLER - VERSION 1.54M

SOURCE FILE NAME: TEL.ASM

0000 ORG 80000

0000 0414 JMP RESET

0014 ORG 80014

0014 15 RESET

0015 95

0015 8830 MOV TC, #30

0016 2300

001A AD

0018 883C RSTNT MOV TC, #3C

001D 2300

001F 60

0020 30

0021 0A

0022

0023 AB

0023

0025 5303 RING

0025

0026 49

0028 8F01

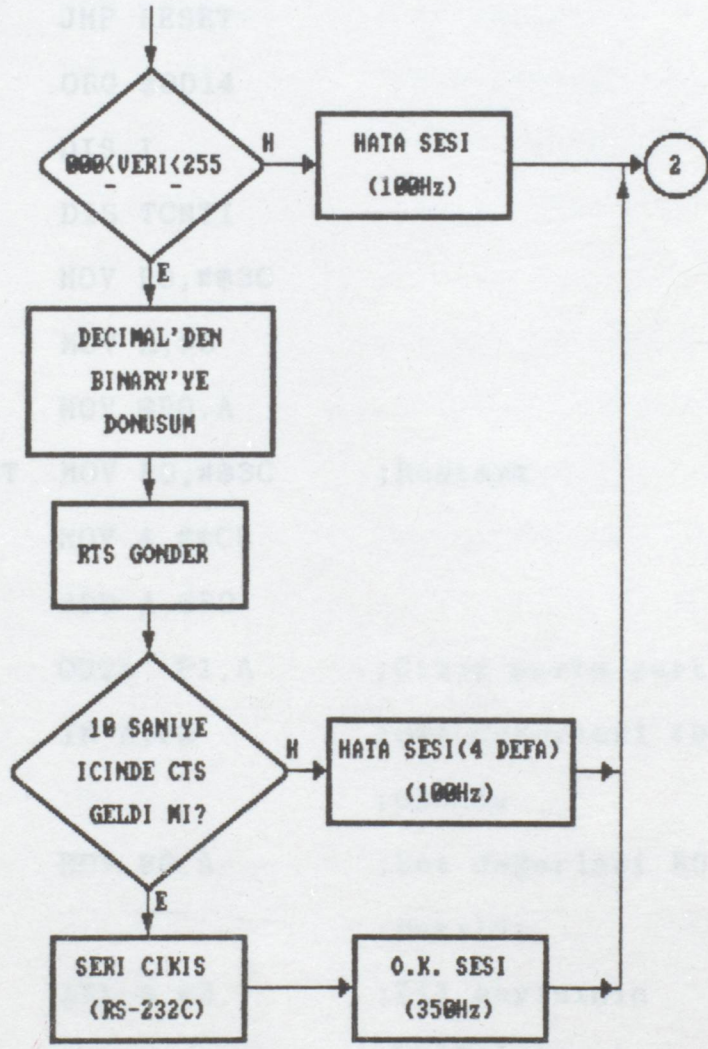
0029 CB3A

002A 8F04

002C 79

002D 8301

002F CB3A



AVOCET SYSTEMS 8048 CROSS-ASSEMBLER - VERSION 1.64M

SOURCE FILE NAME: TEZ.ASM

```
0000          ORG $0000          ;Zil sayisi=8
0000 0414          JMP RESET          ;Zil sayisi=12
0014          ORG $0014          ;Data paketinin
0014 15          RESET  DIS I          ;belirlenmesi
0015 35          DIS TCNTI          ;(10-11 bit)
0016 B83C          MOV R0,#$3C
0018 2300          MOV A,#0          ;11 bit (2 stop bit)
001A A0          MOV @R0,A          ;10 bit (1 stop bit)
001B B83C          RESTRT MOV R0,#$3C          ;Restart
001D 23C0          MOV A,#$C0          ;belirlenmesi
001F 60          ADD A,@R0
0020 39          OUTL P1,A          ;Çıkış portu şartlandı
0021 0A          IN A,P2          ;Set değerleri (DIPSW)
0022          ANL A,#3          ;okundu
0022 A8          MOV R0,A          ;Set değerleri R0 'a
0023          MOV R1,A          ;yazıldı
0023 5303          RING  ANL A,#3          ;Zil sayısının
0025          MOV R1,A          ;belirlenmesi
0025 A9          MOV R1,A
0026 BF01          MOV R7,#1
0028 C63A          JZ PACK          ;Zil sayisi=1
002A BF04          MOV R7,#4
002C F9          MOV A,R1
002D D301          XRL A,#1
002F C63A          JZ PACK          ;Zil sayisi=4
```

```
0031 BF08          MOV R7,#8          ;2400 Baud
0033 F9           RD          MOV A,R1          ;Ring Data
0034 D302          XRL A,#2          ;(zil algilama)
0036 C63A          JZ PACK          ;Zil sayısı=8
0038 BFOC          MOV R7,#$0C        ;Zil sayısı=12
003A F8           PACK      MOV A,RO          ;Data paketinin
003B              RD1       TMS A,BUS          ;belirlenmesi
003B              ;(10-11 bit)
003B BE01          MOV R6,#1          ;okundu
003D 5241          JB2 BAUD          ;11 bit (2 stop bit)
003F BE00          MOV R6,#0          ;10 bit (1 stop bit)
0041 F8           BAUD      MOV A,RO          ;Baud rate 'in
0042              DJNZ R4,RD          ;belirlenmesi
0042 77           RR A          ;rediyor mu?
0043 77           RR A          ;
0044 77           RR A          ;
0045 5303          ANL A,#3          ;
0047 A9           MOV R1,A          ;
0048 BD8F          MOV R5,#$8F        ;110 Baud
004A C65C          RD2       JZ RD          ;
004C BDD7          MOV R5,#$D7        ;300 Baud
004E F9           RD3       MOV A,R1          ;
004F D301          XRL A,#1          ;
0051 C65C          JZ RD          ;
0053 BDF6          MOV R5,#$F6        ;1200 Baud
0055 F9           MOV A,R1          ;
0056 D302          XRL A,#2          ;
0058 C65C          RD4       JZ RD          ;Off Hook
```



```
005A BDFB          MOV R5,#$FB      ;2400 Baud
005C BA08          RD      MOV R2,#8        ;Ring Dedect
005E              ;(zil algılama)
005E FF           MOV A,R7
005F A8           MOV R0,A
0060 B900          RDO     MOV R1,#0
0062 08           RD1     INS A,BUS      ;Zil algılama
0063              ;devresinin çıkışı
0063              ;okundu
0063 D280          JB6 OFFH      ;Sistem zil çalmadan
0065              ;manuel olarak açıldı
0065 F273          JB7 RD2
0067 EC60          DJNZ R4,RDO     ;Zil çalmaya devam
0069              ;ediyor mu?
0069 BCFF          MOV R4,$$FF
006B EB60          DJNZ R3,RDO
006D BBFF          MOV R3,$$FF
006F EA60          DJNZ R2,RDO
0071 041B          JMP RESTRT       ;Artık zil çalmıyor
0073 F9           RD2     MOV A,R1
0074 9662          JNZ RD1
0076 C8           RD3     DEC R0
0077 F8           MOV A,R0
0078 C680          JZ OFFH
007A B901          MOV R1,#1
007C BA08          MOV R2,#8
007E 0462          JMP RD1
0080 B83C          OFFH    MOV R0,$$3C      ;Off Hook
```

```
0082 23D0          MOV A,#$D0
0084 60           ADD A,@R0
0085 39           OUTL P1,A          ;Cihaz hatta bağlandı
0086 5489         CALL S350          ;Cihazın hatta bağ-
0088             JZ DATA00          ;landığını gösteren ses
0088 5419         CALL DATAIN       ;Giriş kodunu oku
008A F9           MOV A,R1
008B D33C         XRL A,#$3C
008D C693         JZ OFFH2          ;Kod girildi
008F 547E         OFFH1 CALL S100          ;Verilen süre içinde
0091             ;kod girilmedi
0091 041B         JMP RESTRT        ;Cihazı hattan ayır
0093 B93F         OFFH2 MOV R1,#$3F
0095 F1           MOV A,@R1
0096 D309         XRL A,#9          ;500 kontrol
0098 968F         JNZ OFFH1         ;Kod hatalı
009A 54AC         CALL CX99         ;999 kontrol
009C F8           MOV A,R0
009D C68F         JZ OFFH1          ;Kod hatalı
009F 5489         CALL S350         ;Kod doğru
00A1 5419         DATA CALL DATAIN
00A3 F9           MOV A,R1
00A4 D33C         XRL A,#$3C
00A6 C6AC         DATA00 JZ DATA00        ;501 kontrol
00A8 547E         CALL S100
00AA 041B         JMP RESTRT
00AC B93F         DATA0 MOV R1,#$3F        ;On Hook kontrol (999)
00AE F1           MOV A,@R1
```

```
00AF D309          XRL A,#9
00B1 96C0          JNZ DATA1
00B3 54AC          CALL CX99          ;999 kontrol
00B5 F8           DATA11 MOV A,RO
00B6 C6BC          JZ DATA00
00B8 5489          DATA12 CALL S350
00BA 041B          JMP RESTRT
00BC 547E          DATA00 CALL S100
00BE 04A1          DATA2  JMP DATA37      ;Out2 kontrol
00C0 B93F          DATA1  MOV R1,#$3F      ;Out1 kontrol (on)
00C2 F1           DATA1  MOV A,@R1          ;(500:off 501:on)
00C2 F1           MOV A,@R1
00C3 D305          XRL A,#5
00C5 96FB          JNZ DATA2          ;500 kontrol
00C7 54BE          CALL CX00           ;500 kontrol
00C9 F8           MOV A,RO
00CA C6D6          JZ DATA10
00CC B93C          MOV R1,#$3C
00CE F1           MOV A,@R1
00CF 530E          ANL A,#$0E
00D1 A1           MOV @R1,A          ;Out2 off
00D2 54E2          CALL RELAY          ;Out1 off
00D4 04E3          DATA20 JMP DATA11         ;501 kontrol
00D6 54D0          DATA10 CALL CX01           ;501 kontrol
00D8 F8           MOV A,RO
00D9 C6E7          JZ DATA12
00DB B93C          MOV R1,#$3C
00DD F1           MOV A,@R1
```

```
00DE 4301          ORL A,#1
00E0 A1           MOV @R1,A          ;Out2 on
00E1 54E2   DATA21 CALL RELAY          ;Out1 on
00E3 5489   DATA11 CALL S350
00E5 04A1   DATA22 JMP DATA
00E7 547E   DATA12 CALL S100
00E9 04A1   DATA3  JMP DATA          ;Out3 kontrol
00FB                ORG $00FB          ;(700:off 701:on)
00FB B93F   DATA2  MOV R1,#$3F          ;Out2 kontrol
00FD 0307   DATA3  MOV R1,#$37          ;(600:off 601:on)
00FD F1           MOV A,@R1
00FE D306                XRL A,#6          ;700 kontrol
0100 9626                JNZ DATA3
0102 54BE                CALL CX00          ;600 kontrol
0104 F8           MOV A,R0
0105 C611                JZ DATA20
0107 B93C                MOV R1,#$3C
0109 F1           MOV A,@R1
010A 530D                ANL A,#$0D          ;Out3 off
010C A1           MOV @R1,A
010D 54E2   DATA30 CALL RELAY          ;Out2 off
010F 241E                JMP DATA21
0111 54D0   DATA20 CALL CX01          ;601 kontrol
0113 F8           MOV A,R0
0114 C622                JZ DATA22
0116 B93C                MOV R1,#$3C
0118 F1           MOV A,@R1
0119 4302          ORL A,#2          ;Out3 on
```

```
011B A1          DATA21  MOV @R1,A
011C 54E2                CALL RELAY      ;Out2 on
011E 5489          DATA21  CALL S350
0120 04A1                JMP DATA
0122 547E          DATA22  CALL S100
0124 04A1                JMP DATA
0126 B93F          DATA3   MOV R1,##$3F    ;Out3 kontrol
0128                ;(700:off 701:on)
0128 F1              MOV A,@R1
0129 D307                XRL A,#7
012B 9651                JNZ DATA4
012D 54BE                CALL CX00       ;700 kontrol
012F F8              MOV A,R0
0130 C63C          DATA30  JZ DATA30
0132 B93C          DATA30  MOV R1,##$3C
0134 F1              MOV A,@R1
0135 530B          DATA30  ANL A,##$0B
0137 A1              MOV @R1,A
0138 54E2                CALL RELAY      ;Out3 off
013A 2449                JMP DATA31
013C 54D0          DATA30  CALL CX01       ;701 kontrol
013E F8              MOV A,R0
013F C64D          DATA30  JZ DATA32
0141 B93C          DATA30  MOV R1,##$3C
0143 F1              MOV A,@R1
0144 4304                ORL A,#4
0146 A1              MOV @R1,A
0147 54E2                CALL RELAY      ;Out3 on
```

```
0149 5489      DATA31  CALL S350
014B 04A1                JMP DATA
014D 547E      DATA32  CALL S100
014F 04A1                JMP DATA
0151 B93F      DATA4    MOV R1,#$3F      ;Out4 kontrol
0153                ;(800:off  801:on)
0153 F1                MOV A,@R1
0154 D308                XRL A,#8
0156 967C                JNZ DATA5
0158 54BE                CALL CX00        ;800 kontrol
015A F8                MOV A,R0
015B C667                JZ DATA40
015D B93C                MOV R1,#$3C
015F F1                MOV A,@R1
0160 5307                ANL A,#7
0162 A1                MOV @R1,A
0163 54E2                CALL RELAY       ;Out4 off
0165 2474                JMP DATA41
0167 54D0      DATA40  CALL CX01        ;801 kontrol
0169 F8                MOV A,R0
016A C678                JZ DATA42
016C B93C                MOV R1,#$3C
016E F1                MOV A,@R1
016F 4308                ORL A,#8
0171 A1                MOV @R1,A
0172 54E2                CALL RELAY       ;Out4 on
0174 5489      DATA41  CALL S350
0176 04A1                JMP DATA
```

```
0178 547E      DATA42  CALL S100
017A 04A1                JMP DATA
017C B93F      DATA5   MOV R1,#$3F      ;FF kontrol
017E B803                MOV R0,#3
0180 F1        DATA50  MOV A,@R1
0181 D3FF                XRL A,$FF
0183 C68A                JZ DATA51
0185 C9                    DEC R1
0186 E880                DJNZ R0,DATA50
0188 248E                JMP DECBIN
018A 547E      DATA51  CALL S100
018C 04A1                JMP DATA
018E B93F      DECBIN   MOV R1,$3F      ;Decimal to Binary
0190                    ;conversion
0190 BB64                MOV R3,$64
0192 2300                MOV A,#0
0194 97                    CLR C
0195 61        DBD2     ADD A,@R1      ;Dec to Bin Digit2
0196                    ;(Digit2x100) MSD
0196 F6A9                JC D255      ;Kontrol Data>255
0198 EB95                DJNZ R3,DBD2
019A C9                    DEC R1
019B BBOA                MOV R3,$0A   ;Dec to Bin Digit1
019D                    ;(Digit1x10)
019D 61        DBD1     ADD A,@R1
019E F6A9                JC D255      ;Kontrol Data>255
01A0 EB9D                DJNZ R3,DBD1
01A2 C9                    DEC R1
```

```
01A3 61          DBD0      ADD A,@R1          ;Dec to Bin Digit0
01A4 39          OUTL P1,A         ;(Digit0x1)  LSD
01A4 F6A9       JC D255          ;Kontrol Data>255
01A6 AC         MOV R4,A          ;R4:Data (Bin)
01A7 24AD       JMP SEROUT        ;Data<=255
01A9 547E       D255      CALL S100          ;Data>255
01AB 04A1       JMP DATA
01AD B83C       SEROUT     MOV R0,#$3C      ;Serial Output
01AF           JC 0071          ;(Data<=255)
01AF 2390       RTS          MOV A,#$90      ;Request to Send
01B1 60         ADD A,@R0
01B2 39         OUTL P1,A
01B3 BAOA       MOV R2,#$0A      ;Yaklaşık 10 saniye
01B5 0A        CCTS      IN A,P2          ;Control Clear to Send
01B6 F2BA       OUTL P1,A         ;Serial Data Output:1
01B8 24CE       JMP STRBIT       ;CTS aktif
01BA ECB5       CCTSO     DJNZ R4,CCTS
01BC BCFF       MOV R4,#$FF
01BE EBB5       OUTL P1,A         ;CTS aktif
01C0 BBFF       MOV R3,#$FF
01C2 EAB5       DJNZ R2,CCTS
01C4 547E       CALL S100        ;CTS gelmedi
01C6 547E       CALL S100
01C8 547E       CALL S100
01CA 547E       STRBIT     CALL S100        ;Stop Bit
01CC 04A1       JMP DATA
01CE B93C       STRBIT     MOV R1,#$3C      ;Start Bit
01D0 2310       MOV A,#$10
```



```
01D2 61          ADD A,@R1
01D3 39          OUTL P1,A
01D4 FD          MOV A,R5
01D5 A8          MOV RO,A
01D6 54A3        CALL TIMER      ;2 Stop Bit
01D8 BB08        DOUT      MOV R3,#8          ;Data Output
01DA FC          MOV A,R4
01DB 67          OUT        RRC A
01DC F6E5        JC OUT1
01DE AA          OUT0      MOV R2,A          ;Serial Data Output:0
01DF 2310        MOV A,#$10
01E1 61          ADD A,@R1
01E2 39          DATAIN  OUTL P1,A      ;Data Input
01E3 24EA        JMP OUT3        ;Yekleik 1 Gabika
01E5 AA          OUT1      MOV R2,A          ;Serial Data Output:1
01E6 2390        MOV A,#$90      ;Ras3P:Digit2(K90)
01E8 61          ADD A,@R1      ;Ras3D:Digit1(L90)
01E9 39          DING      OUTL P1,A
01EA FD          OUT3      MOV A,R5
01EB A8          MOV RO,A
01EC 54A3        CALL TIMER
01EE FA          MOV A,R2
01EF EBDB        DJNZ R3,OUT
0200            ORG $0200
0200 BB02        STPBIT  MOV R3,#2          ;Stop Bit
0202 2390        SBO      MOV A,#$90
0204 61          DING      ADD A,@R1
0205 39          OUTL P1,A
```

```
0206 FD      DINS      MOV A,R5
0207 A8      MOV RO,A
0208 54A3     CALL TIMER
020A FE      MOV A,R6
020B 120F     JBO SB1      ;2 Stop Bit
020D 4411     JMP SB2      ;1 Stop Bit
020F EB02     SB1         DJNZ R3,SBO
0211 23D0     SB2         MOV A,#$D0
0213 61      ADD A,@R1
0214 39      OUTL P1,A
0215 5489     CALL S350    ;Data 0A to 00
0217 04A1     JMP DATA
0219 BA2B     DATAIN    MOV R2,#$2B   ;Data Input
021B         XRL A,#$0B ;(Yaklaşık 1 dakika
021B         JNZ DINS    ;bekler)
021B B93F     MOV R1,#$3F ;Ram3F:Digit2(MSD)
021D         JNZ DIN10   ;Ram3D:Digit1(LSD)
021D B800     DINO       MOV RO,#0
021F 08      DIN1       INS A,BUS
0220 922E     JB4 DIN2
0222 EC1D     DJNZ R4,DINO ;Data 00 to FF
0224 BCFF     MOV R4,#$FF
0226 EB1D     DIN7       DJNZ R3,DINO
0228 BBFF     MOV R3,#$FF
022A EA1D     DJNZ R2,DINO
022C 447D     JMP DIN11   ;Data 0D to FF
022E F8      DIN2       MOV A,RO
022F 961F     DIN8       JNZ DIN1
```

```
0231 08     DIN3   INS A,BUS
0232 530F           ANL A,#$0F
0234 A1           MOV @R1,A
0235 D300           XRL A,#0
0237 963D           JNZ DIN4
0239 B1FF           MOV @R1,$$FF ;Data 00 to FF
023B 4471           JMP DIN10
023D F1     DIN4   MOV A,@R1
023E D30A           XRL A,$$0A
0240 9646           JNZ DIN5
0242 B100           MOV @R1,#0 ;Data 0A to 00
0244 4471           JMP DIN10
0246 F1     DIN5   MOV A,@R1
0247 D30B           XRL A,$$0B
0249 964F           JNZ DIN6
024B B1FF           MOV @R1,$$FF ;Data 0B to FF
024D 4471           JMP DIN10
024F F1     DIN6   MOV A,@R1
0250 D30C           XRL A,$$0C
0252 9658           JNZ DIN7
0254 B1FF           MOV @R1,$$FF ;Data 0C to FF
0256 4471           JMP DIN10
0258 F1     DIN7   MOV A,@R1
0259 D30D           XRL A,$$0D
025B 9661           JNZ DIN8
025D B1FF           MOV @R1,$$FF ;Data 0D to FF
025F 4471           JMP DIN10
0261 F1     DIN8   MOV A,@R1
```

```
0262 D30E          XRL A,#$0E
0264 966A          JNZ DIN9
0266 B1FF          SOUND MOV @R1,#$FF      ;Data 0E to FF
0268 4471          JMP DIN10
026A F1            DIN9  MOV A,@R1
026B D30F          XRL A,#$0F
026D 9671          JNZ DIN10
026F B1FF          MOV @R1,#$FF      ;Data 0F to FF
0271 C9            DIN10 DEC R1
0272 F9            MOV A,R1
0273 D33C          XRL A,#$3C
0275 C67D          JZ DIN11
0277 B801          TIMER MOV R0,#1
0279 BA2B          MOV R2,#$2B
027B 441F          JMP DIN1
027D 83            DIN11 RET
027E 54E9          S100 CALL DELAY      ;Sound 100Hz
0280              TIMER1 STOP TCNT      ;(Hata sesi)
0280 BA32          MOV R2,#$32
0282 B8CE          CY00 MOV R0,#$CE      ;Control 280
0284 5494          S100A CALL SOUND
0286 EA84          DJNZ R2,S100A
0288 83            RET
0289 54E9          S350 CALL DELAY      ;Sound 350Hz
028B              DEC R1      ;(O.K. sesi)
028B BAAF          MOV R2,#$AF
028D B8EE          MOV R0,#$EE
028F 5494          S350A CALL SOUND
```

```
0291 EA8F          DJNZ R2,S350A      ;R0:1 ise dogru
0293 83           RET              ;R0:0 ise hatali
0294 B93C      SOUND  MOV R1,#$3C      ;Control X00
0296 23F0          MOV A,#$F0
0298 61           ADD A,@R1
0299 39           OUTL P1,A          ;P15:1
029A 54A3          CALL TIMER
029C 23D0          MOV A,#$D0
029E 61           ADD A,@R1
029F 39           OUTL P1,A          ;P15:0
02A0 54A3          CALL TIMER
02A2 83           RET
02A3 F8           TIMER  MOV A,R0      ;R0:1 ise dogru
02A4 62           MOV T,A          ;R0:0 ise hatali
02A5 55           STRT T          ;Control X01
02A6 16AA      TIMERO JTF TIMER1
02A8 44A6          JMP TIMERO
02AA 65           TIMER1 STOP TCNT
02AB 83           RET
02AC B93E      CX99  MOV R1,#$3E      ;Control X99
02AE B800          MOV R0,#0
02B0 F1           MOV A,@R1
02B1 D309          XRL A,#9        ;R0:1 ise dogru
02B3 96BD      CX99  JNZ CX99A      ;R0:0 ise hatali
02B5 C9           RELAY  DEC R1      ;Relay on-off
02B6 F1           MOV A,@R1
02B7 D309          XRL A,#9
02B9 96BD          JNZ CX99A
```

```
02BB B801          MOV R0,#1          ;R0:1 ise dođru
02BD 83 02        CX99A  RET  #2,#2          ;R0:0 ise hatalı
02BE B93E        CX00  MOV R1,#$3E          ;Control X00
02C0 B800        DELAY  MOV R0,#0  DELAY
02C2 F1          MOV A,@R1
02C3 D300        XRL A,#0  DELAY
02C5 96CF        JNZ CX00A
02C7 C9          DEC R1  DELAY
02C8 F1          MOV A,@R1
02C9 D300        XRL A,#0
02CB 96CF        JNZ CX00A
02CD B801          MOV R0,#1          ;R0:1 ise dođru
02CF 83          CX00A  RET          ;R0:0 ise hatalı
02D0 B93E        CX01  MOV R1,#$3E          ;Control X01
02D2 B800        MOV R0,#0
02D4 F1          MOV A,@R1
02D5 D300        XRL A,#0
02D7 96E1        JNZ CX01A
02D9 C9          DEC R1
02DA F1          MOV A,@R1
02DB D301        XRL A,#1
02DD 96E1        JNZ CX01A
02DF B801          MOV R0,#1          ;R0:1 ise dođru
02E1 83          CX01A  RET          ;R0:0 ise hatalı
02E2 B93C        RELAY  MOV R1,#$3C          ;Röle on-off
02E4 23D0        MOV A,$D0
02E6 61          ADD A,@R1
02E7 39          OUTL P1,A
```

```
02E8 83 83 RET
02E9 BA02 DELAY MOV R2,#2 ;Yaklaşık 1 saniye
02EB 0041 DATA2 00FB 00D1 019D ;gecikme DB RING 0023
02EB ECEB 0042 DELAYO DJNZ R4,DELAYO 00FH 0080 875 01AF
02ED BCFF 0043 DATA21 0111 MOV R4,#$FF 00FH1 008F 5100 0275
02EF EBEB 0044 DATA22 0112 DJNZ R3,DELAYO 00FH2 0093 5100A 0264
02F1 BBFF 0045 DATA3 0113 MOV R3,#$FF 00F 0105 5350 0282
02F3 EAEB 0046 DATA30 0113 DJNZ R2,DELAYO 00F0 010E 5350A 028F
02F5 83 0047 DATA31 0114 RET 00F1 0115 580 0202
0000 02AC 0048 DATA32 0114 END 00F10 0271 00F5 01EA 5B1 020F
CYR9A 02BD 0049 DATA4 0151 DIN11 027D 00FA 003A 5B2 0211
D255 01A9 0050 DATA40 0157 DIN2 022E 00 005C 5B00BT 01AD
DATA 00A1 0051 DATA41 0174 DIN3 0291 000 0080 50UND 0291
DATA0 00AC 0052 DATA42 0178 DIN4 023D 5B1 0062 5TRBIT 0200
DATA00 00BC 0053 DATA5 0170 DIN5 0246 007 0073 5TRBIT 01CE
DATA1 00CC 0054 DATA50 0180 DIN6 024F 000 0073 5TRBIT 0283
DATA10 00D6 0055 DATA51 018A DIN7 0259 000 0073 5TRBIT 0283
DATA11 00E8 0056 DATA10 0216 DIN8 0251 000 0014 5TRBIT 0283
DATA12 00F7 0057 00DC 01A3 DIN9 028A 000 0014 5TRBIT 0283
```

SYMBOL TABLE

BAUD	0041	DATA2	00FB	DBD1	019D	DOUT	01D8	RING	0023
CCTS	01B5	DATA20	0111	DBD2	0195	OFFH	0080	RTS	01AF
CCTS0	01BA	DATA21	011E	DECBIN	018E	OFFH1	008F	S100	027E
CX00	02BE	DATA22	0122	DELAY	02E9	OFFH2	0093	S100A	0284
CX00A	02CF	DATA3	0126	DELAYO	02EB	OUT	01DB	S350	0289
CX01	02D0	DATA30	013C	DINO	021D	OUTO	01DE	S350A	028F
CX01A	02E1	DATA31	0149	DIN1	021F	OUT1	01E5	SB0	0202
CX99	02AC	DATA32	014D	DIN10	0271	OUT3	01EA	SB1	020F
CX99A	02BD	DATA4	0151	DIN11	027D	PACK	003A	SB2	0211
D255	01A9	DATA40	0167	DIN2	022E	RD	005C	SEROUT	01AD
DATA	00A1	DATA41	0174	DIN3	0231	RD0	0060	SOUND	0294
DATA0	00AC	DATA42	0178	DIN4	023D	RD1	0062	STPBIT	0200
DATA00	00BC	DATA5	017C	DIN5	0246	RD2	0073	STRBIT	01CE
DATA1	00C0	DATA50	0180	DIN6	024F	RD3	0076	TIMER	02A3
DATA10	00D6	DATA51	018A	DIN7	0258	RELAY	02E2	TIMERO	02A6
DATA11	00E3	DATAIN	0219	DIN8	0261	RESET	0014	TIMER1	02AA
DATA12	00E7	DBD0	01A3	DIN9	026A	RESTRT	001B		

BÖLÜM 7 : CİHAZIN KULLANIMI

ANAHTAR VE BUTONLAR

SW1 (Off Hook) butonu : Bu butona basıldığı zaman cihaz telefon zilinin çalmasına gerek olmadan, telefon hattına bağlanır. Cihazın yanında bulunan bir telefon yardımıyla sisteme bilgi gönderebilmek için düşünülmüştür.

SW2 (Reset) butonu : Bu butona basıldığı zaman sistem reset olur. İlk anda bütün röleler kontağını çeker ve bırakır. Cihaz telefon hattından ayrılır ve çıkış röleleri enerjisiz kalır. Bunun anlamı programın en başa dönmesidir.

SW3 (DIP) anahtarı : 5'li bir anahtar setidir. Anahtarların iki pozisyonu vardır; açık (on) ve kapalı (off). Bu anahtar seti ile cihazın set değerleri belirlenir. Bunlar Tablo 7.1'de gösterilmiştir.

TONLAR

O.K. sesi : Frekansı 350Hz'tir. Kod ya da verinin doğru olduğunu ve işlemin yapıldığını gösterir.

Hata sesi : Frekansı 100Hz'tir. Kod ya da verinin hatalı olduğunu gösterir. Eğer arka arkaya dört defa duyulursa RS-232C seri arabiriminden bilgi gönderilecek cihaz, almaya uygun değildir (RTS gönderilir ve 10 saniye içinde CTS alınamazsa).

KODLAR

999 : Cihaz hatta bağlandıktan sonra sisteme girebilmek için bu kod gereklidir. Sisteme girdikten sonra tekrar bu

kod girilirse cihaz telefon hattından ayrılır.

500 : Out1 off (Out1 rölesi kontağını bırakır)

501 : Out1 on (Out1 rölesi kontağını çeker)

600 : Out2 off

601 : Out2 on

700 : Out3 off

701 : Out3 on

800 : Out4 off

801 : Out4 on

Cihaz hatta bağlıyken 1 dakika içinde kod ya da veri alınamazsa hattın ayrılır.

SW3 DIP					
1	2	3	4	5	
off	off				Zil sayısı : 1
on	off				" " : 4
off	on				" " : 8
on	on				" " : 12
		off			Veri paketi : 10 bit (1 stop bit)
		on			" " : 11 bit (2 stop bit)
			off	off	Baud rate : 110
			on	off	" " : 300
			off	on	" " : 1200
			on	on	" " : 2400

Tablo 7.1 : Set değerleri

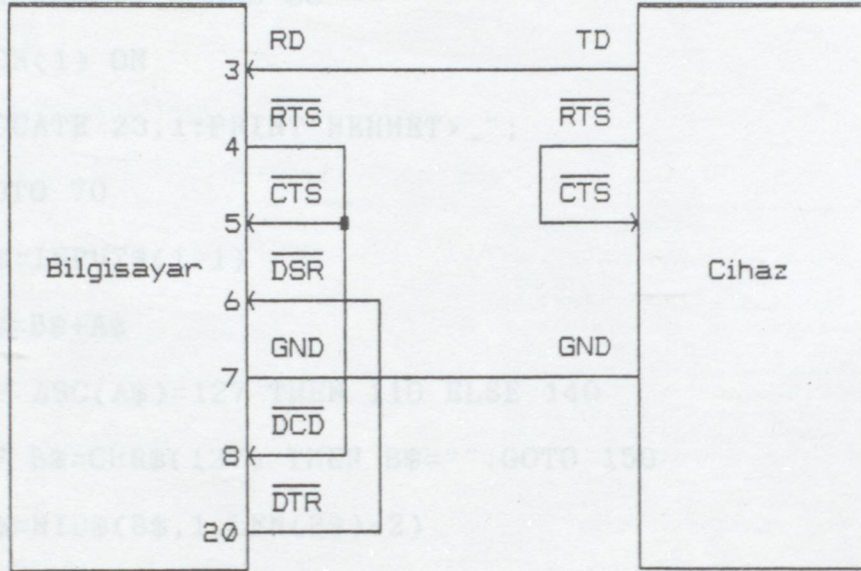
7.1 CİHAZIN BİLGİSAYARA BAĞLANMASI

Cihaz RS-232C hattı üzerinden bilgisayara bağlanabilir. Biz uygulama olarak IBM PC uyumlu bilgisayarları seçtik.

Burada dikkat edilmesi gereken nokta, hem bilgisayarın hem de cihazın DTE olmasıdır (Cihaz yalnızca bilgisayara değil, printer vs. gibi birimlere de bilgi göndereceği için DTE olarak düşünülmüştür.). Bu nedenle el sıkışma telleri kandırılmalıdır. Şekil 7.1'de yapılması gereken bağlantı gösterilmiştir.

Bilgisayarda dönen bir program yardımıyla, telefon tuşlarından basılan 000 ile 255 arasındaki rakamlar ASCII karakter olarak kabul edilir ve monitörde gösterilir. 013 (CR) tuşlarına basıldığı zaman, daha önce gelen karakterler komut olarak kabul edilir ve işletim sistemine (DOS) gidilerek o komutun işlevi yerine getirilir.

Bunun için yazılan BASICA dilindeki program verilmiştir. Bu program %100 IBM PC uyumlu bilgisayarlar içindir. Bazı PC bilgisayarlarda BASICA dilinin çalışmadığı görülmüştür. Bu gibi durumlarda benzer bir program GWBASIC veya başka bir dilde yazılabilir.



Şekil 7.1 : Cihaz ile bilgisayar arasındaki bağlantı

```
10 CLS
20 KEY OFF
30 OPEN "com1:110,n,8,2,rs,cs,ds,cd" AS #1
40 ON COM(1) GOSUB 80
50 COM(1) ON
60 LOCATE 23,1:PRINT"MEHMET>_";
70 GOTO 70
80 A$=INPUT$(1.1)
90 B$=B$+A$
100 IF ASC(A$)=127 THEN 110 ELSE 140
110 IF B$=CHR$(127) THEN B$="":GOTO 150
120 B$=MID$(B$,1,LEN(B$)-2)
130 LOCATE 23,8:PRINT B$;" "
140 LOCATE 23,8:PRINT B$;"_";
150 IF ASC(A$)=13 THEN 170
160 GOTO 210
170 B$=MID$(B$,1,LEN(B$)-1)
180 LOCATE 23,8:PRINT B$;" ":PRINT" "
190 SHELL B$:PRINT:PRINT
200 LOCATE 23,1:PRINT"MEHMET>_":B$=""
210 RETURN
```



G8870
G8870

Microcircuits

CMOS DTMF Integrated Receiver

Features

- CMOS technology for low power consumption—35 mW max.
- Full DTMF receiver
- Provides DTMF high and low group filtering
- Adjustable acquisition and release times
- Dial tone suppression
- Integrated bandsplit filter and digital decoder functions
- On-chip differential amplifier, clock oscillator, and latched three-state bus.
- Uses inexpensive 3.58 MHz crystal
- Central office quality and performance
- Single +5 volt power supply
- 18-pin DIP or 20-pin PLCC package

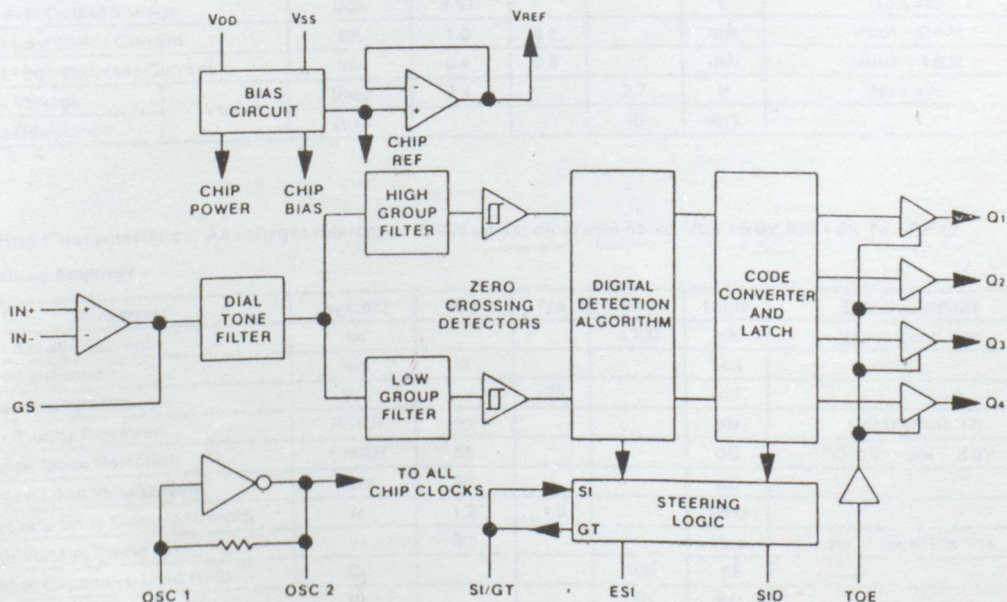
Applications

- PABX
- Central office
- Key systems
- Mobile radio
- Remote control
- Remote data entry

General Description

The CMD G8870 provides full DTMF receiver capability by integrating both the bandsplit filter and digital decoder functions into a single 18-pin DIP or 20-pin PLCC package. The G8870 is manufactured using state-of-the-art CMOS process technology for low power consumption (35 mW max.) and precise data handling. The filter section uses a switched capacitor technique for both high and low group filters and dial tone rejection. The G8870 decoder uses digital counting techniques for the detection and decoding of all 16 DTMF tone pairs into a 4-bit code. The G8870 minimizes external component count by providing an on-chip differential input amplifier, clock generator, and a latched three-state interface bus. The on-chip clock generator requires only a low cost TV crystal as an external component.

Block Diagram





Absolute Maximum Ratings: (Note 1)

Parameter	Symbol	Value
Power Supply Voltage (VDD-VSS)	VDD	6.0V Max
Voltage on any Pin	Vdc	VSS-0.3, VDD+0.3
Current on any Pin	IDD	10 mA Max
Operating Temperature	TA	-40°C to +85°C
Storage Temperature	TS	-65°C to +150°C

This device contains input protection against damage due to high static voltages or electric fields; however, precautions should be taken to avoid application of voltages higher than the maximum rating.

Notes:

1. Exceeding these ratings may cause permanent damage, functional operation under these conditions is not implied.

DC Characteristics: All voltages referenced to VSS unless otherwise noted. VDD = 5.0V, VSS = 0V, TA = 25°C.

Parameter	Symbol	Min	Typ	Max	Units	Test Conditions
Operating Supply Voltage	VDD	4.75		5.25	V	
Operating Supply Current	IDD		3.0	7.0	mA	
Power Consumption	PO		15	35	mW	f = 3.579 MHz; VDD = 5.0V
Low Level Input Voltage	VIL			1.5	V	
High Level Input Voltage	VIH	3.5			V	
Input Leakage Current	I _{IH} /I _{IL}			0.1	μA	V _{IN} = VSS or VDD (Note 11)
Pull Up (Source) Current on TOE	ISO		6.5	15.0	μA	TOE = 0 V
Input Impedance, Signal Inputs 1,2	R _{IN}	8	10		Meg Ω	@ 1KHz
Steering Threshold Voltage	V _{Tst}	2.2		2.5	V	
Low Level Output Voltage	VOL			0.03	V	No Load
High Level Output Voltage	VOH	4.97			V	No Load
Output Low (Sink) Current	IOL	1.0	2.5		mA	V _{OUT} = 0.4 V
Output High (Source) Current	IOH	0.4	0.8		mA	V _{OUT} = 4.6 V
Output Voltage	VREF	VREF	2.4	2.7	V	No Load
Output Resistance		ROR		10	KΩ	

Operating Characteristics: All voltages referenced to VSS unless otherwise noted. VDD = 5.0V, VSS = 0V, TA = 25°C.

Gain Setting Amplifier

Parameter	Symbol	Min	Typ	Max	Units	Test Conditions
Input Leakage Current	I _{IN}			±100	nA	VSS < V _{IN} < VDD
Input Resistance	R _{IN}	10			MΩ	
Input Offset Voltage	V _{OS}		±25		mV	
Power Supply Rejection	PSRR	50			dB	1 KHz (Note 12)
Common Mode Rejection	CMRR	55			dB	-3.0 V < V _{IN} < 3.0V
DC Open Loop Voltage Gain	A _{VOL}	60			dB	
Open Loop Unity Gain Bandwidth	f _c	1.2	1.5		MHz	
Output Voltage Swing	V _O	3.5			V _{p-p}	R _L = 100KΩ to VSS
Tolerable Capacitive Load (GS)	C _L			100	pF	
Tolerable Resistive Load (GS)	R _L			50	KΩ	
Common Mode Range	V _{cm}	2.5			V _{p-p}	No Load

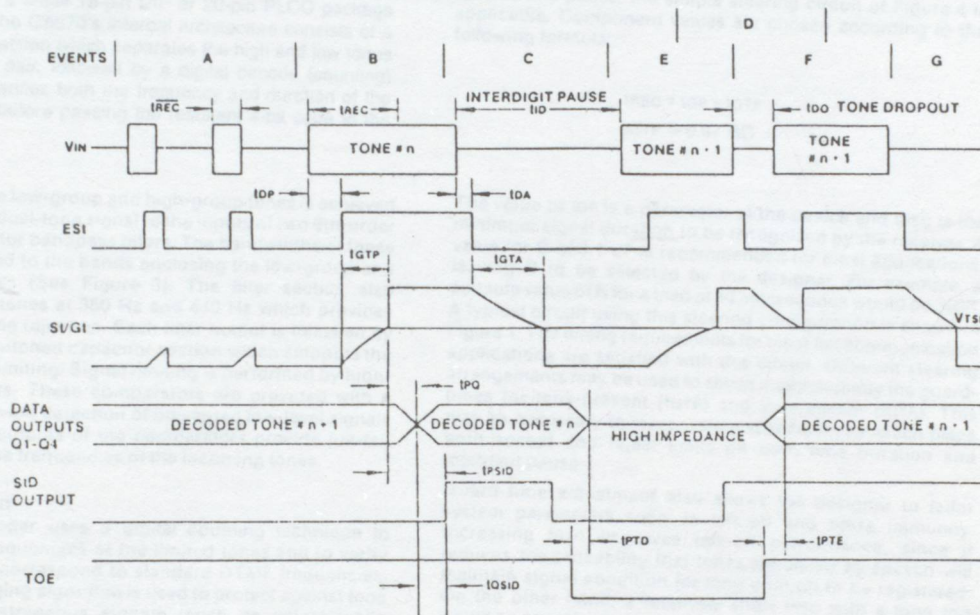


AC Characteristics: All voltages referenced to VSS unless otherwise noted. VDD = 5.0V, VSS = 0V, TA = 25°C, fCLK = 3.579545 MHz using test circuit (Fig. 1).

Parameter	Symbol	Min	Typ	Max	Units	Notes
Valid Input Signal Levels (each tone of composite signal)		-29		+1	dBm	1,2,3,4,5,8
		27.5		869	mVRMS	
Positive Twist Accept				10	dB	2,3,4,8
Negative Twist Accept				10	dB	
Freq. Deviation Accept Limit				1.5%±2 Hz	Nom.	2,3,5,8,10
Freq. Deviation Reject Limit		±3.5%			Nom.	2,3,5
Third Tone Tolerance		-25	-16		dB	2,3,4,5,8,9,13,14
Noise Tolerance			-12		dB	2,3,4,5,6,8,9
Dial Tone Tolerance		+18	+22		dB	2,3,4,5,7,8,9
Tone Present Detection Time	TDP	5	8	14	mS	Refer to Timing Diagram
Tone Absent Detection Time	TDA	0.5	3	8.5	mS	
Min. Tone Duration Accept	TREC			40	mS	(User Adjustable) Times shown are obtained with circuit in Fig. 1
Max. Tone Duration Reject	TREC	20			mS	
Min. Interdigit Pause Accept	TID			40	mS	
Max. Interdigit Pause Reject	TDO	20			mS	
Propagation Delay (St to Q)	TPQ		6	11	µS	TOE = VDD
Propagation Delay (St to StD)	TPStD		9		µS	
Output Data Set Up (Q to StD)	TQStD		4.0		µS	
Propagation Delay (TOE to Q)	Enable.	TPTE	50	60	nS	RL = 10K!! CL = 50pF
	Disable	TPTD	300		nS	
Crystal/Clock Frequency	fCLK	3.5759	3.5795	3.5831	MHz	
Clock Output (OSC2)	Capacitive Load	CLO		30	pF	

NOTES:

1. dBm = decibels above or below a reference power of 1 mW into a 600 ohm load.
2. Digit sequence consists of all 16 DTMF tones.
3. Tone duration = 40 mS. Tone pause = 40 mS.
4. Nominal DTMF frequencies are used.
5. Both tones in the composite signal have an equal amplitude.
6. Bandwidth limited (0 to 3 KHz) Gaussian Noise.
7. The precise dial tone frequencies are (350 Hz and 440 Hz) ±2%.
8. For an error rate of better than 1 in 10,000.
9. Referenced to lowest level frequency component in DTMF signal.
10. Minimum signal acceptance level is measured with specified maximum frequency deviation.
11. Input pins defined as IN+, IN-, and TOE.
12. External voltage source used to bias VREF.
13. This parameter also applies to a third tone injected onto the power supply.
14. Referenced to Figure 1. Input DTMF tone level at -28 dBm.

Timing Diagram

Explanation of Events

- A) Tone bursts detected, tone duration invalid, outputs not updated
- B) Tone #n detected, tone duration valid, tone decoded and latched in outputs.
- C) End of tone #n detected, tone absent duration valid, outputs remain latched until next valid tone.
- D) Outputs switched to high impedance state.
- E) Tone #n + 1 detected, tone duration valid, tone decoded and latched in outputs (currently high impedance).
- F) Acceptable dropout of tone #n + 1, tone absent duration invalid, outputs remain latched.
- G) End of tone #n + 1 detected, tone absent duration valid, outputs remain latched until next valid tone.

Explanation of Symbols

- VIN DTMF composite input signal.
- ES1 Early Steering Output. Indicates detection of valid tone frequencies.
- S1/G1 Steering input/guard time output. Drives external RC timing circuit.
- Q1-Q4 4-bit decoded tone output.
- S1D Delayed Steering Output. Indicates that valid frequencies have been present/absent for the required guard time, thus constituting a valid signal.
- TOE Tone Output Enable (input). A low level shifts Q1-Q4 to its high impedance state.
- \overline{IREC} Maximum DTMF signal duration not detected as valid.
- IREC Minimum DTMF signal duration required for valid recognition.
- IID Minimum time between valid DTMF signals.
- IDO Maximum allowable drop-out during valid DTMF signal.
- IDP Time to detect the presence of valid DTMF signals.
- IDA Time to detect the absence of valid DTMF signals.
- IGTP Guard time, tone present.
- IGTA Guard time, tone absent.

Functional Description

The CMD G8870 DTMF Integrated Receiver provides the design engineer with not only low power consumption, but high performance in a small 18-pin DIP or 20-pin PLCC package configuration. The G8870's internal architecture consists of a bandsplit filter section which separates the high and low tones of the received pair, followed by a digital decode (counting) section which verifies both the frequency and duration of the received tones before passing the resultant 4-bit code to the output bus.

Filter Section

Separation of the low-group and high-group tones is achieved by applying the dual-tone signal to the inputs of two 9th-order switched capacitor bandpass filters. The bandwidths of these filters correspond to the bands enclosing the low-group and high-group tones (See Figure 3). The filter section also incorporates notches at 350 Hz and 440 Hz which provides excellent dial tone rejection. Each filter output is followed by a single-order switched capacitor section which smooths the signals prior to limiting. Signal limiting is performed by high-gain comparators. These comparators are provided with a hysteresis to prevent detection of unwanted low-level signals and noise. The outputs of the comparators provide full-rail logic swings at the frequencies of the incoming tones.

Decoder Section

The G8870 decoder uses a digital counting technique to determine the frequencies of the limited tones and to verify that these tones correspond to standard DTMF frequencies. A complex averaging algorithm is used to protect against tone simulation by extraneous signals (such as voice) while providing tolerance to small frequency variations. The averaging algorithm has been developed to ensure an optimum combination of immunity to "talk-off" and tolerance to the presence of interfering signals (third tones) and noise. When the detector recognizes the simultaneous presence of two valid tones (known as "signal condition"), it raises the "Early Steering" flag (EST). Any subsequent loss of signal condition will cause EST to fall.

Steering Circuit

Before the registration of a decoded tone pair, the receiver checks for a valid signal duration (referred to as "character-recognition-condition"). This check is performed by an external RC time constant driven by EST. A logic high on EST causes Vc (See Figure 4) to rise as the capacitor discharges. Providing signal condition is maintained (EST remains high) for the validation period (tGTF), Vc reaches the threshold (VTst) of the steering logic to register the tone pair, thus latching its corresponding 4-bit code (See Figure 2) into the output latch. At this point, the GT output is activated and drives Vc to VDD. GT continues to drive high as long as EST remains high. Finally, after a short delay to allow the output latch to settle, the "delayed steering" output flag (StD) goes high, signaling that a received tone pair has been registered. The contents of the output latch are made available on the 4-bit output bus by raising the three-state control input (TOE) to a logic high. The steering circuit works in reverse to validate the interdigit pause between signals. Thus, as well as rejecting signals too short to be considered valid, the receiver will tolerate signal interruptions (drop outs) too short to be considered a valid pause. This capability, together with the capability of selecting the steering time constants externally, allows the designer to tailor performance to meet a wide variety of system requirements.

Guard Time Adjustment

In situations which do not require independent selection of receive and pause, the simple steering circuit of Figure 4 is applicable. Component values are chosen according to the following formula:

$$t_{REC} = t_{DP} + t_{GTP}$$

$$t_{GTP} \approx 0.67 RC$$

The value of t_{DP} is a parameter of the device and t_{REC} is the minimum signal duration to be recognized by the receiver. A value for C of 0.1 μ F is recommended for most applications, leaving R to be selected by the designer. For example, a suitable value of R for a t_{REC} of 40 milliseconds would be 300K. A typical circuit using this steering configuration is shown in Figure 1. The timing requirements for most telecommunication applications are satisfied with this circuit. Different steering arrangements may be used to select independently the guard-times for tone-present (tGTP) and tone-absent (tGTA). This may be necessary to meet system specifications which place both accept and reject limits on both tone duration and interdigit pause.

Guard time adjustment also allows the designer to tailor system parameters such as talk-off and noise immunity. Increasing t_{REC} improves talk-off performance, since it reduces the probability that tones simulated by speech will maintain signal condition for long enough to be registered. On the other hand, a relatively short t_{REC} with a long t_{DP} would be appropriate for extremely noisy environments where fast acquisition time and immunity to drop-outs would be requirements. Design information for guard time adjustment is shown in Figure 5.

Input Configuration

The input arrangement of the G8870 provides a differential input operational amplifier as well as a bias source (V_{REF}) which is used to bias the inputs at mid-rail.

Provision is made for connection of a feedback resistor to the op-amp output (GS) for adjustment of gain.

In a single-ended configuration, the input pins are connected as shown in Figure 1 with the op-amp connected for unity gain and V_{REF} biasing the input at $\frac{1}{2}V_{DD}$. Figure 6 shows the differential configuration, which permits the adjustment of gain with the feedback resistor R_s .

DTMF Clock Circuit

The internal clock circuit is completed with the addition of a standard television color burst crystal having a resonant frequency of 3.579545 MHz. A number of G8880 devices can be connected as shown in Figure 8 such that only one crystal is required.

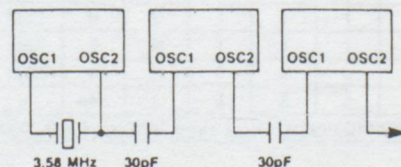


Figure 8. Common Crystal Connection

Pin Function Table

Name	Description	
IN+	Non-inverting input	Connections to the front-end differential amplifier
IN-	Inverting input	
GS	Gain Select. Gives access to output of front-end differential amplifier for connection of feedback resistor.	
VREF	Reference voltage output (nominally VDD/2). May be used to bias the inputs at mid-rail.	
IC	Internal connection. Must be tied to VSS.	
IC	Internal connection. Must be tied to VSS.	
OSC1	Clock input	3.579545 MHz crystal connected between these pins completes internal oscillator.
OSC2	Clock output	
VSS	Negative power supply (Normally connected to 0V).	
TOE	Three-state output enable (input). Logic high enables the outputs Q1-Q4. Internal pull-up.	
Q1 Q2 Q3 Q4	Three-state outputs. When enabled by TOE, provides the code corresponding to the last valid tone pair received. (See Fig. 2.)	
STD	Delayed steering output. Presents a logic high when a received tone pair has been registered and the output latch is updated. Returns to logic low when the voltage on Sv/GT falls below VTSi.	
ESi	Early steering output. Presents a logic high immediately when the digital algorithm detects a recognizable tone pair (signal condition). Any momentary loss of signal condition will cause ESi to return to a logic low.	
Sv/GT	Steering input/guard time output (bidirectional). A voltage greater than VTSi detected at St causes the device to register the detected tone pair and update the output latch. A voltage less than VTSi frees the device to accept a new tone pair. The GT output acts to reset the external steering time constant, and its state is a function of ESi and the voltage on St. (See Fig. 2.)	
VDD	Positive power supply	

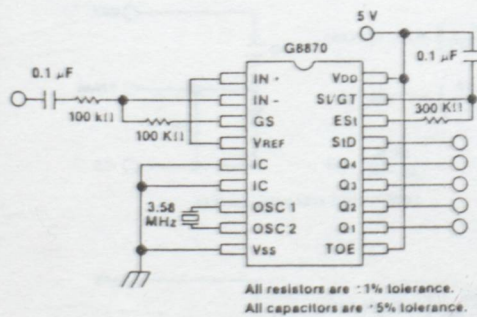


Figure 1. Single Ended Input Configuration

FLOW	FHIGH	KEY	TOE	Q4	Q3	Q2	Q1
697	1209	1	H	0	0	0	1
697	1336	2	H	0	0	1	0
697	1477	3	H	0	0	1	1
770	1209	4	H	0	1	0	0
770	1336	5	H	0	1	0	1
770	1477	6	H	0	1	1	0
852	1209	7	H	0	1	1	1
852	1336	8	H	1	0	0	0
852	1477	9	H	1	0	0	1
941	1336	0	H	1	0	1	0
941	1209		H	1	0	1	1
941	1477	#	H	1	1	0	0
697	1633	A	H	1	1	0	1
770	1633	B	H	1	1	1	0
852	1633	C	H	1	1	1	1
941	1633	D	H	0	0	0	0
-	-	ANY	L	Z	Z	Z	Z

L = LOGIC LOW, H = LOGIC HIGH, Z = HIGH IMPEDANCE

Figure 2. Functional Decode Table

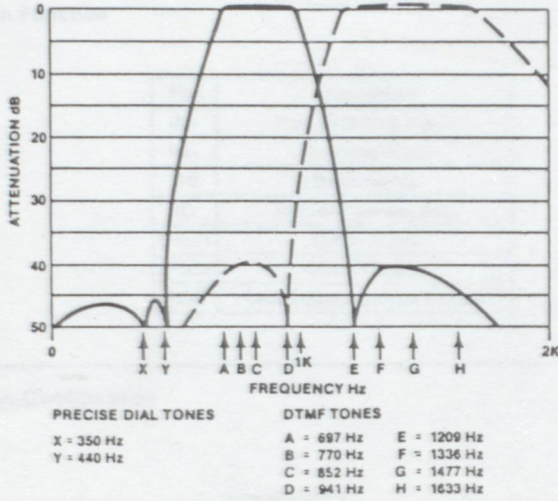


Figure 3. Typical Filter Characteristic

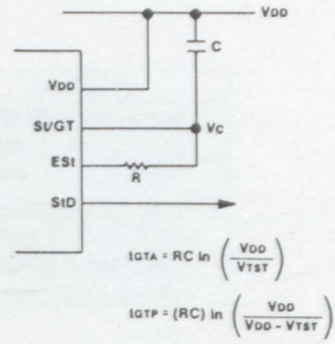


Figure 4. Basic Steering Circuit

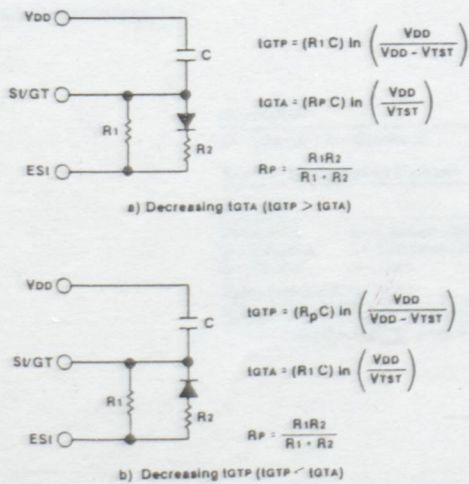
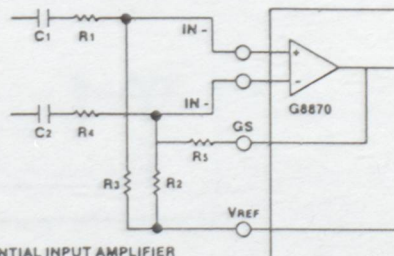


Figure 5. Guard Time Adjustment



DIFFERENTIAL INPUT AMPLIFIER

- C1 = C2 = 10 nF
- R1 = R4 = R5 = 100 K Ω
- R2 = 80 K Ω , R3 = 37.5 K Ω
- $R_3 = \frac{R_2 R_5}{R_2 + R_5}$
- VOLTAGE GAIN (Av diff) = $\frac{R_5}{R_1}$
- INPUT IMPEDANCE
- (ZINDIFF) = $2 \sqrt{R_1^2 + \left(\frac{1}{\omega C} \right)^2}$

All resistors are — 1% tolerance.
All capacitors are — 5% tolerance.

Figure 6. Differential Input Configuration

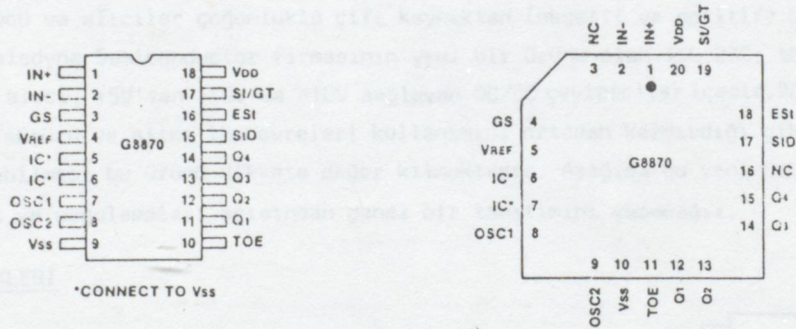


Pin Function

Pin	Description
IN+	Non-Inverting Input
IN-	Inverting Input
GS	Gain Select
IC	Internal Connection
OSC1	Clock Input
OSC2	Clock Output
TOE	Three-State Output Enable

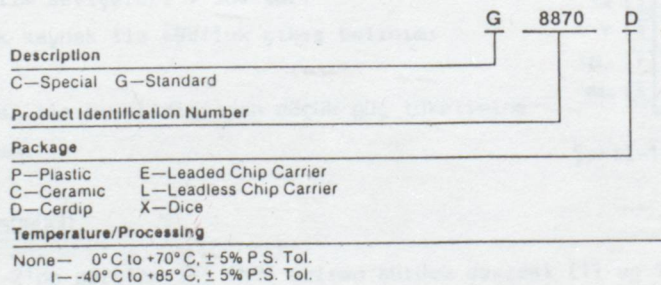
Pin	Description
Q1-4	Three-State Data Outputs
StD	Delayed Steering Output
ES1	Early Steering Output
St/GT	Steering Input/Guard Time Input
VREF	Reference Voltage Output
VSS	Negative Power Supply
VDD	Positive Power Supply

Pin Configuration



*CONNECT TO VSS

Ordering Information

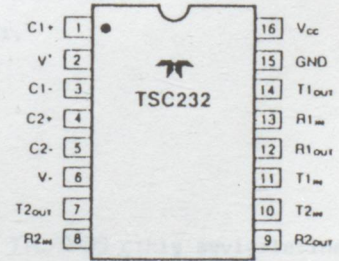


TÜMLEŞİK RS-232 ARABAĞLAŞIM HAT SÜRÜCÜ/ALICISI
VE DC/DC ÇEVİRİCİ : TELEDYNE TSC-232

GİRİŞ:Günümüzde bilgisayarların, mikroişlemcilerin ve sayısal kontrol sistemlerinin kullanılması artan bir hızla sürmektedir. Bilindiği gibi bu sistemler arasındaki sayısal veri haberleşmesi EIA^[1]'nin belirlediği standartlara bağlanmıştır. RS-232-C de bu standartlardan biri olup, piyasada bu standarta uygun onlarca sürücü ve alıcı tümdevreleri bulunmaktadır. Tasarımcılar sistemlerinde genellikle ayrı sürücü ve alıcı tümdevreleri kullanmaktadır (yaygın olarak kullanılan 1488/1489 ürünleri). Yine bu sürücü ve alıcılar çoğunlukla çift kaynaktan (negatif ve pozitif) beslenmektedirler. Teledyne Semiconductor firmasının yeni bir ürünü olan TSC-232; tümdevre içinde 2 tane alıcı, +5V'tan +10V ve -10V sağlayan DC/DC çeviriciler içerir. Böylece ayrı 2 tane verici/sürücü ve alıcı tümdevreleri kullanımını ortadan kaldırdığı gibi tek kaynaktan beslenebilmesi bu ürünü dikkate değer kılmaktadır. Aşağıda bu yeni ürünün temel özel likleri ve uygulamaları açısından genel bir tanıtımını yapacağız.

ÖZELLİKLERİ

- RS232C standartının tüm özellikleri ile uyumluluk.
- 5V'luk tek kaynaktan beslenir.
- Tümdevre üzerinde iki sürücü ve iki alıcı bulunur.
- Giriş gerilim seviyeleri $\pm 30V$ 'tur.
- +5V'luk tek kaynak ile +9V'luk çıkış salınımı sağlanır.
- CMOS prosesi ile üretildiğinden düşük güç tüketimine sahiptir 5mA.

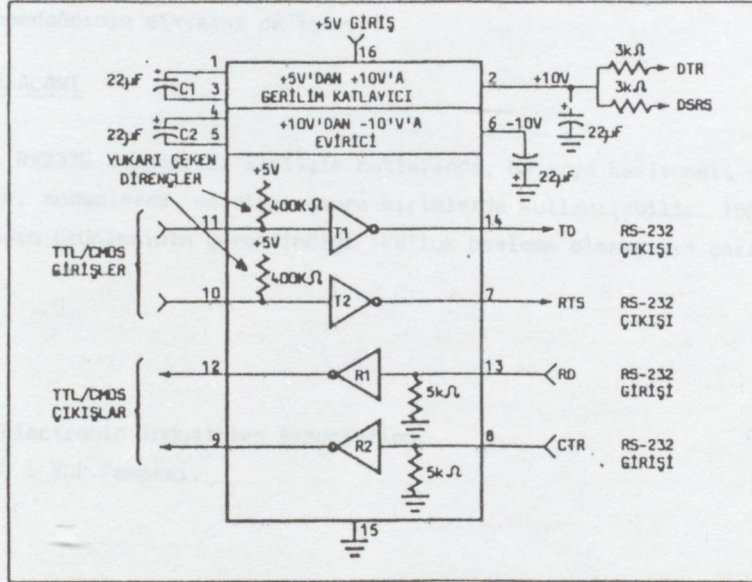


Şekil-1 TSC-232'nin Bacak Yapısı.

ÇİFT VERİCİ/SÜRÜCÜ

Şekil-2'de görülen iki CMOS eviren sürücü devresi (T1 ve T2) içten $\pm 10V$ 'luk gerilimlerden beslenirler. Bunlar TTL/CMOS seviyeli giriş işaretlerini 9V'luk RS-232 çıkış seviyesine çevirirler. Bu iki sürücüden kullanılmayacak olanın girişi açıkta bırakılabilir. İçteki $400K\Omega$ 'luk yukarı-çekme dirençleri vericinin girişini yüksek seviyede kalmaya zorlayarak kullanılmayan verici çıkışının düşük seviyede kalmasını

sağlar. Çıkışlar kısa devre korumalıdır.



Şekil-2 TSC-232'nin iç yapısı.

ÇİFT ALICI

Bu iki alıcı (R1 ve R2) RS-232 girişlerini 5V'luk TTL/CMOS çıkış seviyelerine çevirir. Giriş empedansları $3k\ \Omega$ ve $7k\ \Omega$ arasındadır. Anahtarlama eşik seviyesi $\pm 3V$ sınırları içinde olup alıcıların girişleri $\pm 30V$ 'a kadar dayanabilir. TTL/CMOS uyumlu alıcı çıkışları, RS-232 giriş 2.4V'tan büyük olduğunda düşük seviyededir. Eğer giriş 0.8V ile -30V arasında değişiyorsa yüksek seviyededir.

+5V'DAN $\pm 10V$ 'A DC/DC GERİLİM ÇEVİRİCİ

Bu çeviriciler yük pompalama tekniğine^[2] göre çalışırlar. Şekil-2'deki C_1 ve C_2 kondansatörleri DC/DC çevrim için gerekli olan kondansatörlerdir. +10V'luk çeviri-

THE SINGLE COMPONENT MCS-48 SYSTEM

1.2.1 INTRODUCTION

cinin çıkışı 200Ω . -10V'luk çeviricinin çıkış 450Ω 'dur (bu değer +5/+10V'luk çeviricinin empedansının etkisini de içerir).

TİPİK UYGULAMA ALANI

TSC232, RS232C standartlı iletişim hatlarında, batarya beslenmeli sistemlerde, bilgisayarlarda, modemlerde ve diğer çevre birimlerde kullanılabilir. TSC232, diğer RS232 arabağlaşım ürünlerinin gereksindiği 12V'luk besleme olmaksızın çalıştırılabilir.

[1] EIA : The Electronic Industries Association.

[2] CHARGE PUMP : Yük Pompası.

THE SINGLE COMPONENT MCS[®]-48 SYSTEM

12.0 INTRODUCTION

Sections 12.1 through 12.4 describe in detail the functional characteristics of the 8748H and 8749H EPROM, 8048AH/8049AH/8050AH ROM, and 8035AHL/8039AHL/8040-AHL CPU only single component microcomputers. Unless otherwise noted, details within these sections apply to all versions. This chapter is limited to those functions useful in single-chip implementations of the MCS[®]-48. Chapter 14 discusses functions which allow expansion of program memory, data memory, and input output capability.

12.1 ARCHITECTURE

The following sections break the MCS-48 Family into functional blocks and describe each in detail. The following description will use the 8048AH as the representative product for the family. See Figure 14.1.

12.1.1 Arithmetic Section

The arithmetic section of the processor contains the basic data manipulation functions of the 8048AH and can be divided into the following blocks:

- Arithmetic Logic Unit (ALU)
- Accumulator
- Carry Flag
- Instruction Decoder

In a typical operation data stored in the accumulator is combined in the ALU with data from another source on the internal bus (such as a register or I/O port) and the result is stored in the accumulator or another register.

The following is more detailed description of the function of each block.

INSTRUCTION DECODER

The operation code (op code) portion of each program instruction is stored in the Instruction Decoder and converted to outputs which control the function of each of the blocks of the Arithmetic Section. These lines control the source of data and the destination register as well as the function performed in the ALU.

ARITHMETIC LOGIC UNIT

The ALU accepts 8-bit data words from one or two sources and generates an 8-bit result under control of the Instruction Decoder. The ALU can perform the following functions:

- Add With or Without Carry
- AND, OR, Exclusive OR
- Increment/Decrement
- Bit Complement
- Rotate Left, Right
- Swap Nibbles
- BCD Decimal Adjust

If the operation performed by the ALU results in a value represented by more than 8 bits (overflow of most significant bit), a Carry Flag is set in the Program Status Word.

ACCUMULATOR

The accumulator is the single most important data register in the processor, being one of the sources of input to the ALU and often the destination of the result of operations performed in the ALU. Data to and from I/O ports and memory also normally passes through the accumulator.

12.1.2 Program Memory

Resident program memory consists of 1024, 2048, or 4096 words eight bits wide which are addressed by the program counter. In the 8748H and the 8749H this memory is user programmable and erasable EPROM; in the 8048AH/8049AH/8050AH the memory is ROM which is mask programmable at the factory. The 8035AHL/8039AHL/8040AHL has no internal program memory and is used with external memory devices. Program code is completely interchangeable among the various versions. To access the upper 2K of program memory in the 8050AH, and other MCS-48 devices, a select memory bank and a JUMP or CALL instruction must be executed to cross the 2K boundary.

There are three locations in Program Memory of special importance as shown in Figure 12.2.

LOCATION 0

Activating the Reset line of the processor causes the first instruction to be fetched from location 0.

LOCATION 3

Activating the Interrupt input line of the processor (if interrupt is enabled) causes a jump to subroutine at location 3.

LOCATION 7

A timer/counter interrupt resulting from timer counter overflow (if enabled) causes a jump to subroutine at location 7.

Therefore, the first instruction to be executed after initialization is stored in location 0, the first word of an external interrupt service subroutine is stored in location 3, and the first word of a timer/counter service routines

SINGLE COMPONENT MCS-9-48 SYSTEM

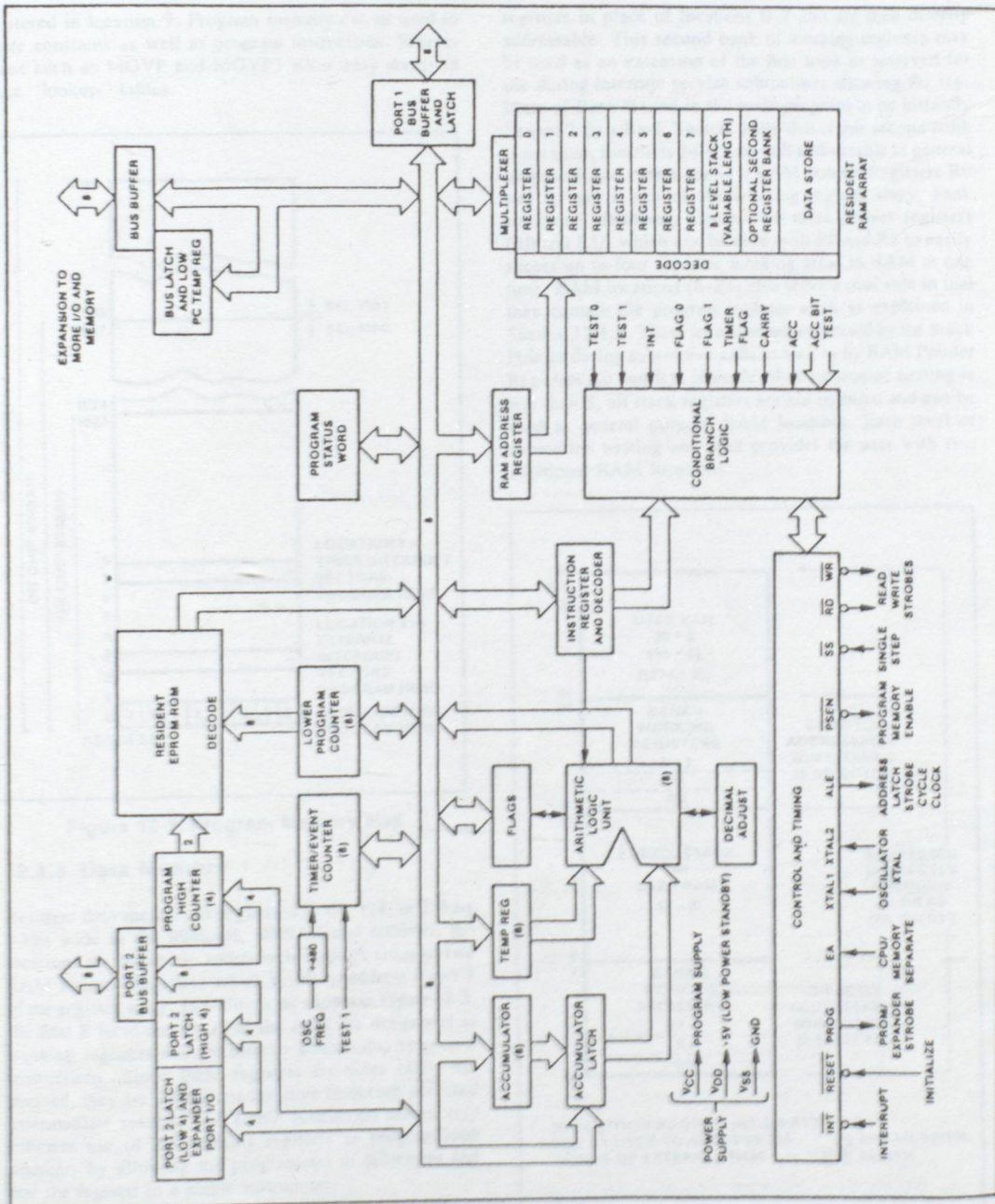


Figure 12-1. 8748H/8048AH/8749H/8049AH/8050AH Block Diagram

SINGLE COMPONENT MCS[®]-48 SYSTEM

is stored in location 7. Program memory can be used to store constants as well as program instructions. Instructions such as MOVP and MOVP3 allow easy access to data "lookup" tables.

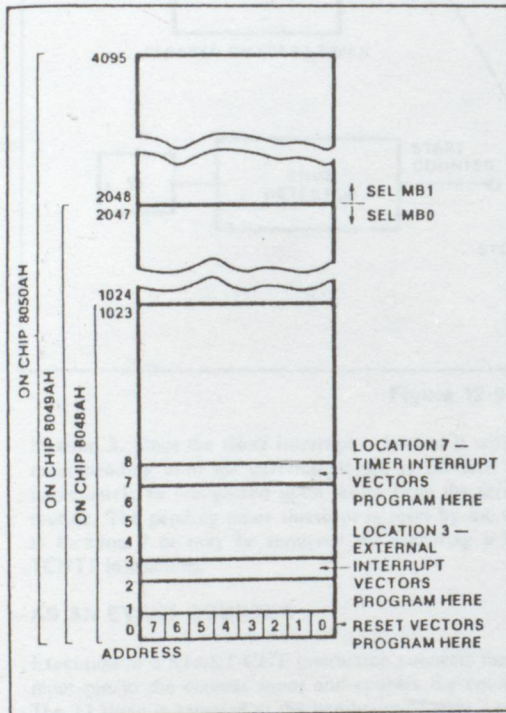


Figure 12-2. Program Memory Map

12.1.3 Data Memory

Resident data memory is organized as 64, 128, or 256 by 8-bits wide in the 8048AH, 8049AH and 8050AH. All locations are indirectly addressable through either of two RAM Pointer Registers which reside at address 0 and 1 of the register array. In addition, as shown in Figure 12-3, the first 8 locations (0-7) of the array are designated as working registers and are directly addressable by several instructions. Since these registers are more easily addressed, they are usually used to store frequently accessed intermediate results. The DJNZ instruction makes very efficient use of the working registers as program loop counters by allowing the programmer to decrement and test the register in a single instruction.

By executing a Register Bank Switch instruction (SEL RB) RAM locations 24-31 are designated as the working

registers in place of locations 0-7 and are then directly addressable. This second bank of working registers may be used as an extension of the first bank or reserved for use during interrupt service subroutines allowing the registers of Bank 0 used in the main program to be instantly "saved" by a Bank Switch. Note that if this second bank is not used, locations 24-31 are still addressable as general purpose RAM. Since the two RAM pointer Registers R0 and R1 are a part of the working register array, bank switching effectively creates two more pointer registers (R0' and R1') which can be used with R0 and R1 to easily access up to four separate working areas in RAM at one time. RAM locations (8-23) also serve a dual role in that they contain the program counter stack as explained in Section 12.1.6. These locations are addressed by the Stack Pointer during subroutine calls as well as by RAM Pointer Registers R0 and R1. If the level of subroutine nesting is less than 8, all stack registers are not required and can be used as general purpose RAM locations. Each level of subroutine nesting not used provides the user with two additional RAM locations.

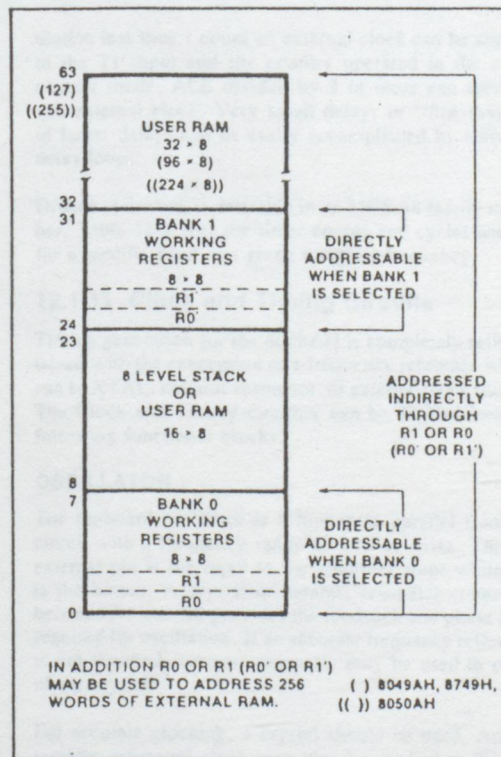


Figure 12-3. Data Memory Map

SINGLE COMPONENT MCS[®]-48 SYSTEM

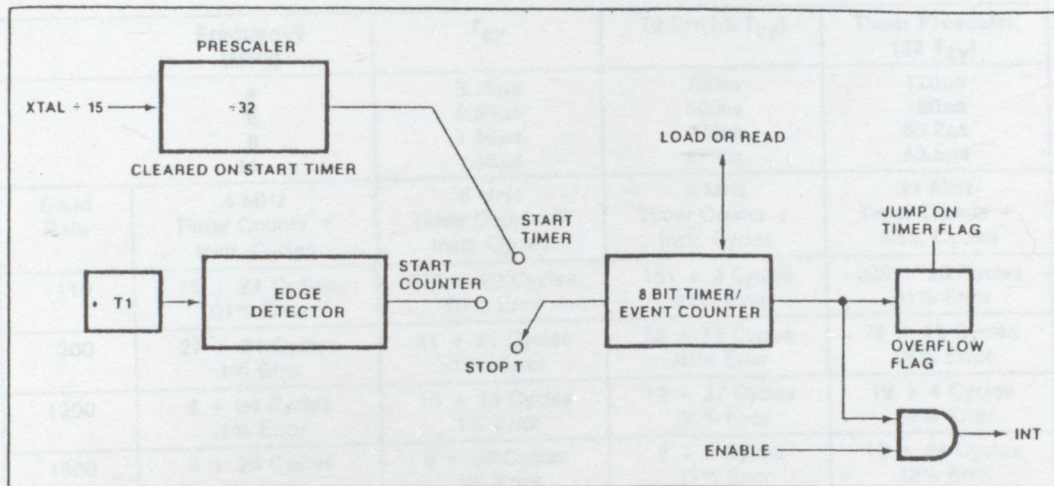


Figure 12-9. Timer/Event Counter

location 3. Since the timer interrupt is latched it will remain pending until the external device is serviced and immediately be recognized upon return from the service routine. The pending timer interrupt is reset by the Call to location 7 or may be removed by executing a DIS TCNT1 instruction.

AS AN EVENT COUNTER

Execution of a START CNT instruction connects the T1 input pin to the counter input and enables the counter. The T1 input is sampled at the beginning of state 3 or in later MCS-48 devices in state time 4. Subsequent high to low transitions on T1 will cause the counter to increment. T1 must be held low for at least 1 machine cycle to insure it won't be missed. The maximum rate at which the counter may be incremented is once per three instruction cycles (every 5.7 μ sec when using an 8 MHz crystal) — there is no minimum frequency. T1 input must remain high for at least 1/5 machine cycle after each transition.

AS A TIMER

Execution of a START T instruction connects an internal clock to the counter input and enables the counter. The internal clock is derived by passing the basic machine cycle clock through a $\div 32$ prescaler. The prescaler is reset during the START T instruction. The resulting clock increments the counter every 32 machine cycles. Various delays from 1 to 256 counts can be obtained by presetting the counter and detecting overflow. Times longer than 256 counts may be achieved by accumulating multiple overflows in a register under software control. For time res-

olution less than 1 count an external clock can be applied to the T1 input and the counter operated in the event counter mode. ALE divided by 3 or more can serve as this external clock. Very small delays or "fine tuning" of larger delays can be easily accomplished by software delay loops.

Often a serial link is desirable in an MCS-48 family member. Table 12-2 lists the timer counts and cycles needed for a specific baud rate given a crystal frequency.

12.1.11 Clock and Timing Circuits

Timing generation for the 8048AH is completely self-contained with the exception of a frequency reference which can be XTAL, ceramic resonator, or external clock source. The Clock and Timing circuitry can be divided into the following functional blocks.

OSCILLATOR

The on-board oscillator is a high gain parallel resonant circuit with a frequency range of 1 to 11 MHz. The X1 external pin is the input to the amplifier stage while X2 is the output. A crystal or ceramic resonator connected between X1 and X2 provides the feedback and phase shift required for oscillation. If an accurate frequency reference is not required, ceramic resonator may be used in place of the crystal.

For accurate clocking, a crystal should be used. An externally generated clock may also be applied to X1-X2 as the frequency source. See the data sheet for more information.

SINGLE COMPONENT MCS[®]-48 SYSTEM

Table 12-2. Baud Rate Generation

	Frequency (MHz)	T _{cy}	T0 Prr(1/5 T _{cy})	Timer Prescaler (32 T _{cy})
	4	3.75μs	750ns	120μs
	6	2.50μs	500ns	80μs
	8	1.88μs	375ns	60.2μs
	11	1.36μs	275ns	43.5μs
Baud Rate	4 MHz Timer Counts + Instr. Cycles	6 MHz Timer Counts + Instr. Cycles	8 MHz Timer Counts + Instr. Cycles	11 MHz Timer Counts + Instr. Cycles
110	75 + 24 Cycles .01% Error	113 + 20 Cycles .01% Error	151 + 3 Cycles .01% Error	208 + 28 Cycles .01% Error
300	27 + 24 Cycles .1% Error	41 + 21 Cycles .03% Error	55 + 13 Cycles .01% Error	76 + 18 Cycles .04% Error
1200	6 + 30 Cycles .1% Error	10 + 13 Cycles .1% Error	12 + 27 Cycles .06% Error	19 + 4 Cycles .12% Error
1800	4 + 20 Cycles .1% Error	6 + 30 Cycles .1% Error	9 + 7 Cycles .17% Error	12 + 24 Cycles .12% Error
2400	3 + 15 Cycles .1% Error	5 + 6 Cycles .4% Error	6 + 24 Cycles .29% Error	9 + 18 Cycles .12% Error
4800	1 + 23 Cycles 1.0% Error	2 + 19 Cycles .4% Error	3 + 14 Cycles .74% Error	4 + 25 Cycles .12% Error

STATE COUNTER

The output of the oscillator is divided by 3 in the State Counter to create a clock which defines the state times of the machine (CLK). CLK can be made available on the external pin T0 by executing an ENTO CLK instruction. The output of CLK on T0 is disabled by Reset of the processor.

CYCLE COUNTER

CLK is then divided by 5 in the Cycle Counter to provide a clock which defines a machine cycle consisting of 5 machine states as shown in Figure 12-10. Figure 12-11 shows the different internal operations as divided into the machine states. This clock is called Address Latch Enable (ALE) because of its function in MCS-48 systems with external memory. It is provided continuously on the ALE output pin.

12.1.12 Reset

The reset input provides a means for initialization for the processor. This Schmitt-trigger input has an internal pull-up device which in combination with an external 1 μfd capacitor provides an internal reset pulse of sufficient length to guarantee all circuitry is reset, as shown in Figure 12-12. If the reset pulse is generated externally the RESET pin must be held low for at least 10 milliseconds after the

power supply is within tolerance. Only 5 machine cycles (6.8 μs @ 11 MHz) are required if power is already on and the oscillator has stabilized. ALE and PSEN (if EA = 1) are active while in Reset.

Reset performs the following functions:

- 1) Sets program counter to zero.
- 2) Sets stack pointer to zero.
- 3) Selects register bank 0.
- 4) Selects memory bank 0.
- 5) Sets BUS to high impedance state (except when EA = 5V).
- 6) Sets Ports 1 and 2 to input mode.
- 7) Disables interrupts (timer and external).
- 8) Stops timer.
- 9) Clears timer flag.
- 10) Clears F0 and F1.
- 11) Disables clock output from T0.

SINGLE COMPONENT MCS[®]-48 SYSTEM

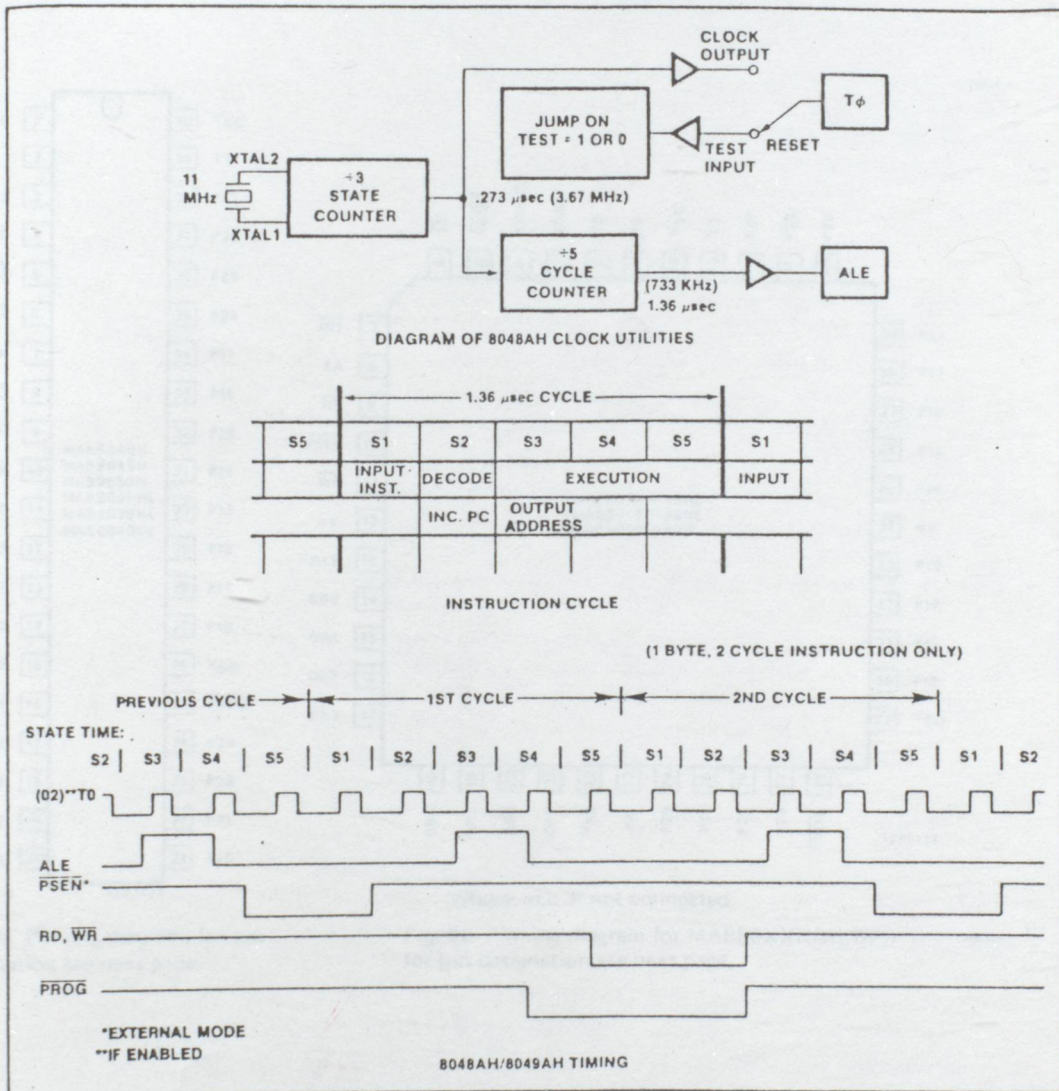


Figure 12-10. MCS[®]-48 Timing Generation and Cycle Timing

12.1.13 Single-Step

This feature, as pictured in Figure 12-13, provides the user with a debug capability in that the processor can be stepped through the program one instruction at a time. While stopped, the address of the next instruction to be fetched is available concurrently on BUS and the lower

half of Port 2. The user can therefore follow the program through each of the instruction steps. A timing diagram, showing the interaction between output ALE and input \overline{SS} , is shown. The BUS buffer contents are lost during single step; however, a latch may be added to reestablish the lost I/O capability if needed. Data is valid at the leading edge of ALE.

MAB8048H/35HL
 Single-chip 8-bit microcontroller
 MAB8049H/39HL
 MAB8050H/40HL

MAB8048H/35HL
 MAB8049H/39HL
 MAB8050H/40HL

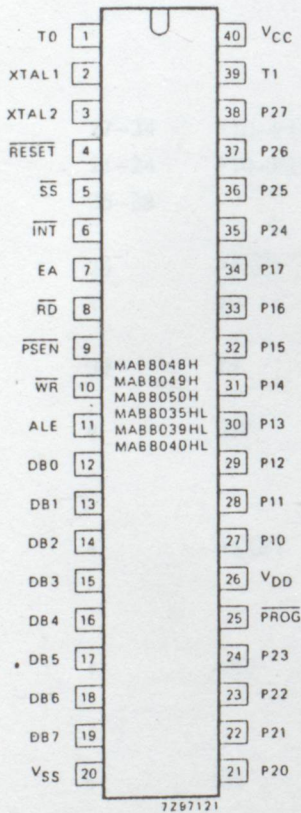
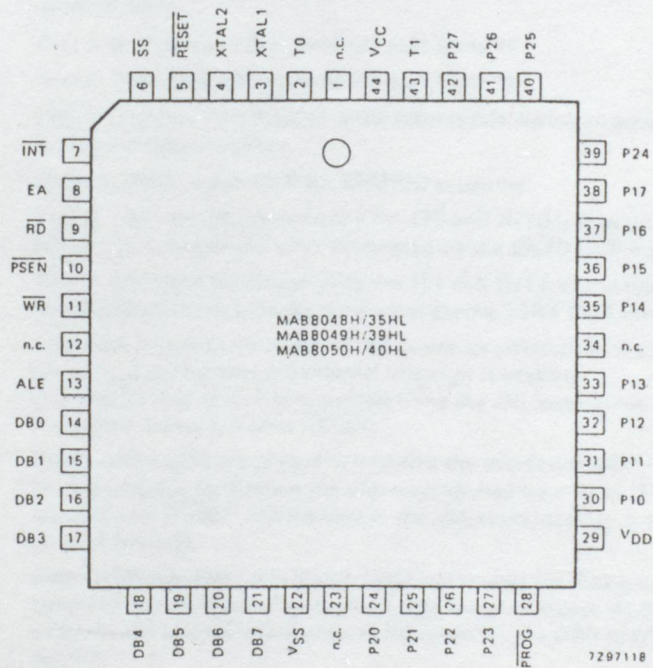


Fig. 2a Pinning diagram; for pin designation see next page.



Where: n.c. = not connected.

Fig. 2b Pinning diagram for MAB80XXH/HLWP; for pin designation see next page.

MAB8048H/35HL
MAB8049H/39HL
MAB8050H/40HL

PINNING

12-19	DB0-DB7	Data Bus: bidirectional I/O port which can write or read using the \overline{RD} and \overline{WR} strobes. This port can also be statically latched. It contains the 8 lower order address bits during external memory access and receives the addressed instruction under control of \overline{PSEN} . \overline{PSEN} , \overline{ALE} , \overline{RD} and \overline{WR} determine whether the access is an instruction fetch or a read/write access to external RAM.
27-34	P10-P17	Port 1: 8-bit quasi-bidirectional I/O port (note 1).
21-24	P10-P27	Port 2: 8-bit quasi-bidirectional I/O port (note 1).
35-38		P20-P23 contain the 4 higher order address bits during an access of external program memory.
25	\overline{PROG}	Output strobe: active LOW for 8243 I/O expander.
1	T0	Test 0: test input pin sensed using the JT0 and JNT0 instructions. Clock: clock output pin when designated by the ENT0 CLK instructions.
39	T1	Test 1: test input pin sensed using the JT1 and JNT1 instructions. Can be designated as the timer/counter input by the STRT CNT instruction.
6	\overline{INT}	Interrupt: interrupt input pin, which causes an interrupt in the current program, provided that the external interrupt is enabled. Can also be used as an input, testable using the JNI instruction. Interrupt is disabled during and after \overline{RESET} .
4	\overline{RESET}	Reset: active LOW input used to initialize the microcontroller. During program verification the address is latched by a '0' to '1' transition on \overline{RESET} and the data at the addressed location is output on BUS (note 2).
11	ALE	Address latch enable: occurs each cycle and is used for timing and sampling. During external program or data memory access, ALE is used to strobe the address information multiplexed on the DB0 to DB7 outputs.
8	\overline{RD}	Read BUS: active LOW strobe used to gate data onto BUS lines when reading from an external source.
10	\overline{WR}	Write BUS: active LOW strobe used to write data from BUS lines to an external designation.
7	EA	External access input: when HIGH, forces instruction fetch from external memory.
9	\overline{PSEN}	Program store enable: active LOW strobe that occurs only during a fetch from external memory.
5	\overline{SS}	Single step: active LOW input used with ALE to cause the microcontroller to execute a single instruction.
2	XTAL 1	Crystal inputs: inputs for a crystal, LC-network or an external timing signal to determine the internal oscillator frequency (note 2).
3	XTAL 2	
20	VSS	Ground: circuit earth potential.
40	VCC	Power supply: + 5 V main supply pin.
26	VDD	Power supply: + 5 V RAM standby power supply; low power standby pin.

MAB8048H/35HL
MAB8049H/39HL
MAB8050H/40HL

RATINGS

Limiting values in accordance with the Absolute Maximum System (IEC 134)

Input voltage with respect to V_{SS}

except input EA

V_I -0,5 to +7 V

input EA

V_I -0,5 to +12 V

D.C. current into any input or output

$\pm I_I, \pm I_O$ max. 10 mA

Total power dissipation

P_{tot} max. 1 W

Storage temperature range

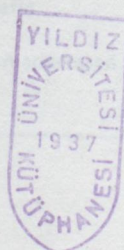
T_{stg} -65 to +150 °C

Operating ambient temperature range

T_{amb} see Table 5

Table 5 MAB80XXH versions

version	internal memory		RAM st/by.	frequency (MHz)		temperature range (°C)
				min.	max.	
MAB8048H	1 K x 8 ROM	64 byte RAM	yes	1,0	11,0	0 to +70
MAB8035HL	none	64 byte RAM	yes	1,0	11,0	0 to +70
MAF8048H	1 K x 8 ROM	64 byte RAM	yes	1,0	11,0	-40 to +85
MAF8035HL	none	64 byte RAM	yes	1,0	11,0	-40 to +85
MAF80A48H	1 K x 8 ROM	64 byte RAM	yes	1,0	10,0	-40 to +110
MAF80A35HL	none	64 byte RAM	yes	1,0	10,0	-40 to +110
MAB8049H	2 K x 8 ROM	128 byte RAM	yes	1,0	11,0	0 to +70
MAB8039HL	none	128 byte RAM	yes	1,0	11,0	0 to +70
MAF8049H	2 K x 8 ROM	128 byte RAM	yes	1,0	11,0	-40 to +85
MAF8039HL	none	128 byte RAM	yes	1,0	11,0	-40 to +85
MAF80A49H	2 K x 8 ROM	128 byte RAM	yes	1,0	10,0	-40 to +110
MAF80A39HL	none	128 byte RAM	yes	1,0	10,0	-40 to +110
MAB8050H	4 K x 8 ROM	256 byte RAM	yes	1,0	6,0	0 to +70
MAB8040HL	none	256 byte RAM	yes	1,0	6,0	0 to +70
MAF8050H	4 K x 8 ROM	256 byte RAM	yes	1,0	6,0	-40 to +85
MAF8040HL	none	256 byte RAM	yes	1,0	6,0	-40 to +85
MAF80A50H	4 K x 8 ROM	256 byte RAM	yes	1,0	6,0	-40 to +110
MAF80A40HL	none	256 byte RAM	yes	1,0	6,0	-40 to +110



FUNCTIONAL DESCRIPTION (continued)

Instruction set (see Tables 1, 2, 3 and 4)

The MAB80XXH instruction set consists of over 90 one and two-byte instructions. Program code efficiency is high because:

- Working registers and program variables are stored in the RAM locations 0 to 127, which require only a single byte to address
- Program memory is divided into pages of 256 bytes, which means that branch destination addresses require only one byte

The instruction set performs logical, arithmetic and test operations on bytes. It also manipulates and tests bits. A set of MOVE instructions operate indirectly on either RAM or ROM, which permits efficient access of pointers and data tables. The indirect jump instruction performs a multi-way branch (up to 256) on the contents of the accumulator to addresses stored in a look-up table. The 'decrement register and jump if not zero' instruction saves a bit each time it is used as opposed to using separate increment and test instructions. The on-chip counter provides the facility for external events or time to be counted off-line from the main program. The MAB80XXH can either test the counter (under program control) or cause its overflow to generate an interrupt. These features are essential for real-time applications.

Table 1 Symbols and definitions used in Table 2.

symbol	definition description
A	accumulator
addr	program memory address
Bb	bit designation (b = 0-7)
RBS	register bank select
C	carry (bit CY)
CNT	event counter
D	mnemonic for 4-bit digit (nibble)
data	8-bit number or expression
I	interrupt
MB	memory bank
MBFF	memory bank flip-flop
P	mnemonic for 'in-page' operation
PC	program counter
Pp	port designation (p = 0, 1, 2)
PSW	program status word
RB	register bank
Rr	register designation (r = 0-7)
Sn	serial I/O register
SP	stack pointer
T	timer
TF	timer flag
T0	test 0 input
T1	test 1 input
#	immediate data prefix
@	indirect address prefix
(X)	contents of X
((X))	contents of location addressed by X
←	is replaced by
↔	is exchanged with

Table 2 Instruction set

mnemonic	opcode (hex.)	bytes/cycles	description	function	notes
ADD A, Rr	6*	1/1	Add register contents to A	$(A) \leftarrow (A) + (Rr)$	1 r = 0-7
ADD A, @Rr	60 61	1/1	Add RAM data, addressed by Rr, to A	$(A) \leftarrow (A) + ((R0))$ $(A) \leftarrow (A) + ((R1))$	1
ADD A, #data	03 data	2/2	Add immediate data to A	$(A) \leftarrow (A) + \text{data}$	1
ADDC A, Rr	7*	1/1	Add carry and register contents to A	$(A) \leftarrow (A) + (Rr) + (C)$	1
ADDC A, @Rr	70 71	1/1	Add carry and RAM data, addresses by Rr, to A	$(A) \leftarrow (A) + ((R0)) + (C)$ $(A) \leftarrow (A) + ((R1)) + (C)$	1
ADDC A, #data	13 data	2/2	Add carry and immediate data to A	$(A) \leftarrow (A) + \text{data} + (C)$	1
ANL A, Rr	5*	1/1	'AND' Rr with A	$(A) \leftarrow (A) \text{ AND } (Rr)$	
ANL A, @Rr	50 51	1/1	'AND' RAM data, addressed by Rr, with A	$(A) \leftarrow (A) \text{ AND } ((R0))$ $(A) \leftarrow (A) \text{ AND } ((R1))$	
ANL A, #data	53 data	2/2	'AND' immediate data with A	$(A) \leftarrow (A) \text{ AND data}$	
ORL A, Rr	4*	1/1	'OR' Rr with A	$(A) \leftarrow (A) \text{ OR } (Rr)$	
ORL A, @Rr	40 41	1/1	'OR' RAM data, addressed by Rr, with A	$(A) \leftarrow (A) \text{ OR } ((R0))$ $(A) \leftarrow (A) \text{ OR } ((R1))$	
ORL A, #data	43 data	2/2	'OR' immediate data with A	$(A) \leftarrow (A) \text{ OR data}$	
XRL A, Rr	D*	1/1	'XOR' Rr with A	$(A) \leftarrow (A) \text{ XOR } (Rr)$	
XRL A, @Rr	D0 D1	1/1	'XOR' RAM, addressed by Rr, with A	$(A) \leftarrow (A) \text{ XOR } ((R0))$ $(A) \leftarrow (A) \text{ XOR } ((R1))$	
XRL A, #data	D3 data	2/2	'XOR' immediate data with A	$(A) \leftarrow (A) \text{ XOR data}$	
INC A	17	1/1	increment A by 1	$(A) \leftarrow (A) + 1$	
DEC A	07	1/1	decrement A by 1	$(A) \leftarrow (A) - 1$	
CLR A	27	1/1	clear A to zero	$(A) \leftarrow 0$	
CPL A	37	1/1	one's complement A	$(A) \leftarrow \text{NOT}(A)$	
RL A	E7	1/1	rotate A left	$(A_n + 1) \leftarrow (A_n)$ $(A_0) \leftarrow (A_7)$	n = 0-6

ACCUMULATOR

MOVX A,@Rr	80	1/2	move indirect the contents of external memory to A	(A) \leftarrow (Rr)	r = 0-1
MOVX @Rr,A	81	1/2	move indirect the contents of A to external memory	(Rr) \leftarrow (A)	r = 0-1
CLR C	97	1/1	clear carry bit	(C) \leftarrow 0	2
CPL C	A7	1/1	complement carry bit	(C) \leftarrow NOT(C)	2
INC Rr	1*	1/1	increment register by 1	(Rr) \leftarrow (Rr) + 1	r = 0-7
INC @Rr	10	1/1	increment RAM data, addressed by Rr, by 1	((R0)) \leftarrow ((R0)) + 1 ((R1)) \leftarrow ((R1)) + 1	
DEC Rr	C*	1/1	decrement register by 1	(Rr) \leftarrow (Rr) - 1	r = 0-7
JMP addr	• 4 address	2/2	unconditional jump within a 2 K bank	(PC8-10) \leftarrow addr8-10 (PC0-7) \leftarrow addr0-7 (PC11-12) \leftarrow MBFF 0-1	
JMPP @A	B3	1/2	indirect jump within a page	(PC0-7) \leftarrow ((A))	
DJNZ Rr, addr	E* address	2/2	decrement Rr by 1 and jump if not zero to addr	(Rr) \leftarrow (Rr) - 1 if (Rr) not zero (PC0-7) \leftarrow addr	r = 0-7
JF0 addr	B6 address	2/2	jump to addr if F0 = 1	if F0 = 1: (PC0-7) \leftarrow addr	
JF1 addr	76 address	2/2	jump to addr if F1 = 1	if F1 = 1: (PC0-7) \leftarrow addr	
JN1 addr	86 address	2/2	jump to addr if $\overline{\text{INT}} = 0$	if $\overline{\text{INT}} = 0$: (PC0-7) \leftarrow addr	
JBb addr	▲ 2 address	2/2	jump to addr if Acc. bit b = 1	if b = 1: (PC0-7) \leftarrow addr	b = 0-7
JC addr	F6 address	2/2	jump to addr if C = 1	if C = 1: (PC0-7) \leftarrow addr	
JNC addr	E6 address	2/2	jump to addr if C = 0	if C = 0: (PC0-7) \leftarrow addr	
JZ addr	C6 address	2/2	jump to addr if A = 0	if A = 0: (PC0-7) \leftarrow addr	
JNZ addr	96 address	2/2	jump to addr if A is NOT zero	if A \neq 0: (PC0-7) \leftarrow addr	
JT0 addr	36 address	2/2	jump to addr if T0 = 1	if T0 = 1: (PC0-7) \leftarrow addr	
JNT0 addr	26 address	2/2	jump to addr if T0 = 0	if T0 = 0: (PC0-7) \leftarrow addr	
JT1 addr	56 address	2/2	jump to addr if T1 = 1	if T1 = 1: (PC0-7) \leftarrow addr	
JNT1 addr	46 address	2/2	jump to addr if T1 = 0	if T1 = 0: (PC0-7) \leftarrow addr	
JTF addr	16 address	2/2	jump to addr if Timer Flag = 1	if TF = 1: (PC0-7) \leftarrow addr	4

BRANCH

MAB8048H/35HL
MAB8049H/39HL
MAB8050H/40HL

MAB8048H/35HL
MAB8049H/39HL
MAB8050H/40HL

mnemonic	opcode (hex.)	bytes/ cycles	description	function	notes
MOV A, T	42	1/1	move timer/event counter contents to accumulator	(A) ← (T)	
MOV T, A	62	1/1	move accumulator contents to timer/event counter.	(T) ← (A)	
STRT CNT	45	1/1	start event counter		
STRT T	55	1/1	start timer		
STOP TCNT	65	1/1	stop timer/event counter		
EN TCNTI	25	1/1	enable timer/event counter interrupt		
DIS TCNTI	35	1/1	disable timer/event counter interrupt		
EN I	05	1/1	enable external interrupt		
DIS I	15	1/1	disable external interrupt		
SEL RB0	C5	1/1	select register bank 0	(RBS) ← 0	5
SEL RB1	D5	1/1	select register bank 1	(RBS) ← 1	5
SEL MB0	E5	1/1	select program memory bank 0	(MBFF0) ← 0, (MBFF1) ← 0	
SEL MB1	F5	1/1	select program memory bank 1	(MBFF0) ← 1, (MBFF1) ← 0	
ENTO CLK	75	1/1	enable clock output onto T0		
CALL addr	▲ 4 address	2/2	jump to subroutine	((SP)) ← (PC), (PSW _{4, 6, 7}) (SP) ← (SP) + 1 (PC ₈₋₁₀) ← addr ₈₋₁₀ (PC ₀₋₇) ← addr ₀₋₇ (PC ₁₁₋₁₂) ← MBFF ₀₋₁	6
RET	83	1/2	return from subroutine	(SP) ← (SP) - 1 (PC) ← ((SP))	6
RETR	93	1/2	return from interrupt and restore bits 4, 6, 7 of PSW	(SP) ← (SP) - 1 (PSW _{4, 6, 7}) ← (PC) ← ((SP))	6

IN A,Pp	09 0A 08 39 3A 98 99 9A 89 8A 88 0C 0D 0E 0F 3C 3D 3E 3F 9C 9D 9E 9F 8C 8D 8E 8F	1/2 2/1 1/2 2/2 2/2 2/2 2/2 2/2 1/2 1/1 1/2 1/1	input port p data to accumulator input strobed BUS data into accumulator output accumulator data to port p logical AND immediate data with BUS AND port p data with immediate data OR port p data with immediate data logical OR immediate data with BUS move contents of designated port {4-7} to A move contents of A to designated port {4-7} logical AND contents of A with designated port {4-7} logical OR contents of A with designated port {4-7}	(A) \leftarrow (P1) (A) \leftarrow (P2) (A) \leftarrow (BUS) (P1) \leftarrow (A) (P2) \leftarrow (A) (BUS) \leftarrow (BUS) AND data (P1) \leftarrow (P1) AND data (P2) \leftarrow (P2) AND data (P1) \leftarrow (P1) OR data (P2) \leftarrow (P2) OR data (BUS) \leftarrow (BUS) OR data (A0-3) \leftarrow (Pp) (A4-7) \leftarrow 0 (Pp) \leftarrow (A0-3) (Pp) \leftarrow (Pp) AND (A0-3) (Pp) \leftarrow (Pp) OR (A0-3)	p = 1-2 p = 1-2 p = 1-2 p = 1-2 p = 4-7 p = 4-7 p = 4-7 p = 4-7	7
INPUT/OUTPUT						
NOP	00	1/1	no operation			

Notes to Table 2.

1. PSW CY, AC affected
2. PSW CY affected
3. PSW PS affected
4. Execution of JTF and JNTF instructions resets the Timer Flag (TF).

5. PSW RBS affected
6. PSW SP0, SP1, SP2 affected
7. (A) = 111 P23, P22, P21, P20.
8. (S1) has a different meaning for read and write operation, see serial I/O interface.

- * : 8, 9, A, B, C, D, E, F
- : 0, 2, 4, 6, 8, A, C, E
- ▲ : 1, 3, 5, 7, 9, B, D, F

KAYNAKLAR

1. Data Communications and Teleprocessing Systems
Trevor Housley, Prentice - Hall, Inc., 1979
2. 48 - Series Microprocessors Handbook
National Semiconductor, 1980
3. Digital Circuits and Microprocessors
Herbert Taub, Mc Graw - Hill International Book
Company, 1980
4. Microcomputers and Microprocessors : The 8080, 8085,
and Z-80 Programming, Interfacing and Troubleshooting
John Uffenbeck, Prentice - Hall, Inc., 1985
5. Computer Communications, Volume 1 Principles
Editor Wushow Chou, Prentice - Hall, Inc., 1985
6. Anahtarlamalı Telefon Şebekeleri Üzerinde Veri
Haberleşmesinin incelenmesi ve 1200bps'lik Modem
Tasarımı
Ünal Küçük, Yüksek Lisans Tezi, 1988
7. Amstrad CPC 6128 User Instructions



ÖZGEÇMİŞ

1965 yılında Kayseri'de doğdum.

İlk ve orta öğrenimimi sırasıyla Kayseri Şükrü Malaz ilkokulu, Kayseri 50. Yıl Dedeman Ortaokulu, Kayseri Lisesi ve İstanbul Küçük Çekmece Lisesi'nde yaptım.

Yüksek öğrenimimi Yıldız Üniversitesi, Elektronik ve Haberleşme Mühendisliği Bölümü'nde sürdürdüm ve 1987 yılında mezun oldum.

Halen Yıldız Üniversitesi, Elektronik ve Haberleşme Mühendisliği Bölümü, Elektronik Anabilim Dalı'nda araştırma görevlisi olarak çalışıyorum.

